

發明專利說明書

公告本

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：96115360

※ 申請日期：96.4.20

※IPC 分類：G06F12/10 (2006.01)

一、發明名稱：(中文/英文)

非同步處理系統

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

國立交通大學

代表人：(中文/英文)

吳重雨

住居所或營業所地址：(中文/英文)

(30010)新竹市大學路 1001 號

國 籍：(中文/英文)

中華民國

三、發明人：(共 2 人)

姓 名：(中文/英文)

1. 鄭緯民

2. 陳昌居

國 籍：(中文/英文)

1.2. 中華民國

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

一種非同步處理系統，是基於交握協定來執行信號傳輸，且適用於將虛擬記憶體位址轉換為實體記憶體位址，並包含一非同步處理器及一記憶體。該非同步處理系統包括複數個具有記錄項的轉換搜尋緩衝器，因此能減少耗電，此外也包含一預取緩衝器，因此能以預取機制支援轉換搜尋緩衝器，而達到即使多行程環境下，也能提昇位址轉換的效能。且因為此非同步處理系統的前後元件之間是藉由交握協定溝通，因而可使位址轉換的可靠性和效能增加。

六、英文發明摘要：

七、指定代表圖：

(一)本案指定代表圖為：第(2)圖。

(二)本代表圖之元件符號簡單說明：

5·····非同步處理器	6·····記憶體
51·····轉換搜尋緩衝器	7·····虛擬記憶體位址
52·····標籤暫存器	8·····實體記憶體位址
53·····控制單元	91·····存取請求信號
54·····預取緩衝器	92·····認可信號
55·····多工器	93·····更新信號
56·····加法器	94·····記錄項路徑
57·····及閘	
58·····反閘	

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

九、發明說明：

【發明所屬之技術領域】

本發明是有關於一種處理系統，特別是指一種非同步處理系統。

【先前技術】

參閱圖 1，習知一種可以將虛擬記憶體位址轉換為實體記憶體位址的同步處理器包含一轉換搜尋緩衝器 11、一加法器 12。該轉換搜尋緩衝器 11 中儲存很多記錄項，且每一記錄項有一標籤 111 和一實體分頁號 112，而該標籤 111 記錄著一虛擬分頁號和一些管理相關位元。

當同步處理器產生包含一虛擬分頁號 31 和一位址偏移量 32 的虛擬記憶體位址時，該轉換搜尋緩衝器 11 會根據虛擬記憶體位址中記錄的虛擬分頁號 31 搜尋記錄項，以找到與該虛擬分頁號 31 對應的標籤 111，並將吻合的標籤 111 所對應的實體分頁號 112 送入該加法器 12。該加法器 12 將該實體分頁號 112 加上虛擬記憶體位址中所記錄的位址偏移量 32，而得到實體記憶體位址。

而為了減少搜尋的失誤，習知會盡量加大轉換搜尋緩衝器 11 所儲存之記錄項的數目，但因為加大之後，每次所需搜尋的記錄項數目變多，故會增加同步處理器的耗電量。

習知另一種將虛擬記憶體位址轉換為實體記憶體位址的同步處理器是利用預取機制來增加轉換的效率，可參考 Gokul B. Kandiraju 等人的“Going Distance for TLB

Prefetching: An Application-driven Study,” in *Proceedings of the 29th Annual Int’l Symp. on Computer Architecture*, 2002，Ashley Saulsbury 等人的“Recency-Based TLB Preloading,” in *Proceedings of the 27th Int’l Symp. on Computer Architecture*, pp.117-127, 2000，及張繼文於民國 94 年 6 月所著的國立交通大學資訊工程系碩士論文：「降低程序環境切換導致效能損失之轉換搜尋緩衝器設計」中第 2.2.2 章節。

習知另一種可以將虛擬記憶體位址轉換為實體記憶體位址的同步處理器是利用複數個轉換搜尋緩衝器來增加轉換的效率，可參考張繼文於民國 94 年 6 月所著的國立交通大學資訊工程系碩士論文：「降低程序環境切換導致效能損失之轉換搜尋緩衝器設計」中第 3.1.1 章節。

但以上習知架構都是在同步處理器中實現，而同步處理器最重要的特性就是具有時脈，因而同步處理器中所有元件的動作都需考慮及符合系統時脈。但因為近年來超大型積體電路的快速進步，為了提高同步處理器的效率，時脈不斷提高，而在電路設計日益複雜下，高時脈帶來了許多嚴重的問題，如：時脈歪斜(clock skew)等。此外，高時脈和越來越複雜的時脈樹(clock tree)使得線路正確性降低且耗電量增大，而造成了散熱問題。

因為同步處理器一直是市場的主流，故較多的研究都著重於同步處理器上，而非同步處理器目前則僅於起步的階段，因而對於非同步處理器中虛擬記憶體位址轉換為實體記憶體位址的研究則更少。但因為非同步處理器的運作

不需要時脈，因而可避免上述所提到的同步處理器的缺失，因此，開發出一種能有效地將虛擬記憶體位址轉換為實體記憶體位址的非同步處理器是目前一門重要的課題。

【發明內容】

因此，本發明之目的，即在提供一種基於交握協定來執行信號傳輸且可有效地將虛擬記憶體位址轉換為實體記憶體位址的非同步處理系統。

於是，本發明非同步處理系統包含一非同步處理器及一記憶體。

該記憶體儲存一具有很多記錄項的分頁表，且每一記錄項有一標籤和一實體分頁號，且該標籤所記錄的包含一虛擬分頁號。

該非同步處理器包括一控制單元、 N 個轉換搜尋緩衝器、 N 個標籤暫存器、一預取緩衝器、一第一至一第 $N+1$ 及閘、一多工器、一加法器、 N 個反閘。

該控制單元與該記憶體電連接。

每一轉換搜尋緩衝器中記錄著複數個記錄項，且每一記錄項的內容包含一標籤和一實體分頁號，而該標籤所記錄的包含一虛擬分頁號，且一個轉換搜尋緩衝器所記錄的記錄項都是與一個程序相關。

N 個標籤暫存器分別與該 N 個轉換搜尋緩衝器相對應，且每一標籤暫存器包含由控制單元設定的目前位元、有效位元、最近最少使用位元、工作標籤，且目前位元表示對應到的轉換搜尋緩衝器目前是否有被選取，且同一時間

下，只會有一個轉換搜尋緩衝器會被選取；而有效位元表示對應到的轉換搜尋緩衝器是否有效；最近最少使用位元指出對應到的轉換搜尋緩衝器最近被使用到的情形；而工作標籤記錄著一程序號碼。

該預取緩衝器記錄著一些預取記錄項，且每一預取記錄項的內容包含一標籤和一實體分頁號，而該標籤所記錄的包含一虛擬分頁號，控制單元會預測接下來可能會進行到的程序，並先將與這些程序相關的資料從該記憶體中取出並記錄於該預取緩衝器中。

每一轉換搜尋緩衝器會接收一虛擬記憶體位址中所記錄的虛擬分頁號，且與各自的記錄項比較以判斷是否命中或未命中，且該預取緩衝器也會接收該虛擬分頁號，且與其預取記錄項比較以判斷是否命中或未命中，且每一轉換搜尋緩衝器和該預取緩衝器命中時，會輸出其命中之記錄項所記錄的實體分頁號。

第 j 及閘接收第 j 轉換搜尋緩衝器的命中信號或未命中信號，且接收第 j 標籤暫存器的目前位元值，並執行及運算，且 j 為 1 至 N 之間且含 1 與 N 的整數。

該多工器與該 N 個轉換搜尋緩衝器及該預取緩衝器電連接，且可接收該 N 個轉換搜尋緩衝器及該預取緩衝器傳來的實體分頁號，並受該控制單元及該第一至該第 N 及閘之輸出信號控制，以將一實體分頁號送入該加法器。

該加法器將該多工器傳來的實體分頁號加上該虛擬記憶體位址中所記錄的一位址偏移量，而得到一實體記憶體

位址。

N 個反閘分別電連接於該第一至第 N 及閘的輸出端，且將該第一至第 N 及閘的輸出信號進行反運算。

第 N+1 及閘對所有反閘的輸出執行及運算，且將運算結果送至該控制單元，若第 N+1 及閘的輸出為邏輯 1，該控制單元則判斷所有轉換搜尋緩衝器都沒有命中。

當該控制單元判斷出所有轉換搜尋緩衝器都沒有命中而該預取緩衝器有命中時，會控制該多工器輸出由該預取緩衝器傳至該多工器的實體分頁號，且該控制單元也會將該預取緩衝器中命中的記錄項記錄至該等轉換搜尋緩衝器的其中之一，以更新該等轉換搜尋緩衝器的其中之一，且該控制單元會進一步從該記憶體中取得新的預取記錄項並記錄至該預取緩衝器，以更新該預取緩衝器。

當該控制單元判斷出該等轉換搜尋緩衝器有至少一命中且該預取緩衝器也命中時，該控制單元會控制該多工器輸出由該至少一轉換搜尋緩衝器傳至該多工器的實體分頁號，且該多工器受該第一至該第 N 及閘之輸出信號控制，以決定要將哪一個轉換搜尋緩衝器傳來的實體分頁號輸出。

當該控制單元判斷出所有轉換搜尋緩衝器和該預取緩衝器都沒有命中時，該控制單元會先更新該等轉換搜尋緩衝器的記錄項，之後該控制單元會再更新該預取緩衝器的預取記錄項。

該非同步處理系統是基於交握協定來執行信號傳輸，

且當該控制單元要從該記憶體中取得一新的記錄項時，該控制單元會先發出一存取請求信號給該記憶體，以向該記憶體要求存取；若該記憶體接受存取，則發出一認可信號通知該控制單元其接受存取；之後該控制單元發出一更新信號以向該記憶體取得新的記錄項；然後該記憶體經由一記錄項路徑將新的記錄項送至該控制單元。

【實施方式】

有關本發明之前述及其他技術內容、特點與功效，在以下配合參考圖式之一個較佳實施例的詳細說明中，將可清楚的呈現。

參閱圖 2，本發明非同步處理系統之較佳實施例包含一非同步處理器 5 及一記憶體 6。該非同步處理器 5 包括 N 個轉換搜尋緩衝器 51、N 個標籤暫存器 52、一控制單元 53、一預取緩衝器 54、一多工器 55、一加法器 56、第一至第 N+1 及閘 (AND gate) 57、N 個反閘 (NOT gate) 58。且在本實施例中，每一轉換搜尋緩衝器 51 是一種全關聯式轉換搜尋緩衝器，但不以此為限。

該記憶體 6 儲存一記錄有很多記錄項的分頁表 (page table) (圖未示)，且每一記錄項有一標籤和一實體分頁號，且該標籤所記錄的包含一虛擬分頁號。

每一轉換搜尋緩衝器 51 中記錄很多記錄項，且每一記錄項有一標籤和一實體分頁號，且該標籤所記錄的包含一虛擬分頁號。而一轉換搜尋緩衝器 51 所記錄的記錄項是與一個工作程序 (process) 相關。

該 N 個標籤暫存器 52 分別與該 N 個轉換搜尋緩衝器 51 相對應，且每一標籤暫存器 52 包含以下欄位：「目前位元」、「有效位元」、「最近最少使用(least recently used)位元」、「工作標籤」。而這些欄位的值都是由控制單元 53 設定。

其中，「目前位元」用來表示對應到的轉換搜尋緩衝器 51 目前是否有被選取，且同一時間下，只會有一個轉換搜尋緩衝器 51 會被選取。而「有效位元」則表示對應到的轉換搜尋緩衝器 51 是否有效(valid)。而「最近最少使用位元」指出對應到的轉換搜尋緩衝器 51 最近被使用到的情形，如此當所有轉換搜尋緩衝器 51 都滿了，而卻有新的程序加入時，控制單元 53 即可將最近最少被使用到的轉換搜尋緩衝器 51 的所有記錄項清除，以安排給此新程序使用。而「工作標籤」在本實施例中是一種程序號碼(process ID)。

該預取緩衝器 54 中記錄著一些預取記錄項，且每一預取記錄項有一標籤和一實體分頁號，且該標籤所記錄的包含一虛擬分頁號。控制單元 53 會預測接下來可能會進行到的程序，並先將與這些程序相關的記錄項從記憶體 6 中取出並先記錄於預取緩衝器 54 的預取記錄項中。而控制單元 53 預測的方式可基於空間相關或是時間相關。

本實施例之非同步處理系統會產生包含一虛擬分頁號和一位址偏移量的虛擬記憶體位址 7，每一轉換搜尋緩衝器 51 會接收該虛擬分頁號，且與各自的記錄項比較以判斷是否命中(hit)或未命中(miss)。且該預取緩衝器 54 也會接收該

虛擬分頁號，且與其預取記錄項比較以判斷是否命中或未命中。且當每一轉換搜尋緩衝器 51 或該預取緩衝器 54 命中時，會將命中之記錄項所對應的實體分頁號送至該多工器 55。

第 j 及閘 57($j=1\sim N$)接收第 j 轉換搜尋緩衝器 51 的命中(hit)信號(即：邏輯 1)或未命中(miss)信號(即：邏輯 0)，且接收第 j 標籤暫存器 52 的「目前位元」值，並執行及運算(AND operation)，然後將輸出信號送入該多工器 55 和相對應的反閘 58。

該多工器 55 與所有轉換搜尋緩衝器 51 及預取緩衝器 54 電連接且可接收轉換搜尋緩衝器 51 及預取緩衝器 54 傳來的實體分頁號，並受該控制單元 53 及該 N 個及閘 57 控制，以將其中一實體分頁號送入該加法器 56。

該加法器 56 將該實體分頁號加上虛擬記憶體位址 7 中所記錄的位址偏移量，而得到實體記憶體位址 8。

第 $N+1$ 及閘 57 對所有反閘 58 的輸出執行及運算，且將運算結果送至該控制單元 53，該控制單元 53 即可根據第 $N+1$ 及閘 57 的輸出為邏輯 0 或是 1 來判斷轉換搜尋緩衝器 51 整體的命中狀態，即：若第 $N+1$ 及閘 57 的輸出為邏輯 1，則表示所有轉換搜尋緩衝器 51 都沒有命中。

當控制單元 53 判斷出所有轉換搜尋緩衝器 51 都沒有命中而預取緩衝器 54 有命中時，控制單元 53 會控制多工器 55 輸出由該預取緩衝器 54 傳至該多工器 55 的實體分頁號。且控制單元 53 也會將預取緩衝器 54 中命中的記錄項

記錄至轉換搜尋緩衝器 51，以更新轉換搜尋緩衝器 51。之後，控制單元 53 會從記憶體 6 中取得新的預取記錄項並記錄至預取緩衝器 54，以更新預取緩衝器 54。

當控制單元 53 判斷出有轉換搜尋緩衝器 51 命中且預取緩衝器 54 也命中時，控制單元 53 會控制多工器 55 輸出由該轉換搜尋緩衝器 51 傳至該多工器 55 的實體分頁號，且該多工器 55 受該第一至該第 N 及閘 57 之輸出信號控制，以決定要將哪一個轉換搜尋緩衝器 51 傳來的實體分頁號輸出。

當控制單元 53 判斷出所有轉換搜尋緩衝器 51 和預取緩衝器 54 都沒有命中時，控制單元 53 會更新轉換搜尋緩衝器 51 的記錄項，之後控制單元 53 會再更新預取緩衝器 54 的預取記錄項。

值得注意的是，因為本發明是一種非同步處理系統，故不需要基於時脈運作，相反的，控制單元 53 與記憶體 6、控制單元 53 與預取緩衝器 54、控制單元 53 與每一轉換搜尋緩衝器 51、控制單元 53 與每一標籤暫存器 52 之間在傳輸信號時，都是採用交握協定，因此不需要時脈也可以正確運作。而圖 2 中為了方便觀看，並沒有一一標出前後級元件間傳輸的所有信號。

在交握協定下，兩元件之間如何溝通，在此舉控制單元 53 與記憶體 6 為例來說明：當控制單元 53 要從記憶體 6 中取得一新的記錄項時，(1)控制單元 53 會先發出一存取請求信號 91 給記憶體 6，以向記憶體 6 要求存取；(2)若記憶

體 6 接受存取，則發出一認可信號 92 通知控制單元 53 其接受存取；(3)之後控制單元 53 發出一更新信號 93 以向記憶體 6 取得新的記錄項；(4)然後記憶體 6 經由一記錄項路徑 94 將新的記錄項送至控制單元 53。

綜上所述，本發明的非同步處理系統利用複數個具有較少記錄項的轉換搜尋緩衝器 51，因此能降低習知使用一個具有非常多記錄項的轉換搜尋緩衝器 11 所造成的耗電問題，此外，本發明也因為加入了預取緩衝器 54 的預取機制，因此能支援轉換搜尋緩衝器 51，而達到即使在多行程 (multiprogramming) 環境下，也能提昇位址轉換的效能。此外，本發明是一種非同步的處理系統，因此前後級元件都可藉由交握協定而解決習知同步處理器使用時脈而造成的問題，因而使位址轉換的可靠性和效能增加。

惟以上所述者，僅為本發明之較佳實施例而已，當不能以此限定本發明實施之範圍，即大凡依本發明申請專利範圍及發明說明內容所作之簡單的等效變化與修飾，皆仍屬本發明專利涵蓋之範圍內。

【圖式簡單說明】

圖 1 是一習知的可將虛擬記憶體位址轉換為實體記憶體位址的同步處理器的架構圖；及

圖 2 是本發明之一實施例的可將虛擬記憶體位址轉換為實體記憶體位址的非同步處理系統的架構圖。

【主要元件符號說明】

5	非同步處理器	58	反閘
51	轉換搜尋緩衝器	6	記憶體
52	標籤暫存器	7	虛擬記憶體位址
53	控制單元	8	實體記憶體位址
54	預取緩衝器	91	存取請求信號
55	多工器	92	認可信號
56	加法器	93	更新信號
57	及閘	94	記錄項路徑

十、申請專利範圍：

1. 一種非同步處理系統，包含：

一記憶體，儲存一具有很多記錄項的分頁表，且每一記錄項有一標籤和一實體分頁號，且該標籤所記錄的包含一虛擬分頁號；及

一非同步處理器，包括：

一控制單元，與該記憶體電連接；

N 個轉換搜尋緩衝器，每一轉換搜尋緩衝器中記錄著複數個記錄項，且每一記錄項的內容包含一標籤和一實體分頁號，而該標籤所記錄的包含一虛擬分頁號，且一個轉換搜尋緩衝器所記錄的記錄項都是與一個程序相關；

N 個標籤暫存器，分別與該 N 個轉換搜尋緩衝器相對應，且每一標籤暫存器包含由該控制單元設定的一目前位元、一有效位元、一最近最少使用位元、一工作標籤，且該目前位元表示對應到的轉換搜尋緩衝器目前是否有被選取，且同一時間下，只會有一個轉換搜尋緩衝器會被選取；而該有效位元表示對應到的轉換搜尋緩衝器是否有效；該最近最少使用位元指出對應到的轉換搜尋緩衝器最近被使用到的情形；而該工作標籤記錄著一程序號碼；

一預取緩衝器，記錄著一些預取記錄項，且每一預取記錄項的內容包含一標籤和一實體分頁號，而該標籤所記錄的包含一虛擬分頁號，該控制單元

會預測接下來可能會進行到的程序，並先將與這些程序相關的資料從該記憶體中取出並記錄於該預取緩衝器中；

每一轉換搜尋緩衝器會接收一虛擬記憶體位址中所記錄的一虛擬分頁號，且與各自的記錄項比較以判斷是否命中或未命中，且該預取緩衝器也會接收該虛擬分頁號，且與其預取記錄項比較以判斷是否命中或未命中，且每一轉換搜尋緩衝器和該預取緩衝器命中時，會輸出其命中之記錄項所記錄的實體分頁號；

一第一至一第 N 及閘，第 j 及閘接收第 j 轉換搜尋緩衝器的命中信號或未命中信號，且接收第 j 標籤暫存器的目前位元值，並執行及運算，且 j 為 1 至 N 之間且含 1 與 N 的整數；

一多工器，與該 N 個轉換搜尋緩衝器及該預取緩衝器電連接，且可接收該 N 個轉換搜尋緩衝器及該預取緩衝器傳來的實體分頁號，並受該控制單元及該第一至該第 N 及閘之輸出信號控制，以將一實體分頁號輸出；

一加法器，將該多工器傳來的實體分頁號加上該虛擬記憶體位址中所記錄的一位址偏移量，而得到一實體記憶體位址；

N 個反閘，分別電連接於該第一至第 N 及閘的輸出端，且將該第一至第 N 及閘的輸出信號進行反

運算；及

一第 N+1 及閘，對所有反閘的輸出執行及運算，且將運算結果送至該控制單元，若第 N+1 及閘的輸出為邏輯 1，該控制單元則判斷所有轉換搜尋緩衝器都沒有命中；

當該控制單元判斷出所有轉換搜尋緩衝器都沒有命中而該預取緩衝器有命中時，會控制該多工器輸出由該預取緩衝器傳至該多工器的實體分頁號，且該控制單元也會將該預取緩衝器中命中的記錄項記錄至該等轉換搜尋緩衝器的其中之一，以更新該等轉換搜尋緩衝器的其中之一，且該控制單元會進一步從該記憶體中取得新的預取記錄項並記錄至該預取緩衝器，以更新該預取緩衝器；

當該控制單元判斷出該等轉換搜尋緩衝器有至少一命中且該預取緩衝器也命中時，該控制單元會控制該多工器輸出由該至少一轉換搜尋緩衝器傳至該多工器的實體分頁號，且該多工器受該第一至該第 N 及閘之輸出信號控制，以決定要將哪一個轉換搜尋緩衝器傳來的實體分頁號輸出；

當該控制單元判斷出所有轉換搜尋緩衝器和該預取緩衝器都沒有命中時，該控制單元會先更新該等轉換搜尋緩衝器的記錄項，之後該控制單元會再更新該預取緩衝器的預取記錄項；

該非同步處理系統是基於交握協定來執行信號

傳輸，且當該控制單元要從該記憶體中取得一新的記錄項時，該控制單元會先發出一存取請求信號給該記憶體，以向該記憶體要求存取；若該記憶體接受存取，則發出一認可信號通知該控制單元其接受存取；之後該控制單元發出一更新信號以向該記憶體取得新的記錄項；然後該記憶體經由一記錄項路徑將新的記錄項送至該控制單元。

2. 依據申請專利範圍第 1 項所述之非同步處理系統，其中，每一個轉換搜尋緩衝器是一種全關聯式轉換搜尋緩衝器。

十一、圖式：

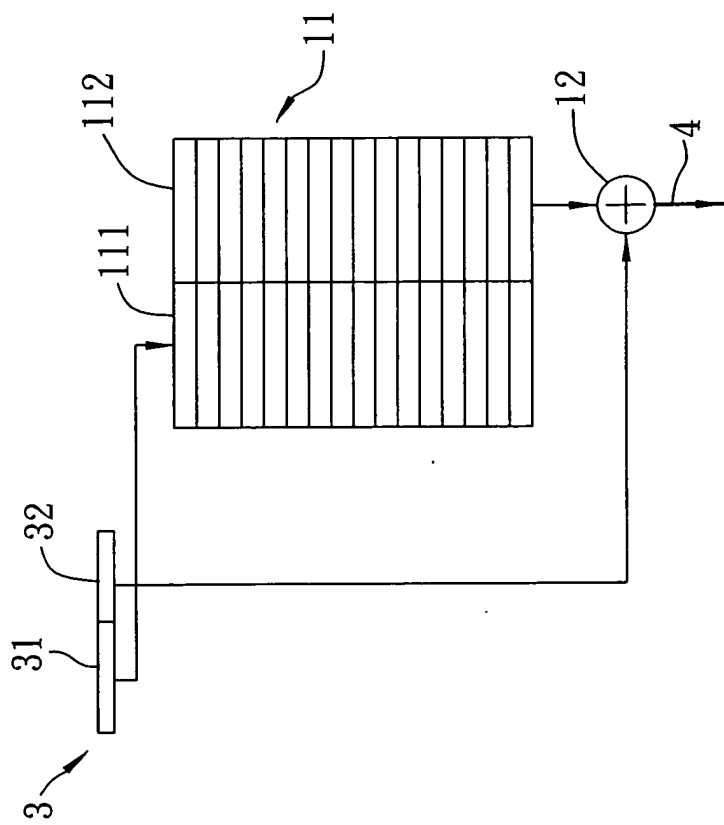


圖1

