



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I356488B1

(45) 公告日：中華民國 101 (2012) 年 01 月 11 日

(21) 申請案號：097110676

(22) 申請日：中華民國 97 (2008) 年 03 月 26 日

(51) Int. Cl. : H01L27/10 (2006.01)

H01L21/822 (2006.01)

(71) 申請人：國立交通大學 (中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)

新竹市大學路 1001 號

(72) 發明人：邱碧秀 CHIOU, BI SHIOU (TW) ; 張麗君 CHANG, LI CHUN (TW) ; 何嘉政 HO, CHIA CHENG (TW) ; 李岱螢 LEE, DAI YING (TW) ; 沈佑書 SHEN, YOU SHU (TW)

(74) 代理人：黃于真；李國光

(56) 參考文獻：

US 2005/0151156A1

Shuhua Jin, "Synthesis of CaCu<sub>3</sub>Ti<sub>4</sub>O<sub>12</sub> ceramic via a sol-gel method", Materials Letters, 61, 2007 p1404-p1407

審查人員：王世賢

申請專利範圍項數：17 項 圖式數：9 共 23 頁

(54) 名稱

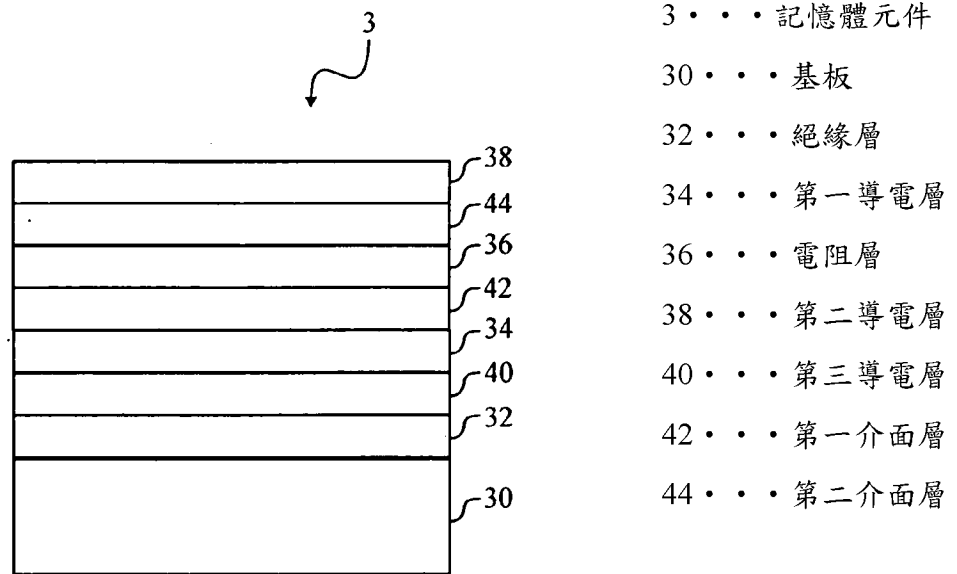
記憶體元件及其製作方法

MEMORY DEVICE AND METHOD OF MANUFACTURING THE SAME

(57) 摘要

本發明係揭露一種記憶體元件及其製造方法。記憶體元件包含基板、絕緣層、第一導電層、鈦酸銅鈣電阻層以及第二導電層。絕緣層形成於基板之上。第一導電層形成於絕緣層之上。鈦酸銅鈣電阻層形成於第一導電層之上。第二導電層形成於鈦酸銅鈣電阻層之上。於製作時，首先，提供基板，接著於基板之上形成絕緣層，之後於絕緣層之上形成第一導電層，然後利用溶膠凝膠法於第一導電層之上形成鈦酸銅鈣電阻層，最後，於鈦酸銅鈣電阻層之上形成第二導電層。本發明不僅符合電子產品低電壓之需求，且能在降低成本的同時，提升產品之可靠度與相容性。

The invention discloses a memory device and method thereof. The memory device comprises a substrate, an insulator layer, a first conducting layer, a CaCu<sub>3</sub>Ti<sub>4</sub>O<sub>12</sub> resistor layer and a second conducting layer. The insulator layer is formed over the substrate. The first conducting layer is formed over the insulator layer. The CaCu<sub>3</sub>Ti<sub>4</sub>O<sub>12</sub> resistor layer is formed over the first conducting layer. The second conducting layer is formed over the CaCu<sub>3</sub>Ti<sub>4</sub>O<sub>12</sub> resistor layer. In manufacturing, first, a substrate is provided. Then, a resistor layer is formed on the substrate. And then, a first conducting layer is formed on the resistor layer. Afterward, a CaCu<sub>3</sub>Ti<sub>4</sub>O<sub>12</sub> resistor layer is formed on the first conducting layer by utilizing sol-gel process. Finally, a second conducting layer is formed on the CaCu<sub>3</sub>Ti<sub>4</sub>O<sub>12</sub> resistor layer. The invention not only satisfies a requirement of low driving voltage in electronic product but increases reliability and compatibility even cost is diminished.



圖二

專利案號: 097110676



日期: 100年11月07日

公告本

## 發明專利說明書

※申請案號: 097110676

※IPC分類: H01L 27/10, 21/822 (2006.01)

※申請日: 97.3.26

### 一、發明名稱:

記憶體元件及其製作方法

MEMORY DEVICE AND METHOD OF MANUFACTURING THE SAME

### 二、中文發明摘要:

本發明係揭露一種記憶體元件及其製造方法。記憶體元件包含基板、絕緣層、第一導電層、鈦酸銅鈣電阻層以及第二導電層。絕緣層形成於基板之上。第一導電層形成於絕緣層之上。鈦酸銅鈣電阻層形成於第一導電層之上。第二導電層形成於鈦酸銅鈣電阻層之上。於製作時，首先，提供基板，接著於基板之上形成絕緣層，之後於絕緣層之上形成第一導電層，然後利用溶膠凝膠法於第一導電層之上形成鈦酸銅鈣電阻層，最後，於鈦酸銅鈣電阻層之上形成第二導電層。本發明不僅符合電子產品低電壓之需求，且能在降低成本的同時，提升產品之可靠度與相容性。

### 三、英文發明摘要:

The invention discloses a memory device and method thereof. The memory device comprises a substrate, an insulator layer, a first conducting layer, a  $\text{CaCu}_3\text{TiO}_{12}$  resistor layer and a second conducting layer. The insulator layer is formed over the substrate. The first conducting layer is formed over the insulator layer. The  $\text{CaCu}_3\text{TiO}_{12}$  resistor layer is formed over the first conducting layer. The second conducting layer is formed over the  $\text{CaCu}_3\text{TiO}_{12}$  resistor layer. In manufacturing, first, a substrate is provided. Then, a resistor layer is formed on the sub-

strate. And then, a first conducting layer is formed on the resistor layer. Afterward, a  $\text{CaCu}_3\text{Ti}_4\text{O}_{12}$  resistor layer is formed on the first conducting layer by utilizing sol-gel process. Finally, a second conducting layer is formed on the  $\text{CaCu}_3\text{Ti}_4\text{O}_{12}$  resistor layer. The invention not only satisfies a requirement of low driving voltage in electronic product but increases reliability and compatibility even cost is diminished.

#### 四、指定代表圖：

(一)本案指定代表圖為：第(二)圖

(二)本代表圖之元件符號簡單說明：

3：記憶體元件 30：基板

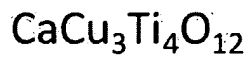
32：絕緣層 34：第一導電層

36：電阻層 38：第二導電層

40：第三導電層 42：第一介面層

44：第二介面層

#### 五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：



## 六、發明說明：

### 【發明所屬之技術領域】

[0001] 本發明係有關於一種記憶體元件及其製作方法。特別地，本發明係採用凝膠法成功地製作高品質鈦酸銅鈣(CCTO)薄膜，且易於均勻添加各種適量的添加物來製作記憶體元件的電阻層。

### 【先前技術】

[0002] 一般而言，記憶體元件通常可以分為兩大類，即揮發性記憶體(volatile memory)與非揮發性記憶體(non-volatile memory)。而所謂的揮發性記憶體是指記憶體內的資料必須仰賴持續性的電源供應才能維持保存，相對的，非揮發性記憶體意謂著即使遇到電源中斷，其內部記憶體之資料仍得以保持一段很長的時間。舉例來說，一般常在電腦內部使用的動態隨機存取記憶體(DRAM)與靜態隨機存取記憶體(SRAM)即屬於揮發性記憶體，而唯讀記憶體(ROM)則為非揮發性記憶體。

[0003] 隨著手機、數位相機、個人數位助理和筆記型電腦等攜帶式電子設備的大量普及，非揮發性記憶體也因其不需要電源供應來維持記憶狀態，且具有低操作耗能之特性而廣泛應用於各種攜帶式電子設備之中。而在各種非揮發性記憶體中，又以可快速寫入與抹除之快閃記憶體(flash RAM)格外受到重視。但隨著元件不斷地縮小，快閃記憶體也逐漸面臨到過大的寫入電壓、過長的寫入時間與閘極過薄導致記憶時間縮短的困境。因此，各方也不斷努力於開發新的非揮發性記憶體來取代快閃記憶

體，其中電阻式非揮發性記憶體元件具有寫入抹除時間短、操作電壓與電流低、記憶時間長、多狀態記憶、結構簡單、簡化的寫入與讀出及所需面積小等優點，而受到各界的重視。

[0004] 請參閱圖一A，圖一A係繪示先前技術之電阻式非揮發性記憶體1之剖視圖。如圖一A所示，電阻式非揮發性記憶體1係設置於基板10上，並包含有絕緣層12、下導電層14、電阻層16以及上導電層18。其中下導電層14以及上導電層18包含鉑薄膜，而電阻層為包含有鈣鈦礦結構材料之薄膜，並具有電阻轉換之特性。

[0005] 請參閱圖一B，圖一B係繪示先前技術之電阻式非揮發性記憶體所施加偏壓與漏電流之關係示意圖。如圖一B所示，當施加於電阻式非揮發性記憶體1上的偏壓由0開始正向增加時，漏電流會隨著曲線C1逐漸上升，但一旦偏壓加至大於 $V_{Set}$ 時，漏電流與所施加偏壓之關係會由原本曲線C1瞬間轉換至曲線C2，使得漏電流瞬間上升，亦即電阻式非揮發性記憶體之電阻值由原本的高電阻值狀態 (high resistance state, HRS) $R_{HRS}$  轉換為低電阻值狀態 (low resistance state, LRS) $R_{LRS}$ 。於低電阻值狀態時，漏電流與偏壓間之關係會循著曲線C2運作，直到所施加偏壓達到 $V_{Reset}$ 時，才會轉換回原本之曲線C1，即由低電阻值狀態 $R_{LRS}$  轉換為原本的高電阻值狀態 $R_{HRS}$ 。由於電阻式非揮發性記憶體1具有這種可利用直流偏壓來造成電阻轉換的特性，且可以重複操作而得到一樣的電阻轉換，因此可被用來製作記憶體元件。

[0006] 舉例來說，這兩種不同的電阻值可分別用來代表0或1，一旦需要對記憶體之內容進行寫入或是抹除時，僅需要施加適當大小的電壓於電阻式非揮發性記憶體1上，即可藉由電阻值之改變而達到寫入或是抹除之目的。且一旦此電阻值改變後，並不需要持續提供電源供應來維持，而可在中斷電源供應的狀況下，繼續保存記憶體內部之資料。

[0007] 然而，在先前技術之電阻式非揮發性記憶體之製作方法中，所使用的材料不易配置，加上用來成長電阻層薄膜之製程多為真空濺鍍、有機金屬化學氣相沉積法或相脈衝雷射濺鍍法等，所使用的材料需要相當高的成本，加上這些製程又不適合大面積薄膜的製作，所以均不適合量產。

[0008] 因此，本發明之範疇係在於提供一種記憶體元件及其製作方法，以解決上述問題。

#### 【發明內容】

[0009] 本發明之一範疇在於提供一種記憶體元件及其製作方法，主要係利用鈦酸銅鈣薄膜作為記憶體元件之電阻層，並且藉由溶膠凝膠法達成電阻式記憶體元件之電阻層的製作。

[0010] 根據本發明之一具體實施例，記憶體元件包含基板、絕緣層、第一導電層、鈦酸銅鈣電阻層以及第二導電層。絕緣層形成於基板之上。第一導電層形成於絕緣層之上。鈦酸銅鈣電阻層形成於第一導電層之上。第二導電層形成於電阻層之上。於製作時，首先，提供基板，接著



於基板之上形成絕緣層，之後於絕緣層之上形成第一導電層，然後利用溶膠凝膠法於第一導電層之上形成鈦酸銅鈣電阻層，最後，於鈦酸銅鈣電阻層之上形成第二導電層。

[0011] 相較於先前技術，本發明所提供之記憶體元件利用鈦酸銅鈣薄膜作為電阻層之材料，其開關電壓較一般目前使用於電阻式記憶體之電阻層的材料為低，符合目前電子產品低電壓之需求。此外，本發明以溶膠凝膠法的製作方式形成電阻層，不僅具有低成本及製程容易控制等優點，且適合大面積薄膜之製作。又因為其與一般半導體製程具有更高的相容性，所以能在降低成本的同時，更能提升產品的可靠度。另外，在配合不同的電極材料之後，可以調變開關電壓與高低電阻值之比例，進而顯著地提升記憶體元件之電性表現，符合實用的需要。

[0012] 關於本發明之優點與精神可以藉由以下的發明詳述及所附圖式得到進一步的瞭解。

#### 【實施方式】

[0013] 請參閱圖二，圖二係繪示本發明一具體實施例之記憶體元件(memory device)3之剖視圖。如圖二所示，記憶體元件包含基板(substrate)30、絕緣層(isulator layer)32、第一導電層(first conducting layer)34、電阻層(resistor layer)36以及第二導電層(second conducting layer)38。絕緣層32係形成於基板30之上，第一導電層34形成於絕緣層32之上，電阻層36形成於第一導電層34之上，第二導電層38形成於電

阻層36之上。

[0014] 於此實施例中，基板30可以是矽(silicon, Si)基板、碳化矽(silicon carbide, SiC)基板或其他類似基板。絕緣層32可以是厚度介於100奈米至600奈米之二氧化矽(silicon dioxide,  $\text{SiO}_2$ )薄膜或其他類似結構。第一導電層34可以是厚度介於10奈米至600奈米之鉑(platinum, Pt)薄膜或其他類似結構。第二導電層38可以是厚度介於10奈米至600奈米之鉑薄膜或其他類似結構。值得注意的是，本發明所使用之電阻層36係為厚度介於20奈米至1000奈米之鈦酸銅鈣( $\text{CaCu}_3\text{Ti}_4\text{O}_{12}$ , CCTO)薄膜，其開關電壓較一般目前所使用的材料為低，更加符合目前電子產品低電壓之需求。

[0015] 除此之外，本發明所使用之第二導電層38更可以是選自由鉑(platinum, Pt)、銅(copper, Cu)、鈦(titanium, Ti)、鉭(tantalum, Ta)、銣(rubidium, Ru)以及鉬(molybdenum, Mo)所組成之群組中之材料製成。透過包含不同金屬之第二導電層38，記憶體元件3之開關電壓可藉此得以調變。

[0016] 於實際應用時，由於第一導電層34之鉑薄膜與絕緣層32之二氧化矽薄膜之間的黏附性較為不佳，記憶體元件3於絕緣層32與第一導電層34之間可進一步包含第三導電層(third conducting layer)40，用以增加鉑薄膜與二氧化矽薄膜之間的黏附性。於此實施例中，第三導電層40可以是厚度介於10奈米至600奈米之鈦(titanium, Ti)薄膜或其他類似結構。

[0017] 此外，隨著第二導電層38所使用材料之不同，記憶體元件3於第一導電層34與電阻層36之間更可進一步包含適當材料之第一介面層42，且於電阻層36與第二導電層38之間可進一步包含適當材料之第二介面層44，用以增加電阻層36與第一導電層34以及第二導電層38之黏附性，並且防止電阻層36內之成分與第一導電層34以及第二導電層38相互擴散，防止額外漏電，進而增加記憶體元件3之可靠性。

[0018] 於此實施例中，本發明主要係利用鈦酸銅鈣薄膜形成記憶體元件之電阻層，其開關電壓較習知技術所使用之材料為低，可符合目前電子產品低電壓之需求，且在適度調整第二導電層所包含金屬的情況下，可藉此調變記憶體元件之開關電壓。並且藉由第三導電層、第一介面層以及第二介面層之安排下，更加提升記憶體元件之可靠性與安全性。

[0019] 請參閱圖三，圖三係繪示本發明一具體實施例之記憶體元件製作方法之流程圖。如圖三所示，首先，執行步驟S10，提供基板，並根據RCA程序對基板進行清洗。需說明的是，RCA清洗程序為美商RCA公司所發展之矽晶圓清洗技術，於1965年應用於RCA元件製作上，並於1970年發表其清洗過程。RCA清洗程序分為二段步驟：濕式氧化及錯合反應。RCA清洗程序係為習知技藝之人可輕易達成，在此不再贅述。

[0020] 接著，執行步驟S12，利用爐管加熱程序於基板之上形成絕緣層，以用來隔絕底材的漏電流。

[0021] 之後，執行步驟S14，利用直流濺鍍法於絕緣層之上形成第一導電層。然後，執行步驟S16，於第一導電層之上形成鈦酸銅鈣電阻層。最後，執行步驟S18，利用直流濺鍍法於鈦酸銅鈣電阻層上形成第二導電層。需說明的是，記憶體元件之材料、結構組成以及作用原理係與圖二中的記憶體元件3相同，在此不再贅述。

[0022] 於此實施例中，本發明係利用溶膠凝膠法於第一導電層之上形成鈦酸銅鈣電阻層，不但具有低成本及製程容易控制等優點，適合大面積薄膜之製作，並具有與一般半導體製程更高的相容性，使得能在降低成本的同時，亦能提升產品的可靠度。需說明的是，本發明形成鈦酸銅鈣電阻層不以溶膠凝膠法為限。

[0023] 請參閱圖四，圖四係繪示本發明利用溶膠凝膠法於第一導電層之上形成鈦酸銅鈣電阻層之流程圖。如圖四所示，首先執行步驟S160，準備冰醋酸(acetic,  $\text{CH}_3\text{COOH}$ )。接著，執行步驟S162，將醋酸鈣(calcium acetate,  $\text{Ca}(\text{CH}_3\text{COO})_2$ )加入冰醋酸中，於 $100^\circ\text{C}$ 加熱溶解且攪拌30分鐘，以得到第一溶液。之後，執行步驟S164，將醋酸銅(cupric acetate,  $\text{Cu}(\text{CH}_3\text{COO})_2$ )加入第一溶液中，於 $100^\circ\text{C}$ 下攪拌60分鐘，以得到第二溶液。然後，執行步驟S166，將乙二醇(ethylene,  $\text{C}_2\text{H}_6\text{O}_2$ )及四異丙醇鈦(titanium IV isopropoxide,  $\text{TiC}_{12}\text{H}_{28}\text{O}_4$ )加入第二溶液中，於 $100^\circ\text{C}$ 下攪拌30分鐘，以得到第三溶液。接著，執行步驟S168，將第三溶液塗佈於第一導電層之上。最後，執行步驟S170，利用高溫爐加熱，使第三溶

液中的溶劑揮發，進而結晶成鈦酸銅鈣電阻層。其中，鈦酸銅鈣電阻層之厚度可藉由溶液濃度以及塗佈次數調整。

[0024] 針對鈦酸銅鈣電阻層以及溶膠凝膠法之特性，以下茲列舉數個特性，進一步說明本發明。

[0025] 請參閱圖五，圖五係繪示所配製之第三溶液之熱重分析圖。如圖五所示，根據熱重分析儀(Thermo-Gravity Analyzer, TGA)所得之曲線C3，可知第三溶液於200°C至300°C時可將各式揮發物去除。此外，根據示差掃描熱卡儀(Differential Scanning Calormeter, DSC)所得之曲線C4，可知第三溶液在大於765°C之後開始成長鈦酸銅鈣之化合物。而熱重分析儀以及示差掃描熱卡儀之技術係為習知技藝之人可輕易達成，在此不再贅述。

[0026] 請參閱圖六，圖六係繪示於熱處理溫度800°C以及處理時間30分鐘之情況下，不同厚度之鈦酸銅鈣薄膜之X光繞射圖譜圖。如圖六所示，分別顯示490奈米、420奈米、280奈米以及210奈米之鈦酸銅鈣薄膜之X光繞射圖譜，可得鈦酸銅鈣薄膜除了(220)之晶格排列方向外，尚有(400)以及(422)之晶格排列方向，顯示鈦酸銅鈣薄膜之電阻層係為多晶結構之排列型態。而X光繞射圖譜之技術係為習知技藝之人可輕易達成，在此不再贅述。

[0027] 請參閱圖七，圖七係繪示根據本發明之記憶體元件之電壓電流關係圖。如圖七所示，可得本發明之記憶體元件具有兩種不同電阻，且高電阻值狀態 $R_{HRS}$  (high res-

istance state, HRS)以及低電阻值狀態 $R_{LRS}$  (low resistance state, LRS)之間之轉態倍率可高達500倍，並且轉態電壓在3.3伏特以內。此外，結果顯示於正偏壓方向時，電流隨著電壓增加而增加，並於1.5V時電流急遽降低。於負偏壓方向時，電流隨著電壓增加而增加，並於-3.3V時電流急遽增加。亦即本發明之記憶體元件可利用直流偏壓使得元件產生電阻轉換以達到記憶目的，且可以重複操作而得到一樣的電阻轉換。

[0028] 請參閱圖八，圖八係繪示根據本發明之記憶體元件之偏壓與漏電流之關係圖。如圖八所示，可清楚地發現本發明之記憶體元件具有兩種不同電阻，分別代表高電阻值狀態 $R_{HRS}$ 以及低電阻值狀態 $R_{LRS}$ ，並且於偏壓1.5伏特與3.3V伏特存在轉換電壓值。由於兩者間之差異十分明顯而易於分辨，故可充分符合電阻式記憶元件之需求。

[0029] 相較於先前技術，本發明所提供之記憶體元件利用鈦酸銅鈣薄膜作為電阻層之材料，其開關電壓較一般目前使用於電阻式記憶體之電阻層的材料為低，符合目前電子產品低電壓之需求。此外，本發明以溶膠凝膠法的製作方式形成電阻層，不僅具有低成本及製程容易控制等優點，且適合大面積薄膜之製作。有因為其與一般半導體製程具有更高的相容性，所以能在降低成本的同時，更能提升產品的可靠度。另外，在配合不同的電極材料之後，可以調變開關電壓與高低電阻值之比例，進而顯著地提升記憶體元件之電性表現，符合實用的需要。

[0030] 藉由以上較佳具體實施例之詳述，係希望能更加清楚描

述本發明之特徵與精神，而並非以上述所揭露的較佳具體實施例來對本發明之範疇加以限制。相反地，其目的是希望能涵蓋各種改變及具相等性的安排於本發明所欲申請之專利範圍的範疇內。因此，本發明所申請之專利範圍的範疇應該根據上述的說明作最寬廣的解釋，以致使其涵蓋所有可能的改變以及具相等性的安排。

#### 【圖式簡單說明】

[0031] 圖一A係繪示先前技術之電阻式非揮發性記憶體之剖視圖。

圖一B係繪示先前技術之電阻式非揮發性記憶體所施加偏壓與漏電流之關係示意圖。

圖二係繪示本發明一具體實施例之記憶體元件之剖視圖。

圖三係繪示本發明一具體實施例之記憶體元件製作方法之流程圖。

圖四係繪示本發明利用溶膠凝膠法於第一導電層之上形成鈦酸銅鈣電阻層之流程圖。

圖五係繪示所配製之第三溶液之熱重分析圖。

圖六係繪示於熱處理溫度 $800^{\circ}\text{C}$ 以及處理時間30分鐘之情況下，不同厚度之鈦酸銅鈣薄膜之X光繞射圖譜圖。

圖七係繪示根據本發明之記憶體元件之電壓電流關係圖。

圖八係繪示根據本發明之記憶體元件之偏壓與漏電流之關係圖。

#### 【主要元件符號說明】

- [0032] 1、3：記憶體元件 10、30：基板  
12、32：絕緣層 14、34：第一導電層  
16、36：電阻層 18、38：第二導電層  
40：第三導電層 42：第一介面層  
44：第二介面層  
 $R_{HRS}$ ：高電阻值狀態  $R_{LRS}$ ：低電阻值狀態  
C1、C2、C3、C4：曲線  
S10-S18、S160-S170：流程步驟



## 七、申請專利範圍：

1. 一種記憶體元件，包含：
  - 一基板；
  - 一絕緣層，形成於該基板之上；
  - 一第一導電層，形成於該絕緣層之上，該第一導電層為一厚度介於10奈米至600奈米之鉑薄膜；
  - 一鈦酸銅鈣電阻層，形成於該第一導電層之上；
  - 一第二導電層，形成於該電阻層之上；以及
  - 一第三導電層，該第三導電層位於該絕緣層與該第一導電層之間，該第三導電層為一厚度介於10奈米至600奈米之鈦薄膜。
2. 如申請專利範圍第1項所述之記憶體元件，其中該基板為一矽基板或一碳化矽基板。
3. 如申請專利範圍第1項所述之記憶體元件，其中該絕緣層為一厚度介於100奈米至600奈米之二氧化矽薄膜。
4. 如申請專利範圍第1項所述之記憶體元件，其中該鈦酸銅鈣電阻層之厚度介於20奈米至1000奈米。
5. 如申請專利範圍第1項所述之記憶體元件，其中該第二導電層由選自鉑、銅、鈦、鉭、鈷以及鉭所組成之一群組中之一材料製成。
6. 如申請專利範圍第5項所述之記憶體元件，其中該第二導電層為一厚度介於10奈米至600奈米之鉑薄膜。
7. 如申請專利範圍第1項所述之記憶體元件，進一步包含一第一介面層與一第二介面層，該第一介面層位於於該第一導電層與該鈦酸銅鈣電阻層之間，且該第二介面層位於該

鈦酸銅鈣電阻層與該第二導電層之間。

8. 一種記憶體元件之製作方法，包含下列步驟：

- (a) 提供一基板；
- (b) 於該基板之上形成一絕緣層；
- (c) 於該絕緣層之上形成一第一導電層；
- (d) 於該第一導電層之上形成一鈦酸銅鈣電阻層；以及
- (e) 於該鈦酸銅鈣電阻層之上形成一第二導電層；

其中，進行步驟(b)之後，更包括利用直流濺鍍法於該絕緣層上形成一第三導電層，再進行步驟(c)以形成該第一導電層於該第三導電層上；

其中，該步驟(d)中更包含下列步驟：

準備冰醋酸；

將醋酸鈣加入該冰醋酸中，於100°C加熱溶解且攪拌30分鐘，以得到一第一溶液；

將醋酸銅加入該第一溶液中，於100°C下攪拌60分鐘，以得到一第二溶液；

將乙二醇及四異丙醇鈦加入該第二溶液中，於100°C下攪拌30分鐘，以得到一第三溶液；

將該第三溶液塗佈於該第一導電層之上；以及

利用一高溫爐加熱，使該第三溶液中的溶劑揮發，進而結晶成該鈦酸銅鈣電阻層。

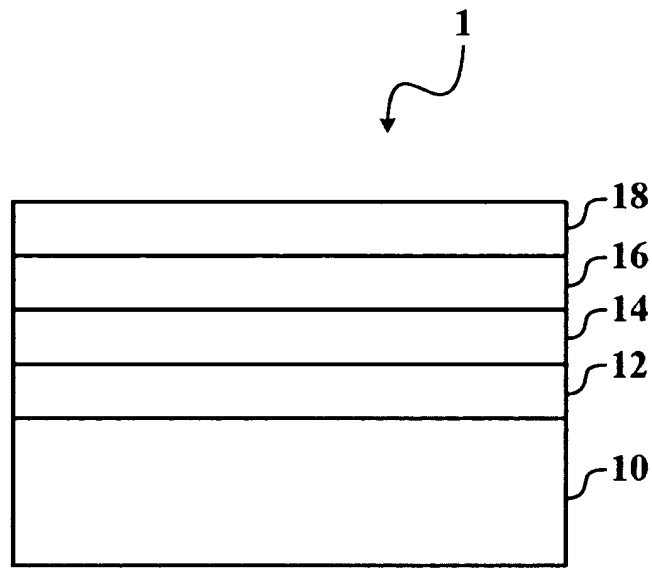
9. 如請專利範圍第8項所述之製作方法，其中該基板為一矽基板或一碳化矽基板，且步驟(a)另包含下列步驟：

利用RCA程序清洗該基板。

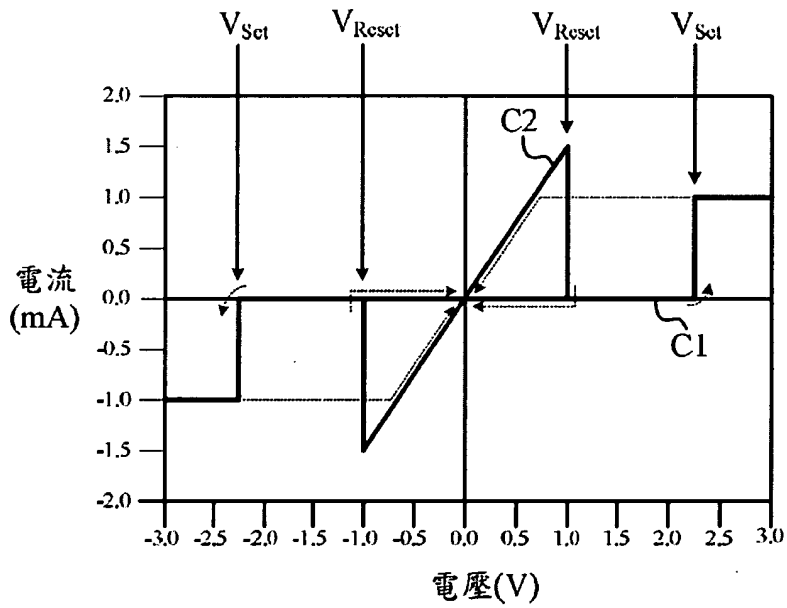
10. 如申請專利範圍第8項所述之製作方法，其中該絕緣層為一厚度介於100奈米至600奈米之二氧化矽薄膜，且步驟

- (b)利用爐管加熱程序於該基板之上形成該絕緣層。
- 11 . 如申請專利範圍第8項所述之製作方法，其中該第一導電層為一厚度介於10奈米至600奈米之鉑薄膜，且步驟(c)利用直流濺鍍法於該絕緣層之上形成該第一導電層。
- 12 . 如申請專利範圍第8項所述之製作方法，其中該鈦酸銅鈣電阻層之厚度介於20奈米至1000奈米。
- 13 . 如申請專利範圍第8項所述之製作方法，其中該第二導電層由選自鉑、銅、鈦、鉭、銻以及鉬所組成之一群組中之一材料製成，且步驟(e)利用直流濺鍍法於該鈦酸銅鈣電阻層之上形成該第二導電層。
- 14 . 如申請專利範圍第13項所述之製作方法，其中該第二導電層為一厚度介於10奈米至600奈米之鉑薄膜。
- 15 . 如申請專利範圍第8項所述之製作方法，其中該第三導電層為一厚度介於10奈米至600奈米之鈦薄膜。
- 16 . 如申請專利範圍第8項所述之製作方法，進一步包含下列步驟：
- 進行步驟(c)之後，更包括於該第一導電層上形成一第一介面層，再進行步驟(d)以形成該鈦酸銅鈣電阻層於該第一介面層上。
- 17 . 如申請專利範圍第8項所述之製作方法，進一步包含下列步驟：
- 進行步驟(d)後，更包括於該鈦酸銅鈣電阻層上形成一第二介面層，再進行步驟(e)以形成該第二導電層於該第二介面層上。

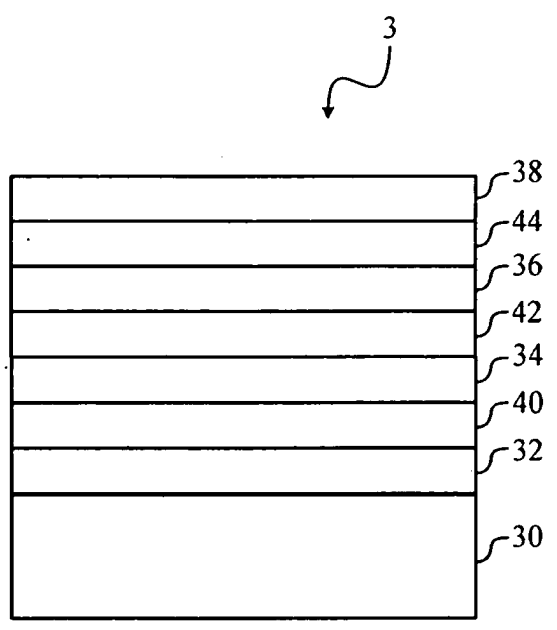
八、圖式：



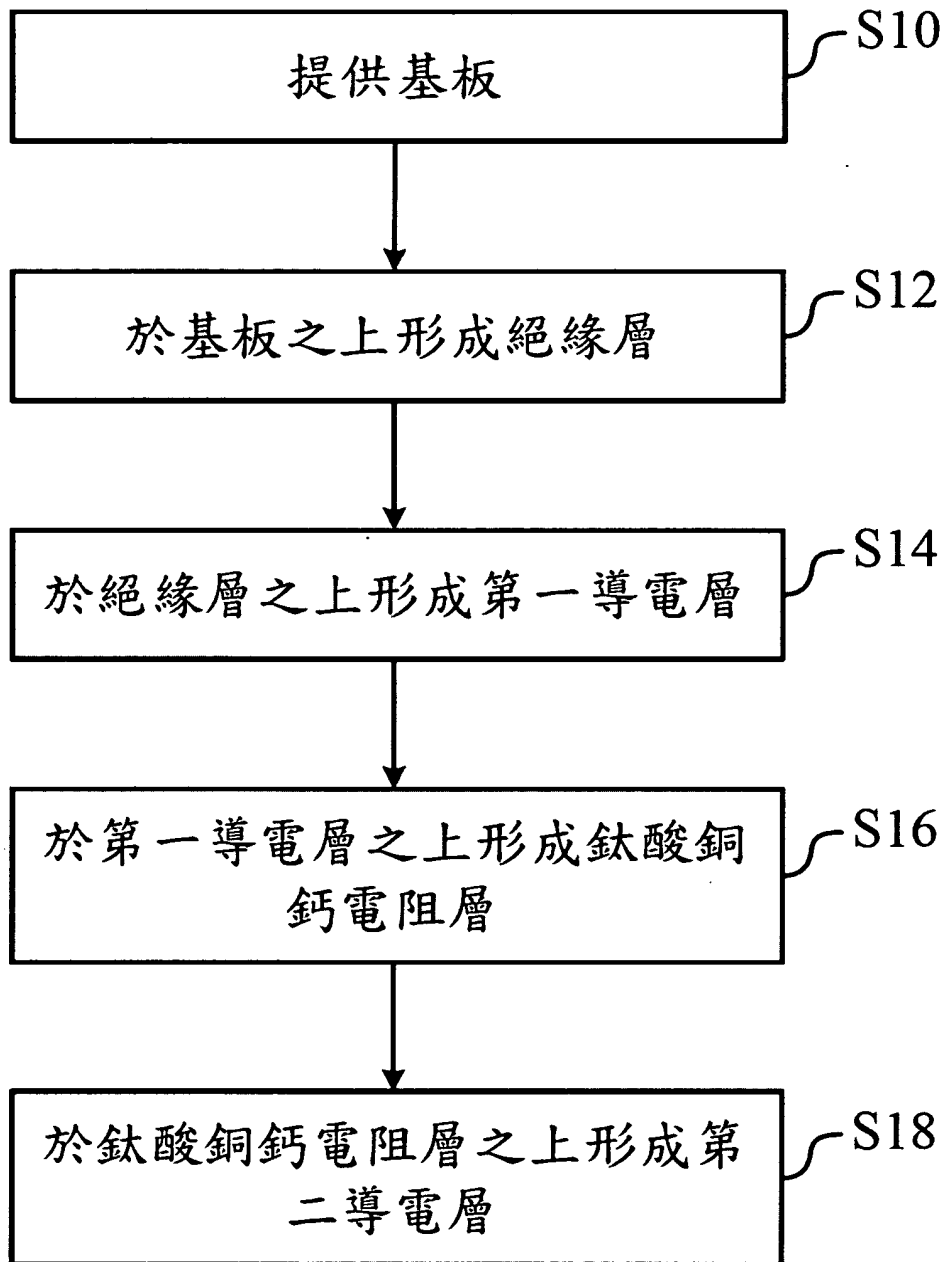
圖一A(先前技術)



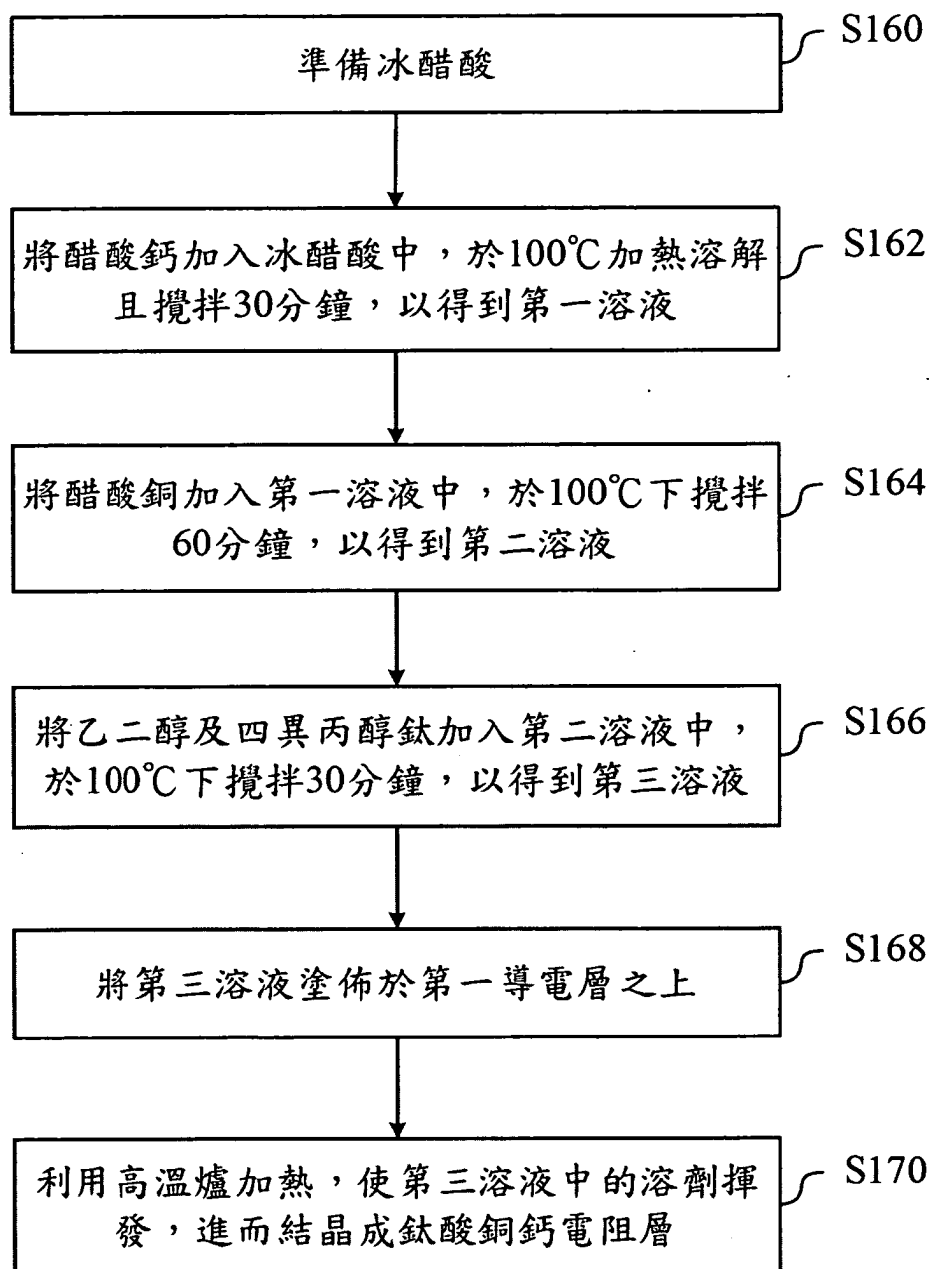
圖一B(先前技術)



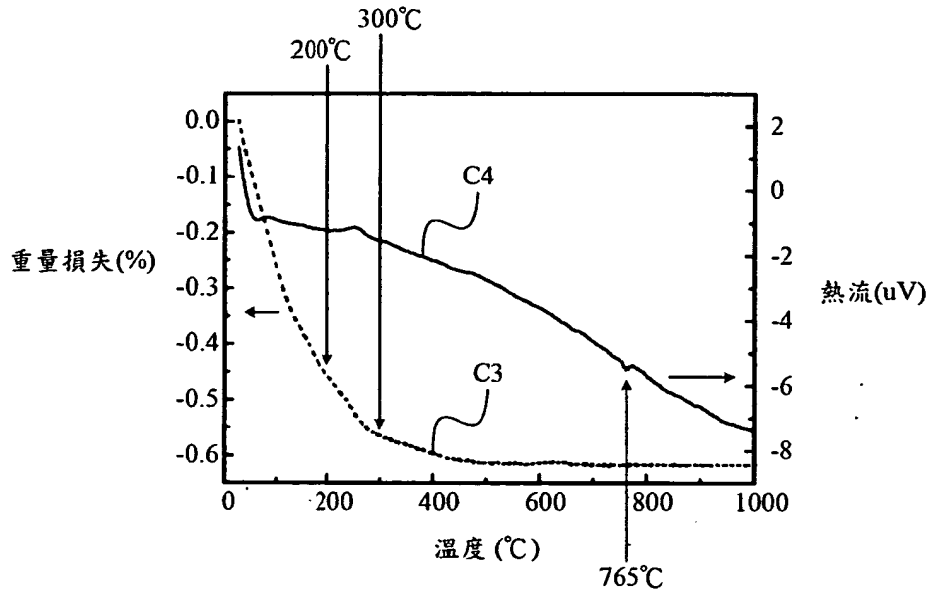
圖二



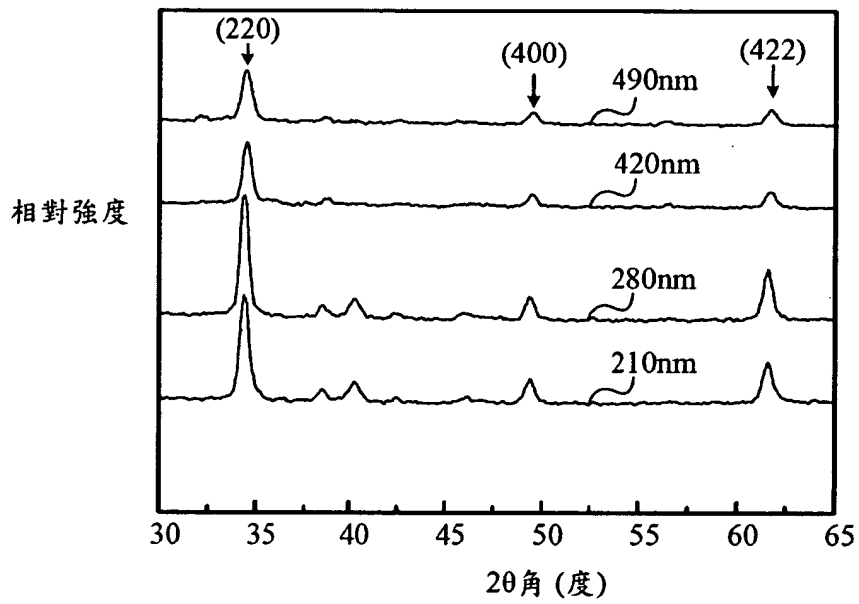
圖三



圖四

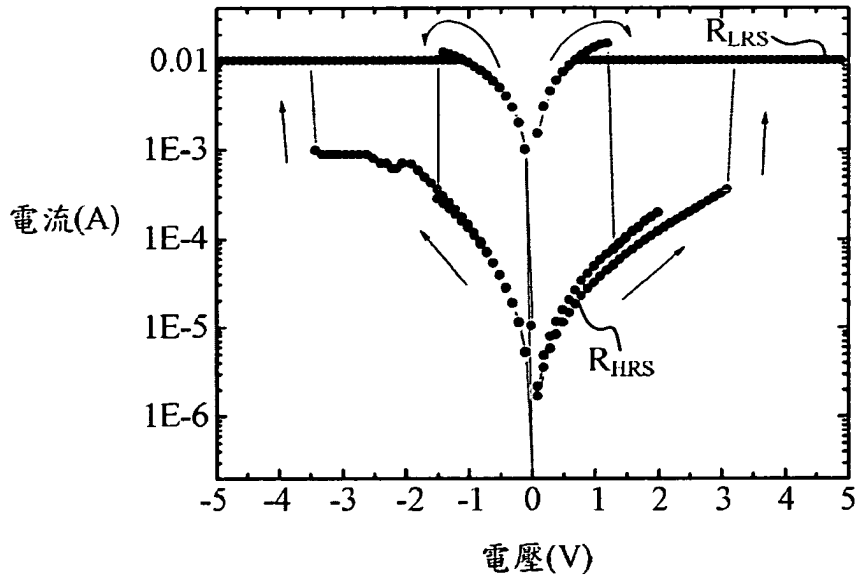


圖五

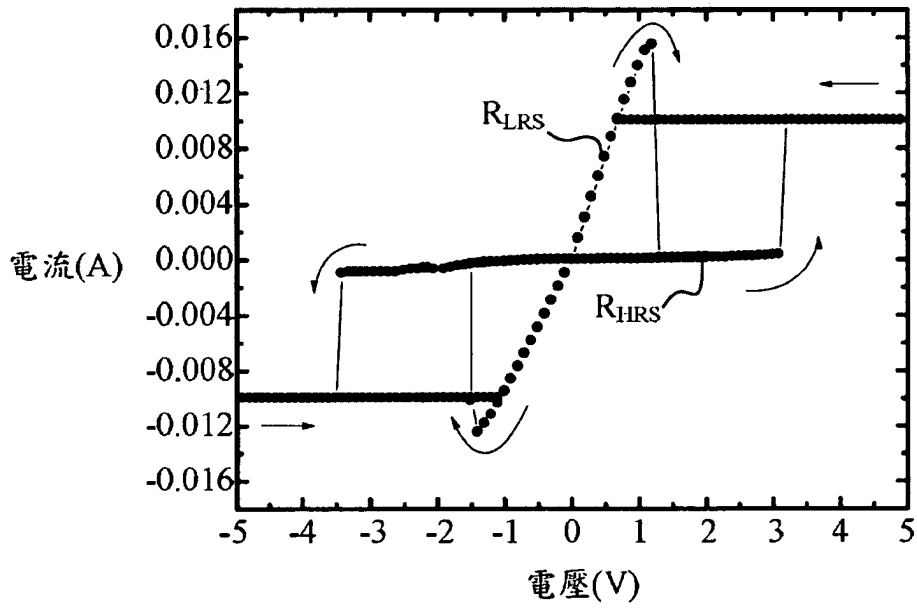


圖六





圖七



圖八