

**發明專利說明書**

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：96135891

※申請日期：96.9.27

※IPC 分類：

(2006.01)

H01L 23/60

一、發明名稱：(中文/英文)

靜電放電防護裝置以及積體電路

Electrostatic discharge protection device and integrated circuit utilizing the same

二、申請人：(共 2 人)

姓名或名稱：(中文/英文)

1. 國立交通大學/National Chiao-Tung University
2. 奇景光電股份有限公司/HIMAX TECHNOLOGIES LIMITED

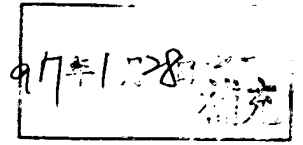
代表人：(中文/英文)

1. 吳重雨/Chung-Yu Wu
2. 吳炳昇/Biing-Seng Wu

住居所或營業所地址：(中文/英文)

1. 新竹市大學路 1001 號 / 1001 Ta Hsueh Road, Hsinchu Taiwan 300, R.O.C.
2. 台南縣新市鄉豐華村 8 鄰紫棟路 26 號 / No.26, Zih Lian Road, Fonghua Village, Sinshih Township, Tainan County 74445, Taiwan (R.O.C.)

國籍：(中文/英文) 中華民國 TW



三、發明人：(共3人)

姓名：(中文/英文)

- 1.柯明道/ Ming-Dou KER
- 2.顏承正/ CHENG-CHEGN YEN
- 3.陳東暘/ Tung-Yang Chen

國籍：(中文/英文)

中華民國 TW

#### 四、聲明事項：

主張專利法第二十二條第二項  第一款或  第二款規定之事實，其事實發生日期為：2007 年 4 月 15 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

## 五、中文發明摘要：

一種積體電路，包括一核心電路以及一靜電放電防護裝置。核心電路耦接於一第一電源線及一第二電源線之間。靜電放電防護裝置包括，一放電元件、一第一偵測電路以及一第二偵測電路。當放電元件被致能時，則在一第一及第二電源線之間提供一放電路徑，當放電元件被禁能時，則停止提供放電路徑。第一偵測電路耦接於第一及第二電源線之間。當第一電源線發生一靜電放電事件時，則第一偵測電路致能放電元件。當第一電源線未發生靜電放電事件時，則第二偵測電路禁能放電元件。

## 六、英文發明摘要：

An integrated circuit including a core circuit and an electrostatic discharge (ESD) protection device. The core circuit is coupled between a first power line and a second power line. The ESD protection device includes a discharge element, a first detection circuit, and a second detection circuit. When the discharge element is activated, the discharge element provides a discharge path between the first and the second power lines. When the discharge element is de-activated, the discharge element stops providing the discharge path. The first detection circuit is coupled between the first and the second power lines. When an ESD event occurs in the first power line, the first

detection circuit activates the discharge element. When the ESD event does not occur in the first power line, the second detection circuit de-activates the discharge element.

七、指定代表圖：

(一)本案指定代表圖為：第(1)圖。

(二)本代表圖之元件符號簡單說明：

100：積體電路；

110：核心電路；

120：靜電放電防護裝置；

121、122：偵測電路；

123：放電元件；

131、132：電源線。

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無。

## 九、發明說明：

### 【發明所屬之技術領域】

本發明係有關於一種積體電路，特別是有關於一種具有靜電放電防護裝置的積體電路。

### 【先前技術】

隨著半導體製程的進化，靜電放電(ElectroStatic Discharge；ESD)所造成之元件損害對積體電路產品來說已經成為最主要的可靠度問題之一。一般利用許多種類的ESD測試來模仿ESD事件，比較為一般人熟悉的ESD測試有兩種，機器放電模式(machine model，MM)以及人體放電模式(human body model，HBM)。一般商業用的積體電路都必須具備一定程度的HBM以及MM之耐受度，才可以販售。

ESD保護係為積體電路所不可或缺功能。尤其是隨著尺寸不斷地縮小至深次微米之程度，金氧半導體之閘極氧化層也越來越薄，積體電路更容易因靜電放電現象而遭受破壞。在一般的工業標準中，積體電路產品之輸出入接腳(I/O pin)必需能夠通過2000伏特以上之人體模式靜電放電測試以及200伏特以上之機器模式靜電放電測試。因此，在積體電路產品中，靜電放電防護裝置必需設置在所有輸出入鉑墊(pad)附近，以保護內部之核心電路(core circuit)不受靜電放電電流之侵害。

### 【發明內容】

本發明提供一種靜電放電防護裝置，包括一放電元

件、一第一偵測電路以及一第二偵測電路。當放電元件被致能時，則在一第一及第二電源線之間提供一放電路徑，當放電元件被禁能時，則停止提供放電路徑。第一偵測電路耦接於第一及第二電源線之間。當第一電源線發生一靜電放電事件時，則第一偵測電路致能放電元件。當第一電源線未發生靜電放電事件時，則第二偵測電路禁能放電元件。

本發明另提供一種積體電路，包括一核心電路以及一靜電放電防護裝置。核心電路耦接於一第一電源線及一第二電源線之間。靜電放電防護裝置包括，一放電元件、一第一偵測電路以及一第二偵測電路。當放電元件被致能時，則在一第一及第二電源線之間提供一放電路徑，當放電元件被禁能時，則停止提供放電路徑。第一偵測電路耦接於第一及第二電源線之間。當第一電源線發生一靜電放電事件時，則第一偵測電路致能放電元件。當第一電源線未發生靜電放電事件時，則第二偵測電路禁能放電元件。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉出較佳實施例，並配合所附圖式，作詳細說明如下：

### 【實施方式】

第 1 圖為本發明之積體電路之示意圖。如圖所示，積體電路(Integrated Circuit)100 包括，核心電路 110 以及靜電放電防護裝置 120。核心電路 110 與靜電放電防護裝置



120 均設置在電源線 131 及 132 之間。當 ESD 事件發生在電源線 131，而電源線 132 為相對接地端時，則靜電放電防護裝置 120 可將 ESD 電流釋放到地(ground)，以避免 ESD 電流影響核心電路 110。

在正常模式(無 ESD 事件)下，靜電放電防護裝置 120 不動作。此時，核心電路 110 根據電源線 131 及 132 所提供的電壓而運作。核心電路 110 依照積體電路 100 的種類，執行相關功能。舉例而言，若積體電路 100 係為一類比數位轉換器，則核心電路 110 用以執行信號轉換的功能。

靜電放電防護裝置 120 包括，偵測電路 121、122 以及放電元件 123。偵測電路 121 耦接於電源線 131 及 132 之間。當電源線 131 發生 ESD 事件時，偵測電路 121 致能放電元件 123。當電源線 131 未發生 ESD 事件時，偵測電路 122 禁能放電元件 123。當放電元件 123 被致能時，則可在電源線 131 及 132 之間提供一放電路徑。當放電元件 123 被禁能時，則停止提供放電路徑。

第 2 圖為本發明之靜電放電防護裝置之一可能實施例。在本實施例中，放電元件 123 係為 N 型的電晶體  $M_{ND}$ ，而偵測電路 122 為 N 型的電晶體  $M_{NR1}$ 。為了承受 ESD 電流，電晶體  $M_{ND}$  具有大尺寸的通道。

當電源線 131 發生 ESD 事件，而電源線 132 為相對接地端時，偵測電路 121 提供高位準予電晶體  $M_{ND}$ ，用以致能電晶體  $M_{ND}$ 。因此，電晶體  $M_{ND}$  提供一放電路徑，

使得 ESD 電流經由電晶體  $M_{ND}$  而被釋放至地。當電源線 131 未發生 ESD 事件時，偵測電路 121 提供高位準予電晶體  $M_{NR1}$ 。由於電晶體  $M_{NR1}$  被導通時，故可禁能電晶體  $M_{ND}$ 。因此，電晶體  $M_{ND}$  停止提供放電路徑。

第 3 圖為本發明之靜電放電防護裝置之另一可能實施例。在本實施例中，放電元件 123 為 N 型的電晶體  $M_{ND}$ ，而偵測電路 122 包括，P 型的電晶體  $M_{PR1}$  以及反相單元 310。當電源線 131 發生 ESD 事件，而電源線 132 為相對接地端時，偵測電路 121 提供低位準予反相單元 310，用以致能電晶體  $M_{ND}$ 。因此，電晶體  $M_{ND}$  提供一放電路徑，ESD 電流便可經由電晶體  $M_{ND}$  而釋放至地。

當電源線 131 未發生 ESD 事件時，偵測電路 121 提供低位準予電晶體  $M_{PR1}$ 。由於電晶體  $M_{PR1}$  被導通，使得反相單元 310 的輸入端為高位準。因此，禁能電晶體  $M_{ND}$ ，使得電晶體  $M_{ND}$  停止提供放電路徑。

第 4 圖為本發明之靜電放電防護裝置之另一可能實施例。在本實施例中，放電元件 123 係為 P 型的電晶體  $M_{PD}$ ，而偵測電路 122 為 P 型的電晶體  $M_{PR2}$ 。當電源線 131 發生 ESD 事件，而電源線 132 為相對接地端時，偵測電路 121 提供低位準予電晶體  $M_{PD}$ ，用以致能電晶體  $M_{PD}$ 。因此，ESD 電流可經由電晶體  $M_{PD}$  而被釋放至地。當電源線 131 未發生 ESD 事件時，偵測電路 121 提供低位準予電晶體  $M_{PR2}$ 。由於電晶體  $M_{PR2}$  被導通，故可禁能電晶體  $M_{PD}$ 。因此，電晶體  $M_{PD}$  停止提供放電路徑。

第 5 圖為本發明之靜電放電防護裝置之另一可能實施例。在本實施例中，放電元件 123 為 P 型的電晶體  $M_{PD}$ ，而偵測電路 122 包括 N 型的電晶體  $M_{NR2}$  以及反相單元 510。當電源線 131 發生 ESD 事件，而電源線 132 為相對接地端時，偵測電路 121 提供高位準予反相單元 510，以致能電晶體  $M_{PD}$ 。因此，電晶體  $M_{PD}$  提供一放電路徑，使得 ESD 電流經由電晶體  $M_{PD}$  而被釋放至地。當電源線 131 未發生 ESD 事件時，偵測電路 121 提供高位準予電晶體  $M_{NR2}$ 。由於電晶體  $M_{NR2}$  被導通，使得反相單元 510 的輸入端為低位準。因此，禁能電晶體  $M_{PD}$ ，使得電晶體  $M_{PD}$  停止提供放電路徑。

第 6A 圖為第 2 圖所示之偵測電路 121 之一可能實施例。如圖所示，偵測電路 121 包括，阻抗單元 610、電容單元 620 以及反相單元 630~650。阻抗單元 610 用以提供一阻抗。電容單元 620 與阻抗單元 610 串聯於電源線 131 及 132 之間，並且與阻抗單元 610 共同耦接節點 660。在本實施例中，阻抗單元 610 係為電阻 611，而電容單元 620 係為電容器 621。電阻 611 的阻抗及電容 621 的容值可定義一延遲係數。該延遲常數大於 ESD 脈衝時間並且小於電源線 131 上電源信號的初始上昇時間。

當 ESD 事件發生在電源線 131，而電源線 132 為相對接地端時，由於 RC 電路具有較 ESD 脈衝上昇時間長的延遲時間常數，因而使得節點 660 為低位準。透過反相單元 630~650，便可致能放電元件 123。當 ESD 事件未

發生時，由於電阻 611 電容 621 所定義的延遲常數小於電源線 131 上電源信號的初始上昇時間。因此，節點 660 為高位準。當電晶體  $M_{NR1}$  被導通時，便可禁能放電元件 123。

在本實施例中，由於放電元件 123 係為大尺寸之電晶體，故可將反相單元 630~650 串聯於節點 660 與放電元件 123 之間，使得偵測電路 121 有能力致能放電元件 123。在其它實施例中，亦可改變反相單元串聯的數量。另外，本領域人士均深知反相單元的構成方法(由一 P 型電晶體以及一 N 型電晶體所構成)，故不再贅述。

第 6B 圖為第 2 圖所示之偵測電路 121 之另一可能實施例。第 6B 圖相似於第 6A 圖，不同之處在於，第 6B 圖之偵測電路 121 多了 P 型電晶體  $M_{PFB}$ 。在本實施例中，電晶體  $M_{PFB}$  作為一回授路徑，用以避免在快速開機狀態時，放電元件 123 被致能。

由於電晶體  $M_{PFB}$  的通道尺寸可能大於反相單元內的電晶體的通道尺寸，因此，當 ESD 事件發生後，雖然節點 660 為高位準，但反相單元 650 的輸出端可能仍維持在高位準。因而無法禁能放電元件 123。然而，透過電晶體  $M_{NR1}$ ，便可將反相單元 650 的輸出端由高位準轉換至低位準，用以禁能放電元件 123。當電晶體  $M_{NR1}$  的通道尺寸愈大時，可愈快地禁能放電元件 123。

第 6C 圖為第 2 圖所示之偵測電路 121 之另一可能實施例。第 6C 圖相似於第 6A 圖，不同之處在於，第 6C

圖之偵測電路 121 多了反相單元 670。反相單元 650 與 670 構成一電路回授單元，用以確保在 ESD 事件發生時，放電元件可持續地提供放電路徑。

第 6D 為第 2 圖所示之偵測電路 121 之另一可能實施例。如圖所示，偵測電路 121 具有阻抗單元 610、電容單元 620、反相單元 630、650、電晶體  $M_{PFB}$ 、 $M_{P2}$  以及  $M_{N2}$ 。若電晶體  $M_{P2}$  以及  $M_{N2}$  係串聯於電源線 131 及 132 之間時，則可形成一反相單元。在本實施例中，電晶體  $M_{PFB}$ 、 $M_{P2}$  串聯於電源線 131 及電晶體  $M_{N2}$  之間。電晶體  $M_{PFB}$  作為一回授路徑，用以確保在 ESD 事件發生時，放電元件可持續地提供放電路徑。

第 7 圖為第 3 圖所示之偵測電路 121 之一可能實施例。如圖所示，偵測電路 121 包括，電容單元 710、阻抗單元 720 以及反相單元 730。在本實施例中，電容單元 710 係為一電容 711，而阻抗單元 720 係為電容 721。根據電容 711 的特性，當 ESD 事件發生在電源線 131 時，節點 640 為高位準。因此，可致能放電元件 123，以提供一放電路徑。當無 ESD 事件時，節點 640 為低位準，故可導通電晶體  $M_{PR1}$ 。因此，放電元件 123 被禁能，停止提供放電路徑。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何所屬技術領域中具有通常知識者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所

界定者為準。

**【圖式簡單說明】**

第 1 圖為本發明之積體電路之示意圖。

第 2 圖為本發明之靜電放電防護裝置之一可能實施例。

第 3~5 圖為本發明之靜電放電防護裝置之其它可能實施例。

第 6A~6D 圖為第 2 圖所示之偵測電路 121 之其它可能實施例。

第 7 圖為第 3 圖所示之偵測電路 121 之一可能實施例。

**【主要元件符號說明】**

100：積體電路；	110：核心電路；
120：靜電放電防護裝置；	131、132：電源線；
121、122：偵測電路；	123：放電元件；
610、720：阻抗單元；	620、710：電容單元；
611、721：電阻；	621、711：電容；

510、630~650、670、730：反相單元；

$M_{ND}$ 、 $M_{NR1}$ 、 $M_{NR2}$ 、 $M_{PD}$ 、 $M_{PR1}$ 、 $M_{PR2}$ 、 $M_{PFB}$ 、 $M_{P2}$ 、

$M_{N2}$ ：電晶體。

## 十、申請專利範圍：

### 1.一種靜電放電防護裝置，包括：

一放電元件，當被致能時，則在一第一及第二電源線之間提供一放電路徑，當被禁能時，則停止提供該放電路徑；

一第一偵測電路，耦接於該第一及第二電源線之間，其中該第一偵測電路提供一第一致能信號以及一第二致能信號；以及

一第二偵測電路，連接該第一偵測電路；

其中當一靜電放電事件發生在該第一電源線時，該第一偵測電路利用該第一致能信號，致能該放電裝置；當該靜電放電事件未發生在該第一電源線時，該第一偵測電路利用該第二致能信號，致能該第二偵測電路，藉由禁能該第一致能信號，禁能該放電裝置。

2.如申請專利範圍第 1 項所述之靜電放電防護裝置，其中該放電裝置係為一第一 N 型電晶體，其閘極接收該第一致能信號，其汲極耦接該第一電源線，其源極耦接該第二電源線，該第二偵測電路具有一第二 N 型電晶體，其閘極接收該第二致能信號，其汲極耦接該第一 N 型電晶體之閘極，其源極耦接該第二電源線。

3.如申請專利範圍第 2 項所述之靜電放電防護裝置，其中該第一偵測電路包括：

一阻抗單元，耦接於該第一電源線與一第一節點之間，並輸出該第二致能信號；



一電容單元，耦接於該第一節點與該第二電源線之間；

一第一反相單元，具有一第一輸入端以及一第一輸出端，該第一輸入端耦接該第一節點；

一第二反相單元，具有一第二輸入端以及一第二輸出端，該第二輸入端耦接該第一輸出端；以及

一第三反相單元，具有一第三輸入端以及一第三輸出端，該第三輸入端耦接該第二輸出端，該第三輸出端輸出該第一致能信號並耦接該第一 N 型電晶體之閘極。

4.如申請專利範圍第 2 項所述之靜電放電防護裝置，其中該第一偵測電路包括：

一阻抗單元，耦接於該第一電源線與一第一節點之間，並輸出該第二致能信號；

一電容單元，耦接於該第一節點與該第二電源線之間；

一第一反相單元，具有一第一輸入端以及一第一輸出端，該第一輸入端耦接該第一節點；

一第二反相單元，具有一第二輸入端以及一第二輸出端，該第二輸入端耦接該第一輸出端；

一第三反相單元，具有一第三輸入端以及一第三輸出端，該第三輸入端耦接該第二輸出端，該第三輸出端輸出該第一致能信號並耦接該第一 N 型電晶體之閘極；以及

一 P 型電晶體，其閘極耦接該第一 N 型電晶體之閘

極，其源極耦接該第一電源線，其汲極耦接該第三輸入端。

5.如申請專利範圍第 2 項所述之靜電放電防護裝置，其中該第一偵測電路包括：

一阻抗單元，耦接於該第一電源線與一第一節點之間，並輸出該第二致能信號；

一電容單元，耦接於該第一節點與該第二電源線之間；

一第一反相單元，具有一第一輸入端以及一第一輸出端，該第一輸入端耦接該第一節點；

一第二反相單元，具有一第二輸入端以及一第二輸出端，該第二輸入端耦接該第一輸出端；

一第三反相單元，具有一第三輸入端以及一第三輸出端，該第三輸入端耦接該第二輸出端，該第三輸出端輸出該第一致能信號並耦接該第一 N 型電晶體之閘極；以及

一第四反相單元，具有一第四輸入端以及一第四輸出端，該第四輸入端耦接該第三輸出端，該第四輸出端耦接該第三輸入端。

6.如申請專利範圍第 2 項所述之靜電放電防護裝置，其中該第一偵測電路包括：

一阻抗單元，耦接於該第一電源線與一第一節點之間，並輸出該第二致能信號；

一電容單元，耦接於該第一節點與該第二電源線之

間；

一 第一反相單元，具有一第一輸入端以及一第一輸出端，該第一輸入端耦接該第一節點；

一 第二反相單元，具有一第二輸入端以及一第二輸出端，該第二輸出端耦接該第一 N 型電晶體之閘極；

一 第三反相單元，具有一第一 P 型電晶體以及一第三 N 型電晶體，該第一 P 型電晶體之閘極耦接該第一輸出端，其源極與汲極耦接該第二輸入端，該第三 N 型電晶體之閘極耦接該第一輸出端，其源極耦接該第二電源線，其汲極耦接該第二輸入端；以及

一 第二 P 型電晶體，其閘極耦接該第一 N 型電晶體之閘極，其源極耦接該第一電源線，其汲極耦接該第一 P 型電晶體之源極。

7.如申請專利範圍第 1 項所述之靜電放電防護裝置，其中該第二偵測電路包括：

一 P 型電晶體，其閘極接收該第二致能信號，其源極耦接該第一電源線，其汲極接收該第一致能信號；以及

一 第一反相單元，具有一第一輸入端以及一第一輸出端，該第一輸入端耦接該 P 型電晶體之汲極，其中該放電裝置係為一第一 N 型電晶體，其閘極耦接該第一輸出端，其汲極耦接該第一電源線，其源極耦接該第二電源線。

8.如申請專利範圍第 7 項所述之靜電放電防護裝置，

其中該第一偵測電路包括：

一電容單元，耦接於該第一電源線與一第一節點之間，並輸出該第二致能信號；

一阻抗單元，耦接於該第一節點與該第二電源線之間；以及

一第二反相單元，具有一第二輸入端以及一第二輸出端，該第二輸入端耦接該第一節點，該第二輸出端輸出該第一致能信號並耦接該第一反相單元之第一輸入端。

9.如申請專利範圍第 1 項所述之靜電放電防護裝置，其中該放電裝置係為一第一 P 型電晶體，其閘極接收該第一致能信號，其源極耦接該第一電源線，其汲極耦接該第二電源線，該第二偵測電路具有一第二 P 型電晶體，其閘極接收該第二致能信號，其源極耦接該第一電源線，其汲極耦接該第一 P 型電晶體之閘極。

10.如申請專利範圍第 1 項所述之靜電放電防護裝置，其中該第二偵測電路包括：

一反相單元，其輸入端接收該第一致能信號；以及

一 N 型電晶體，其閘極接收該第二致能信號，其汲極耦接該反相單元之輸入端，其源極耦接該第二電源線，其中該放電裝置係為一第一 P 型電晶體，其閘極耦接該反相單元之輸出端，其源極耦接該第一電源線，其汲極耦接該第二電源線。

11.一種積體電路，包括：

一核心電路，耦接於一第一電源線及一第二電源線之

間；以及

一靜電放電防護裝置，包括：

一放電元件，當被致能時，則在該第一及第二電源線之間提供一放電路徑，當被禁能時，則停止提供該放電路徑；

一第一偵測電路，耦接於該第一及第二電源線之間，其中該第一偵測電路提供一第一致能信號以及一第二致能信號；以及

一第二偵測電路，連接該第一偵測電路；

其中當一靜電放電事件發生在該第一電源線時，該第一偵測電路利用該第一致能信號，致能該放電裝置；當該靜電放電事件未發生在該第一電源線時，該第一偵測電路利用該第二致能信號，致能該第二偵測電路，藉由禁能該第一致能信號，禁能該放電裝置。

12.如申請專利範圍第 11 項所述之積體電路，其中該放電裝置係為一第一 N 型電晶體，其閘極接收該第一致能信號，其汲極耦接該第一電源線，其源極耦接該第二電源線，該第二偵測電路具有一第二 N 型電晶體，其閘極接收該第二致能信號，其汲極耦接該第一 N 型電晶體之閘極，其源極耦接該第二電源線。

13.如申請專利範圍第 12 項所述之積體電路，其中該第一偵測電路包括：

一阻抗單元，耦接於該第一電源線與一第一節點之間，並輸出該第二致能信號；

一電容單元，耦接於該第一節點與該第二電源線之間；

一第一反相單元，具有一第一輸入端以及一第一輸出端，該第一輸入端耦接該第一節點；

一第二反相單元，具有一第二輸入端以及一第二輸出端，該第二輸入端耦接該第一輸出端；以及

一第三反相單元，具有一第三輸入端以及一第三輸出端，該第三輸入端耦接該第二輸出端，該第三輸出端輸出該第一致能信號並耦接該第一 N 型電晶體之閘極。

14.如申請專利範圍第 12 項所述之積體電路，其中該第一偵測電路包括：

一阻抗單元，耦接於該第一電源線與一第一節點之間，並輸出該第二致能信號；

一電容單元，耦接於該第一節點與該第二電源線之間；

一第一反相單元，具有一第一輸入端以及一第一輸出端，該第一輸入端耦接該第一節點；

一第二反相單元，具有一第二輸入端以及一第二輸出端，該第二輸入端耦接該第一輸出端；

一第三反相單元，具有一第三輸入端以及一第三輸出端，該第三輸入端耦接該第二輸出端，該第三輸出端輸出該第一致能信號並耦接該第一 N 型電晶體之閘極；以及

一 P 型電晶體，其閘極耦接該第一 N 型電晶體之閘

極，其源極耦接該第一電源線，其汲極耦接該第三輸入端。

15.如申請專利範圍第 12 項所述之積體電路，其中該第一偵測電路包括：

一阻抗單元，耦接於該第一電源線與一第一節點之間，並輸出該第二致能信號；

一電容單元，耦接於該第一節點與該第二電源線之間；

一第一反相單元，具有一第一輸入端以及一第一輸出端，該第一輸入端耦接該第一節點；

一第二反相單元，具有一第二輸入端以及一第二輸出端，該第二輸入端耦接該第一輸出端；

一第三反相單元，具有一第三輸入端以及一第三輸出端，該第三輸入端耦接該第二輸出端，該第三輸出端輸出該第一致能信號並耦接該第一 N 型電晶體之閘極；以及

一第四反相單元，具有一第四輸入端以及一第四輸出端，該第四輸入端耦接該第三輸出端，該第四輸出端耦接該第三輸入端。

16.如申請專利範圍第 12 項所述之積體電路，其中該第一偵測電路包括：

一阻抗單元，耦接於該第一電源線與一第一節點之間，並輸出該第二致能信號；

一電容單元，耦接於該第一節點與該第二電源線之

間；

一第一反相單元，具有一第一輸入端以及一第一輸出端，該第一輸入端耦接該第一節點；

一第二反相單元，具有一第二輸入端以及一第二輸出端，該第二輸出端耦接該第一 N 型電晶體之閘極；

一第三反相單元，具有一第一 P 型電晶體以及一第三 N 型電晶體，該第一 P 型電晶體之閘極耦接該第一輸出端，其源極與汲極耦接該第二輸入端，該第三 N 型電晶體之閘極耦接該第一輸出端，其源極耦接該第二電源線，其汲極耦接該第二輸入端；以及

一第二 P 型電晶體，其閘極耦接該第一 N 型電晶體之閘極，其源極耦接該第一電源線，其汲極耦接該第一 P 型電晶體之源極。

17.如申請專利範圍第 11 項所述之積體電路，其中該第二偵測電路包括：

一 P 型電晶體，其閘極接收該第二致能信號，其源極耦接該第一電源線，其汲極接收該第一致能信號；以及

一第一反相單元，具一第一輸入端以及一第一輸出端，該第一輸入端耦接該 P 型電晶體之汲極；

其中該放電裝置係為一第一 N 型電晶體，其閘極耦接該第一輸出端，其汲極耦接該第一電源線，其源極耦接該第二電源線。

18.如申請專利範圍第 17 項所述之積體電路，其中該



第一偵測電路包括：

一電容單元，耦接於該第一電源線與一第一節點之間，並輸出該第二致能信號；

一阻抗單元，耦接於該第一節點與該第二電源線之間；以及

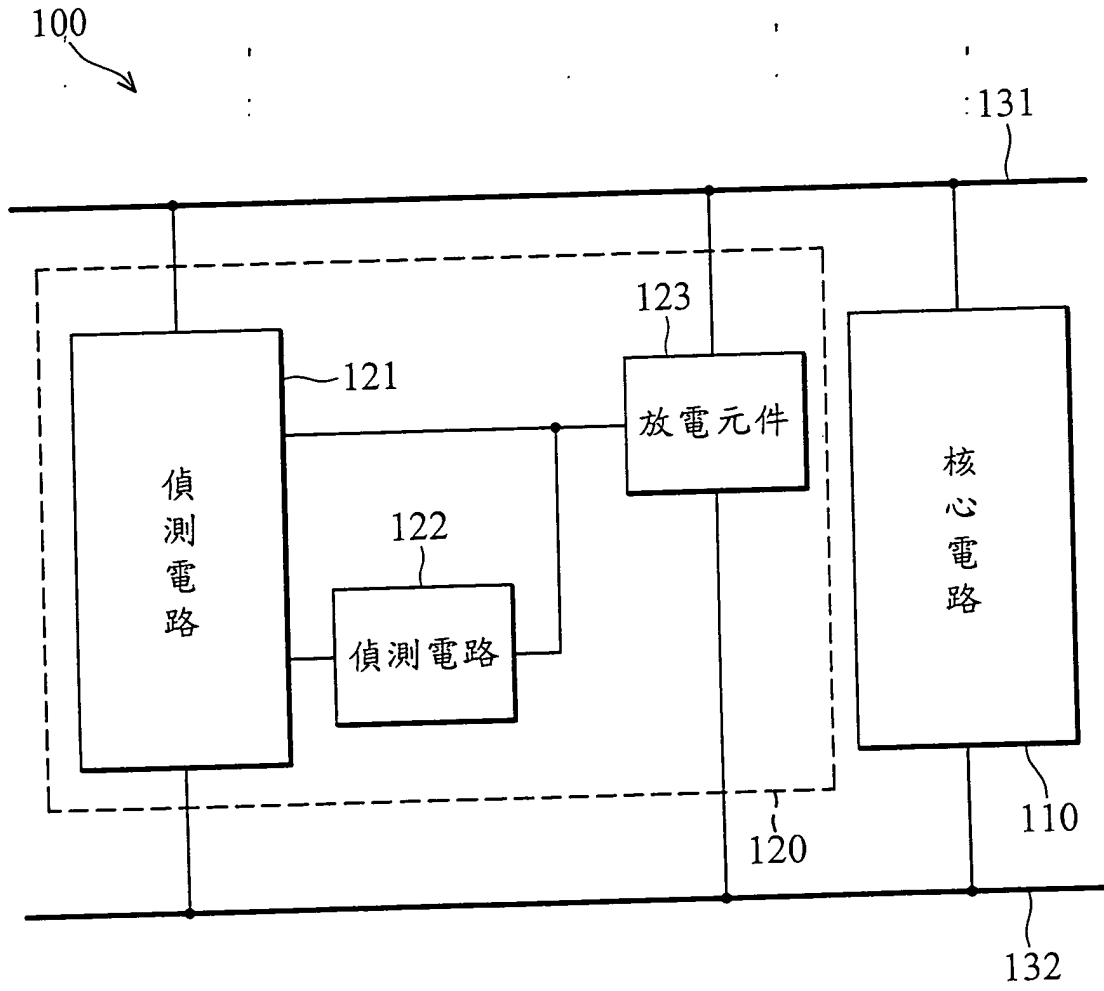
一第二反相單元，具有一第二輸入端以及一第二輸出端，該第二輸入端耦接該第一節點，該第二輸出端輸出該第一致能信號並耦接該第一反相單元之第一輸入端。

19.如申請專利範圍第 11 項所述之積體電路，其中該放電裝置係為一第一 P 型電晶體，其閘極接收該第一致能信號，其源極耦接該第一電源線，其汲極耦接該第二電源線，該第二偵測電路具有一第二 P 型電晶體，其閘極接收該第二致能信號，其源極耦接該第一電源線，其汲極耦接該第一 P 型電晶體之閘極。

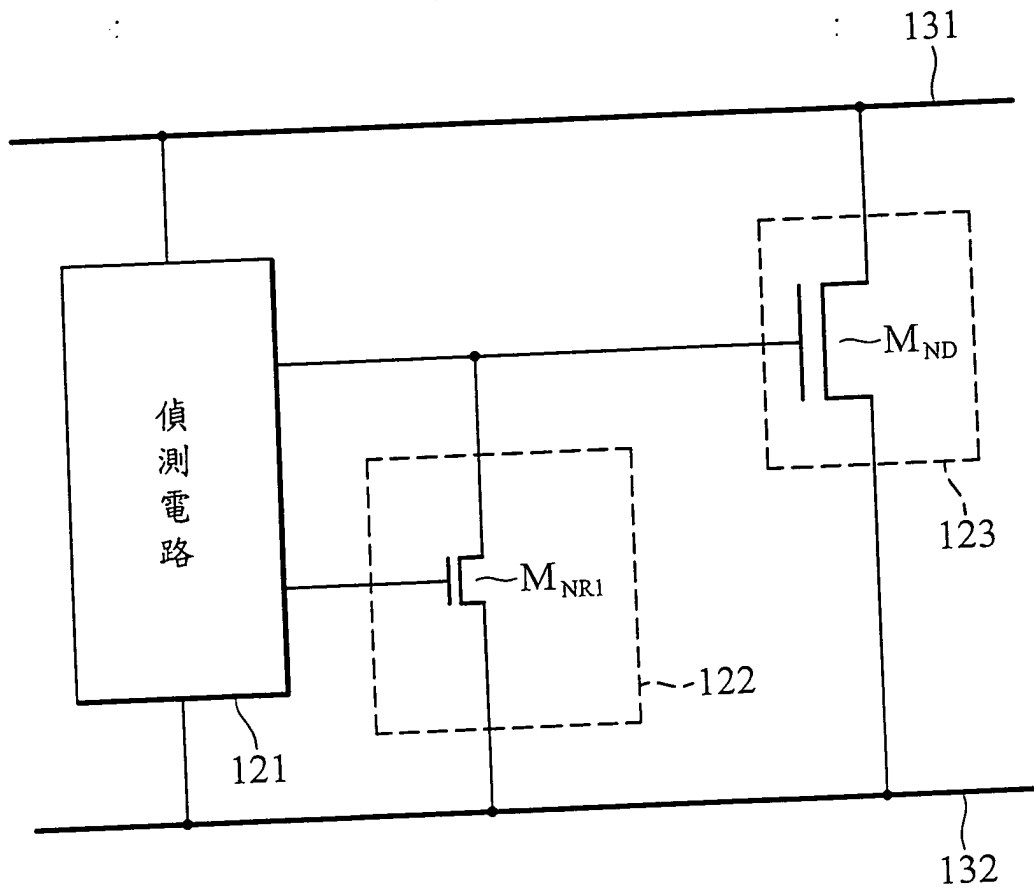
20.如申請專利範圍第 11 項所述之積體電路，其中該第二偵測電路包括：

一反相單元，其輸入端接收該第一致能信號；以及

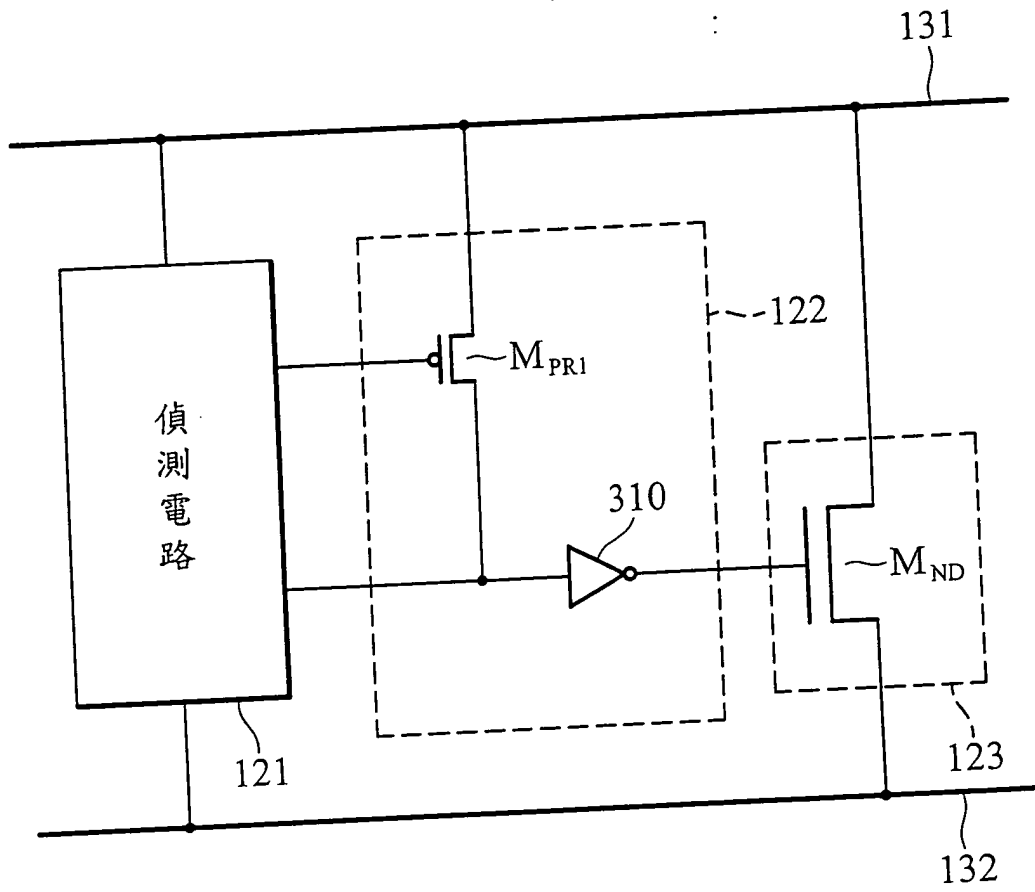
一 N 型電晶體，其閘極接收該第二致能信號，其汲極耦接該反相單元之輸入端，其源極耦接該第二電源線，其中該放電裝置係為一第一 P 型電晶體，其閘極耦接該反相單元之輸出端，其源極耦接該第一電源線，其汲極耦接該第二電源線。



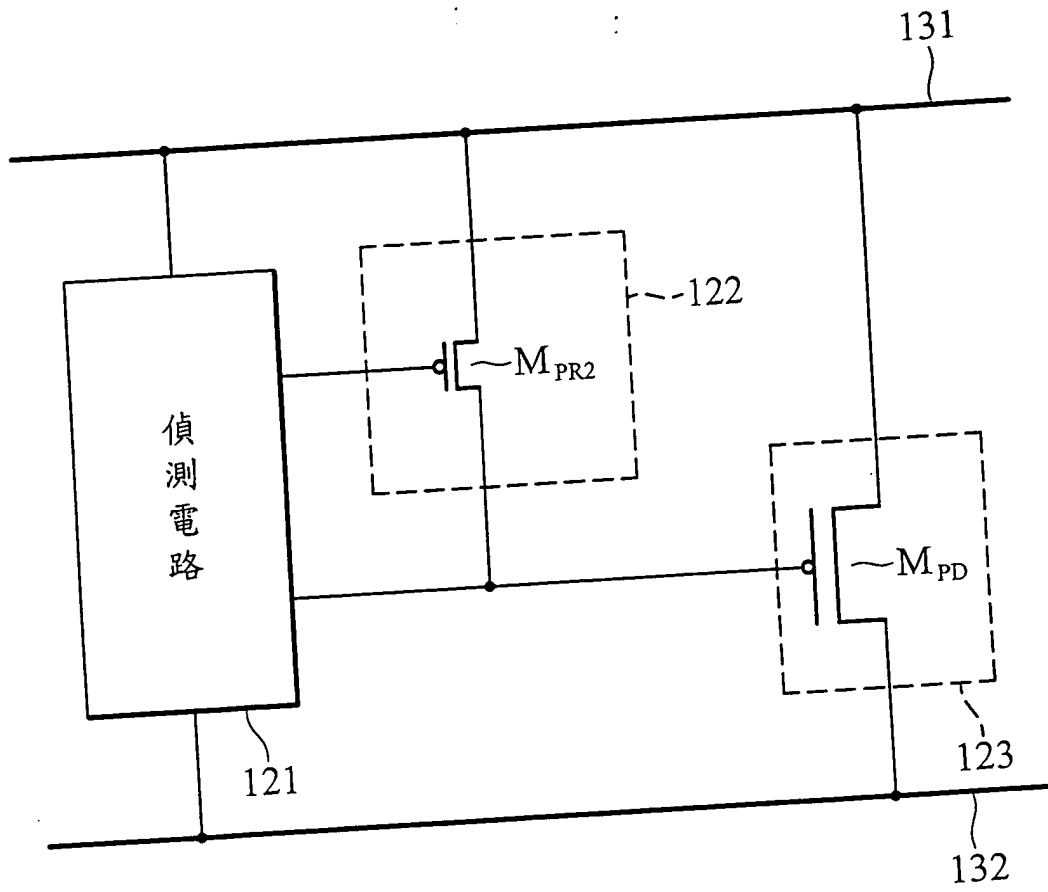
第 1 圖



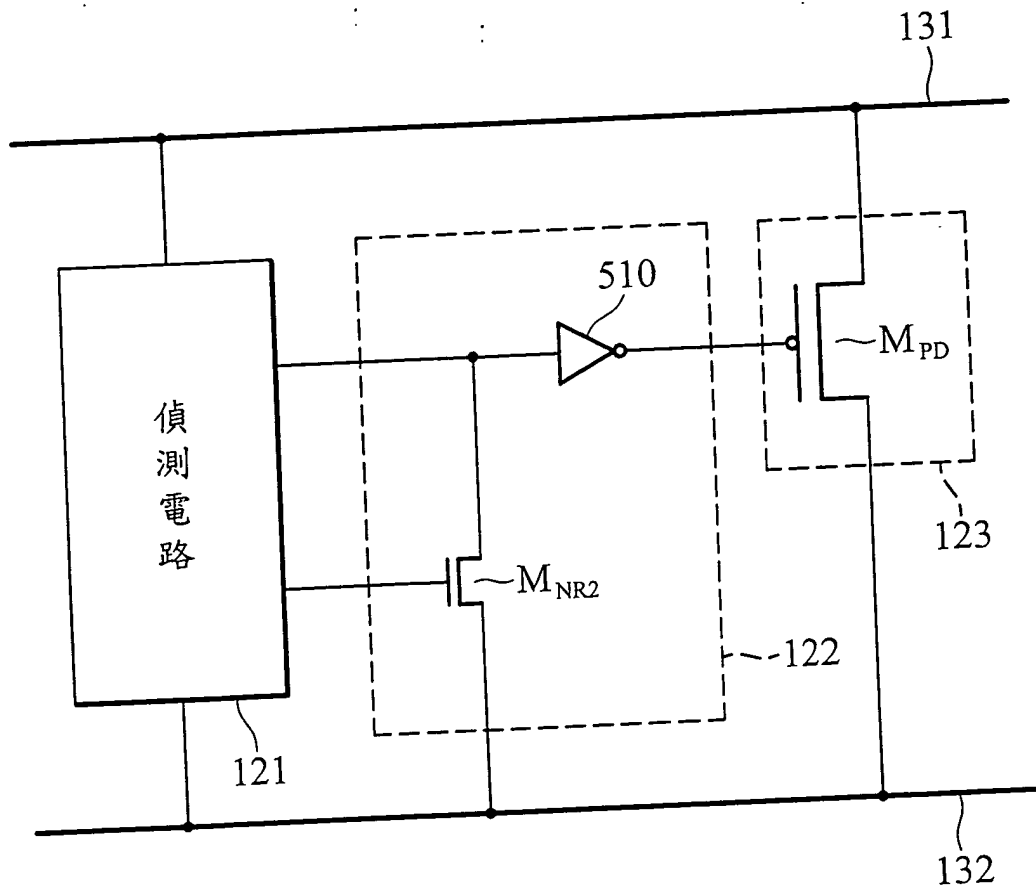
第 2 圖



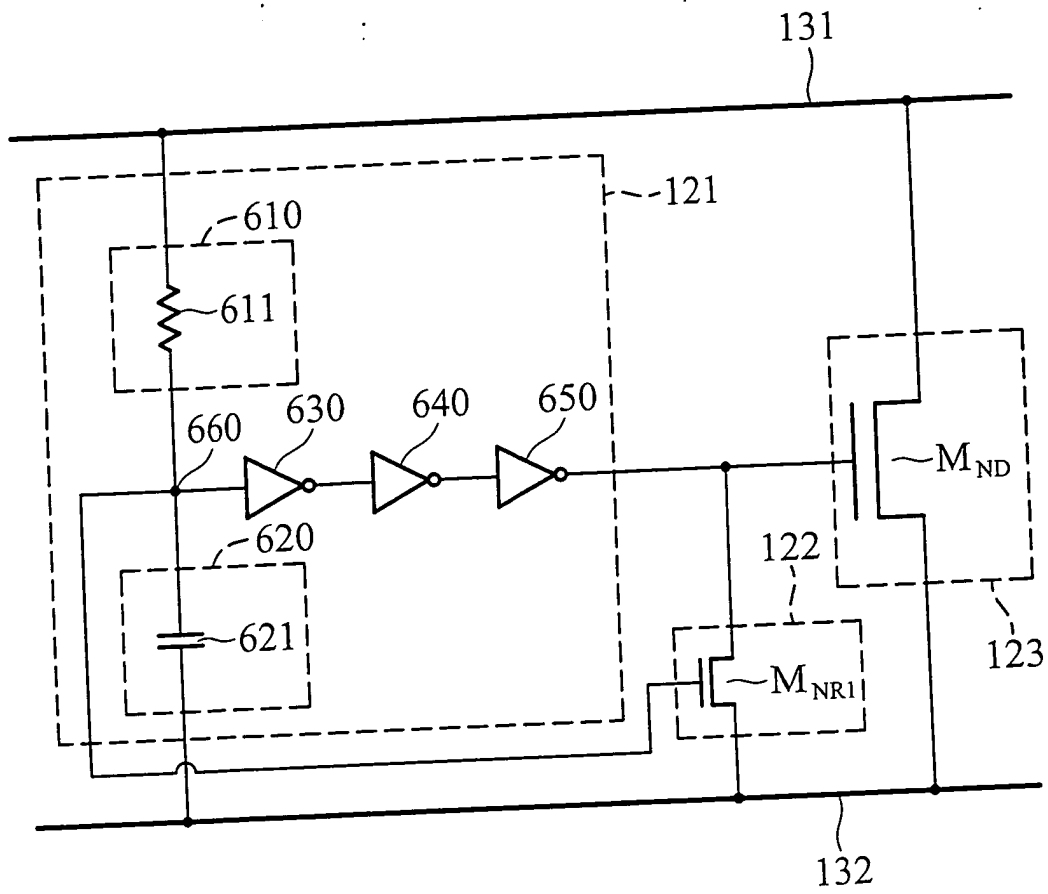
第 3 圖



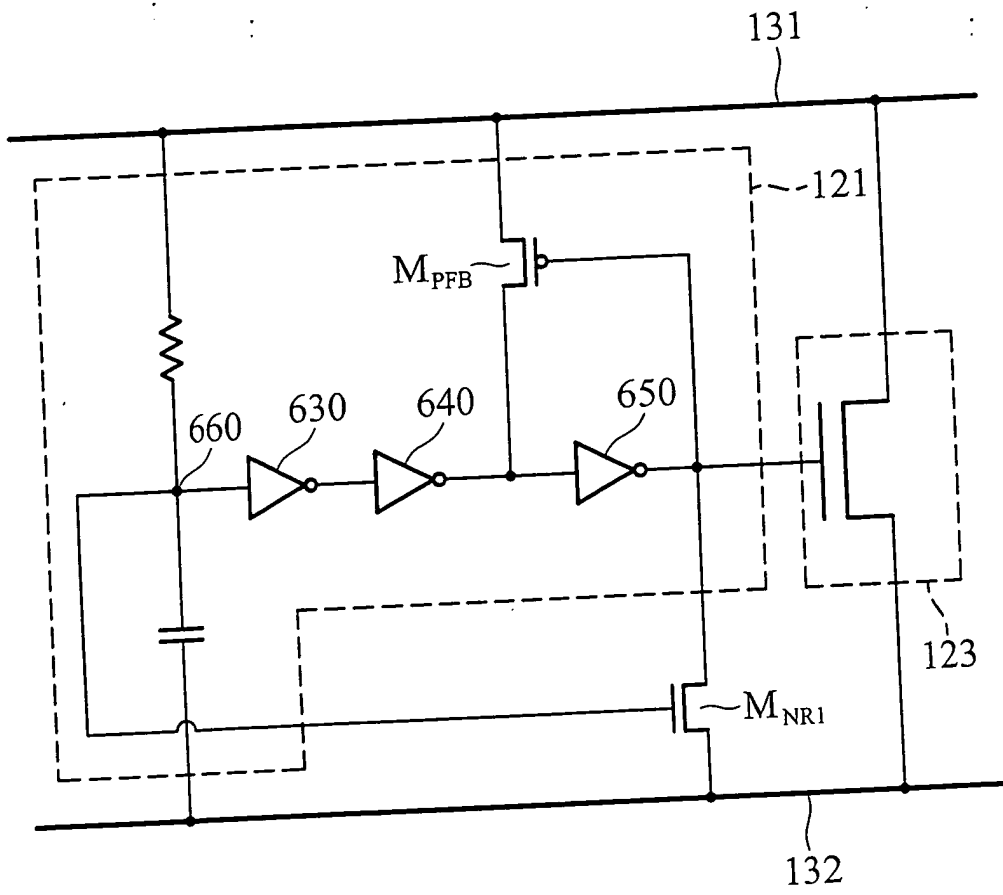
第 4 圖



第 5 圖

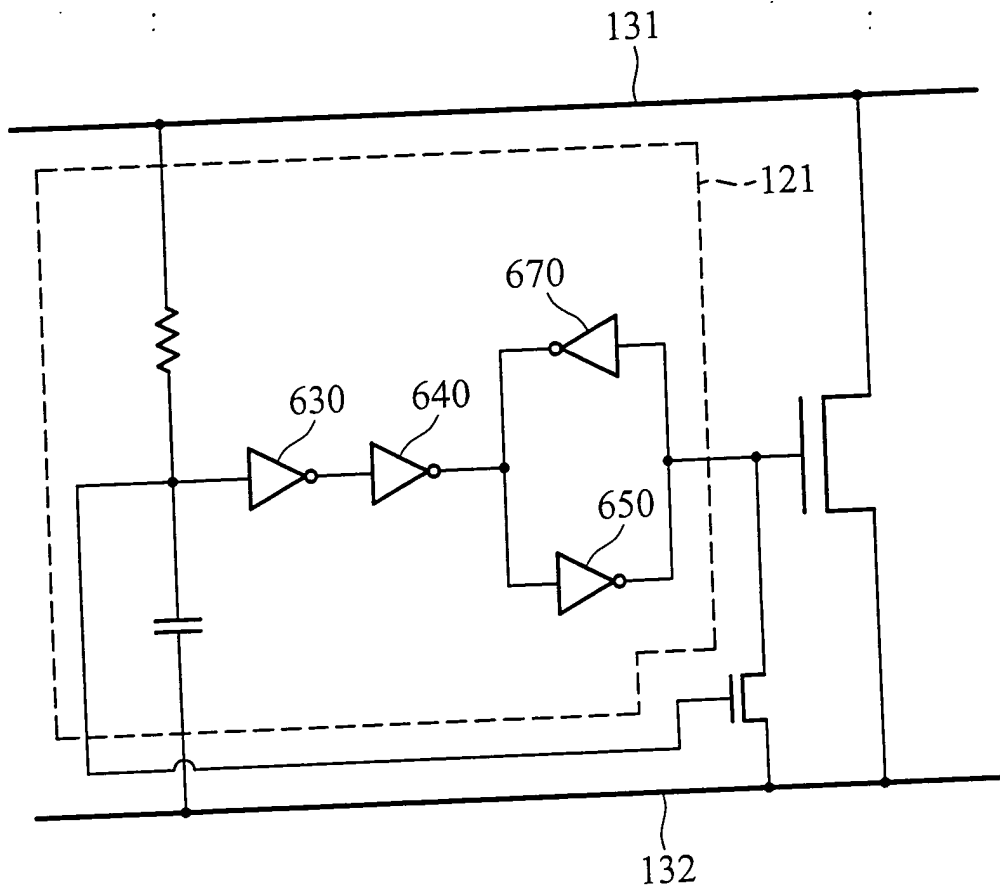


第6A圖

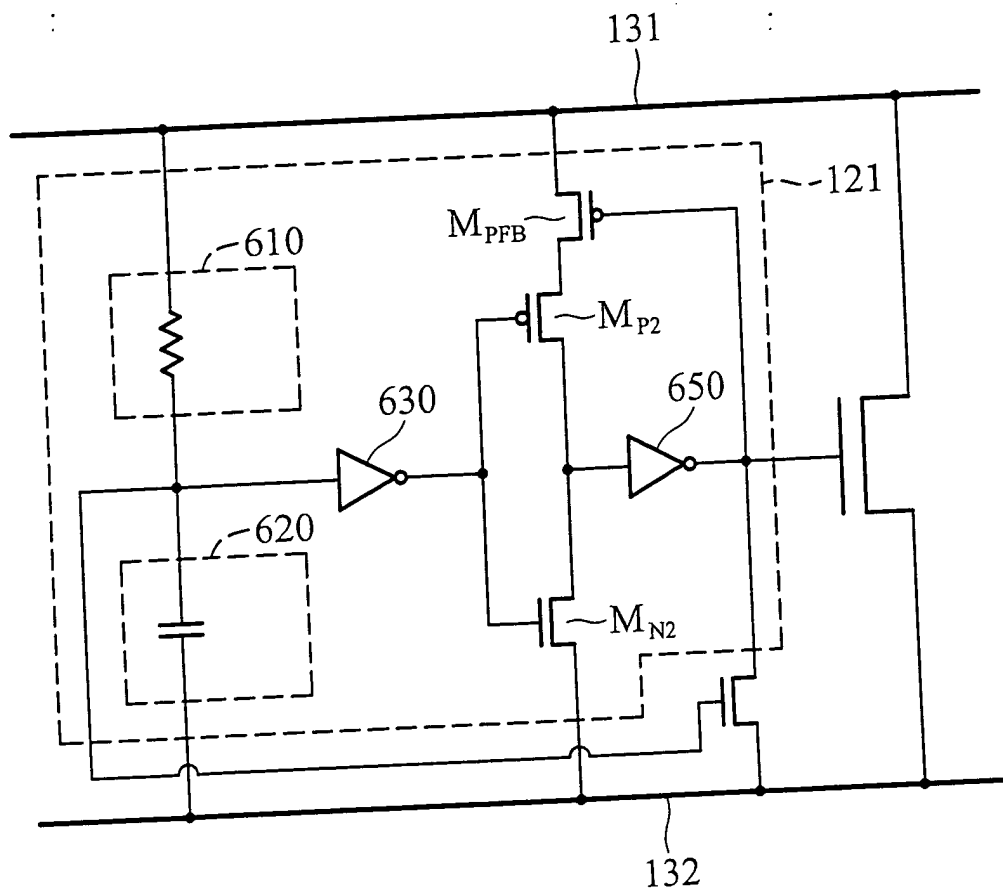


第 6B 圖

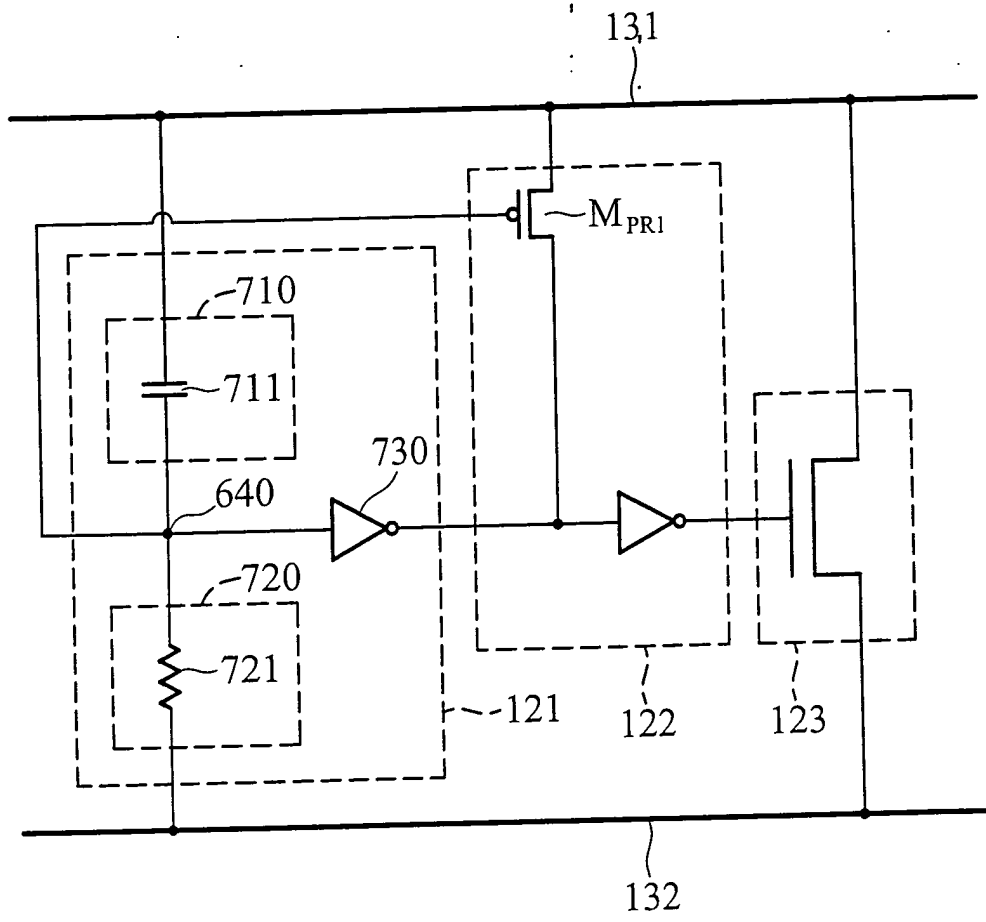




第 6C 圖



第 6D 圖



第 7 圖