



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I455259 B

(45) 公告日：中華民國 103 (2014) 年 10 月 01 日

(21) 申請案號：101108031

(22) 申請日：中華民國 101 (2012) 年 03 月 09 日

(51) Int. Cl. : H01L23/28 (2006.01)

H01L23/52 (2006.01)

(71) 申請人：國立交通大學(中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)

新竹市大學路 1001 號

(72) 發明人：陳宗麟 CHEN, TSUNG LIN (TW)；練瑞虔 LIEN, JUI CHIEN (TW)

(74) 代理人：黃孝惇

(56) 參考文獻：

TW 201121009A1

TW 201123403A1

TW 201145418A1

US 2009/0075428A1

審查人員：姚真華

申請專利範圍項數：20 項 圖式數：19 共 0 頁

(54) 名稱

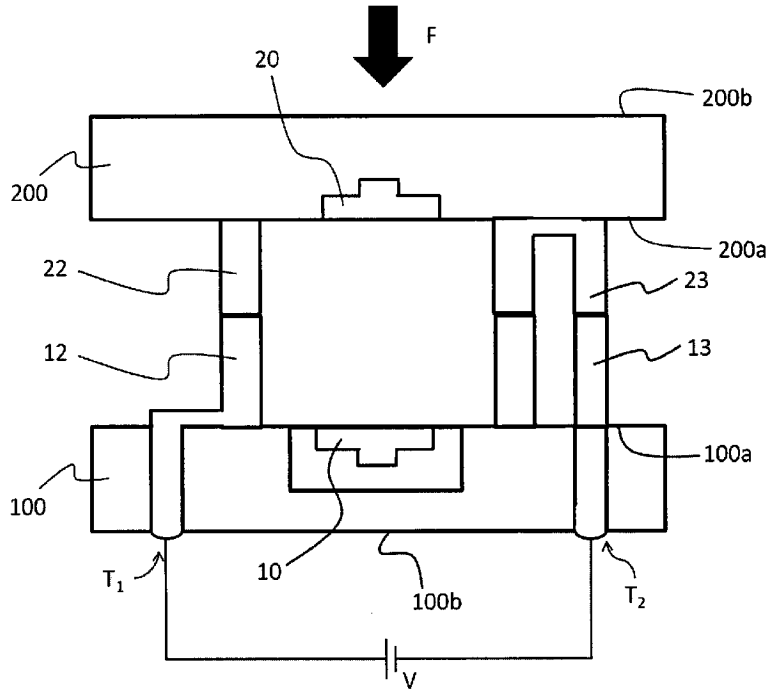
晶圓級封裝方法與封裝結構

A WAFER LEVEL PACKAGING METHOD AND A PACKING STRUCTURE USING THEREOF

(57) 摘要

本發明提供一種晶圓級封裝方法與封裝結構，用以封裝第一晶圓與第二晶圓，第一晶圓具背面與定義有微機電元件的主動面，其包含下列步驟：於第一晶圓形成兩矽通孔，再形成第一連接件與第一接合環於主動面上，前者電性連接該些矽通孔之一者，後者圍繞微機電元件並電性連接該些矽通孔之另一者。於第二晶圓上形成電性連接的第二接合環與第二連接件。接著使第二晶圓面對第一晶圓之主動面，且第二接合環與第二連接件分別連接第一接合環與第一連接件。自第一晶圓之背面施加電壓於該些矽通孔，再施加外力使第二晶圓朝向第一晶圓擠壓以完成封裝。

The present invention discloses a wafer level packaging method and a packaging structure for packaging a first wafer and a second wafer. The first wafer has a back side and an active side, and further, the active side of the first wafer has a MEMS element. The abovementioned packaging method comprises at least the following steps. The step of forming two through silicon vias is performed first. A first electrical interconnect and a first bonding ring are formed on the active side of the first wafer. The former connects with one of the through silicon vias, the later surrounds the MEMS element and connects with the other of the through silicon vias. The step of forming a second bonding ring and a second electrical interconnect is then performed. While the second wafer is faced to the active side of the first wafer, the first bonding ring and the first electrical interconnect are connected with the first bonding ring and the first electrical interconnect, separately. And then, a voltage will be applied to the through silicon vias through the back side of the first wafer. An external force is also applied to the second wafer to press it forward to the first wafer for packaging.



第 2 I 圖

- 100 . . . 第一晶圓
- 100a . . . 主動面
- 100b . . . 背面
- T<sub>1</sub>、T<sub>2</sub> . . . 矽通孔
- 10 . . . 微機電元件
- 12 . . . 第一接合環
- 13 . . . 第一連接件
- 200 . . . 第二晶圓
- 200a . . . 第一表面
- 200b . . . 第二表面
- 20 . . . 積體電路元  
件
- 22 . . . 第二接合環
- 23 . . . 第二連接件
- V . . . 電壓
- F . . . 外力

# 公告本

## 發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：(011-8031)

※申請日：101. 3. 09

※IPC分類：

H01L 23/28 (2006.01)

H01L 23/22 (2006.01)

一、發明名稱：(中文/英文)

晶圓級封裝方法與封裝結構/A WAFER LEVEL PACKAGING METHOD AND A PACKING STRUCTURE USING THEREOF

二、中文發明摘要：

本發明提供一種晶圓級封裝方法與封裝結構，用以封裝第一晶圓與第二晶圓，第一晶圓具背面與定義有微機電元件的主動面，其包含下列步驟：於第一晶圓形成兩矽通孔，再形成第一連接件與第一接合環於主動面上，前者電性連接該些矽通孔之一者，後者圍繞微機電元件並電性連接該些矽通孔之另一者。於第二晶圓上形成電性連接的第二接合環與第二連接件。接著使第二晶圓面對第一晶圓之主動面，且第二接合環與第二連接件分別連接第一接合環與第一連接件。自第一晶圓之背面施加電壓於該些矽通孔，再施加外力使第二晶圓朝向第一晶圓擠壓以完成封裝。

三、英文發明摘要：

The present invention discloses a wafer level packaging method and a packaging structure for packaging a first wafer and a second wafer. The first wafer has a back side and an

active side, and further, the active side of the first wafer has a MEMS element. The abovementioned packaging method comprises at least the following steps. The step of forming two through silicon vias is performed first. A first electrical interconnect and a first bonding ring are formed on the active side of the first wafer. The former connects with one of the through silicon vias, the later surrounds the MEMS element and connects with the other of the through silicon vias. The step of forming a second bonding ring and a second electrical interconnect is then performed. While the second wafer is faced to the active side of the first wafer, the first bonding ring and the first electrical interconnect are connected with the first bonding ring and the first electrical interconnect, separately. And then, a voltage will be applied to the through silicon vias through the back side of the first wafer. An external force is also applied to the second wafer to press it forward to the first wafer for packaging.

四、指定代表圖：

(一)本案指定代表圖為：第 2I 圖。

(二)本代表圖之元件符號簡單說明：

100 第一晶圓

100a 主動面

100b 背面

T<sub>1</sub>、T<sub>2</sub> 矽通孔

10 微機電元件

12 第一接合環

13 第一連接件

200 第二晶圓

200a 第一表面

200b 第二表面

20 積體電路元件

22 第二接合環

23 第二連接件

V 電壓

F 外力

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

## 六、發明說明：

### 【發明所屬之技術領域】

本發明係有關於一種晶圓級封裝方法，尤其是一種利用電阻鐳原理局部加熱兩晶圓間的接觸面以同時完成封裝與電路連結之晶圓級封裝方法與封裝結構。

### 【先前技術】

在現今消費性電子產品講求輕、薄、短、小的前提下，能兼顧擁有多功能需求者，微機電系統(MEMS)產品是主流產品之一。微機電系統技術是一項結合電機、電子、資訊、機械、光電、材料、生化與控制等多種研究領域的科技，亦即微機電系統匯集以矽為基礎的微電子與微加工技術，幾乎徹底改變每一個產品類別，使人們有可能實現完整的單晶片系統，是極具未來發展潛力及前瞻性的研究開發領域，預估能為二十一世紀的產業帶來重大影響。

微機電系統封裝主要是使用在環境的保護、電子訊號傳輸、機械支持以及熱處理路徑等，其封裝技術有許多種，其中晶圓級封裝技術為目前微機電系統封裝上的重要發展方向之一。然而，由於微機電系統的多樣性以及其所在環境的要求，使得微機電系統封裝比微電子系統封裝更具挑戰性。

所謂晶圓級封裝是直接在晶圓上進行全部或大多數的封裝測試程序後，再進行切割製成單顆元件，可以大幅降低封裝及測試費用。另外，晶圓級封裝技術的另一項優勢在於其採取整批作業，因此晶圓尺寸越大，批次封裝數

量越多，成本能壓得更低，符合晶圓廠由 8 吋轉進 12 吋發展趨勢。整體來說，晶圓級封裝技術可滿足電子產品對功耗、成本與輕薄短小等多項要求，尤其在微機電元件應用日益普及下，更將成為晶圓級封裝產業成長的主要推手，因而吸引專業晶圓製造與封測代工業者大舉投入。

然而，傳統晶圓級封裝技術中晶圓採用直接接合方式 (Direct Bonding)，其接合溫度約在  $1000^{\circ}\text{C}$ ，且係利用整體加熱的方式去達到接合的工作溫度，此方式的缺點在於，高溫可能導致晶圓上其它元件的功能失常。縱使陸續發展有一些改良技術，例如：玻璃熔塊 (Frit) 接合或陽極接合 (Anodic Bonding) 等方式，但需要注意的是，上述這些改良技術要求接合表面平坦且無金屬氧化層，因此接合前必須將接合面特別處理。部分封裝技術甚至需要額外製作微加熱器來避免全面加熱損毀元件的問題，但製作微加熱器不僅增加製作成本，同時也浪費不少晶圓面積。

### 【發明內容】

有鑑於前述說明，本發明之一目的在於提供一種晶圓級封裝方法，用以封裝一第一晶圓與一第二晶圓，其中第一晶圓具有一主動面與一背面，且主動面上定義有未釋放之一微機電元件。上述封裝方法至少包含下列步驟。首先，蝕刻第一晶圓以形成至少兩矽通孔，隨後填滿該些矽通孔。接著，形成一第一接合環與一第一連接件於主動面上，且第一連接件電性連接該些矽通孔之一者，第一接合環則係圍繞微機電元件並電性連接該些矽通孔之另一者。然

後，於第二晶圓上形成電性連接並分別對應第一接合環與第一連接件之一第二接合環與一第二連接件。當欲封裝第一晶圓與第二晶圓時，使第二晶圓面對第一晶圓之主動面，且第二接合環與第二連接件分別連接第一接合環與第一連接件。接著，自第一晶圓之背面施加至少一電壓於該些矽通孔，再施加外力使第二晶圓朝向第一晶圓擠壓以完成封裝。

在本發明之一實施例中，其中於上述蝕刻第一晶圓以形成該些矽通孔的步驟之前，更包含下列步驟：形成一蝕刻停止層於主動面上，上述蝕刻停止層包含一第一金屬材料。較佳地，該些矽通孔係自背面蝕刻第一晶圓並延伸至蝕刻停止層為止。較佳地，上述填滿該些矽通孔的步驟係以蝕刻停止層之第一金屬材料進行一電鍍製程來完成。

在本發明之一實施例中，其中上述形成第一接合環與第一連接件於主動面上的步驟中，更包含下列步驟。首先，塗佈第一光阻層於蝕刻停止層上，並定義用以分別設置第一接合環與第一連接件之第一凹槽與第二凹槽。接著，先以第一金屬材料填滿部分之第一凹槽與第二凹槽，再以第二金屬材料填滿第一凹槽與第二凹槽剩下之空間以分別形成上述第一接合環與上述第一連接件。最後，移除第一光阻層。較佳地，第一金屬材料為鎳，第二金屬材料為錫。

在本發明之一實施例中，其中上述移除第一光阻層的步驟之後，更包含下列步驟：移除蝕刻停止層。

在本發明之一實施例中，其中上述於第二晶圓上形成電性連接並分別對應第一接合環與第一連接件之第二接合



環與第二連接件的步驟中，至少包含下列步驟。首先，塗佈第二光阻層於第二晶圓上，並定義用以分別設置第二接合環與第二連接件之一第三凹槽與一第四凹槽。接著，先以第一金屬材料填滿部分之第三凹槽與第四凹槽，再以第二金屬材料填滿第三凹槽與第四凹槽剩下之空間以分別形成上述第二接合環與上述第二連接件。最後，移除第二光阻層。

在本發明之一實施例中，其中於上述以第二金屬材料填滿第一凹槽與第二凹槽剩下之空間的步驟與上述移除第一光阻層的步驟之間更包含一增加第一連接件高度的步驟，至少包含下列步驟。首先，塗佈第三光阻層以覆蓋第一光阻層與第二金屬材料。隨後移除覆蓋於第一連接件上方之第三光阻層以形成一第五凹槽，再以第二金屬材料填滿第五凹槽。最後，移除第三光阻層。

在本發明之一實施例中，其中於上述蝕刻第一晶圓以形成至少兩個矽通孔的步驟後係形成大於四個矽通孔時，更包含下列步驟：形成至少一條金屬導線於第一晶圓之背面以串聯該些矽通孔、主動面上之第一接合環與第一連接件、第二晶圓上之第二接合環與第二連接件。然後在上述施加外力使第二晶圓朝向第一晶圓擠壓以完成封裝的步驟之後，更包含下列步驟：移除金屬導線。

在本發明之一實施例中，上述晶圓級封裝方法更包含下列步驟：釋放微機電元件。較佳地，此步驟可經由一乾蝕刻製程或一濕蝕刻製程來完成。

在本發明之一實施例中，上述蝕刻第一晶圓以形成該

些矽通孔的步驟係藉由一深蝕刻製程來完成。

在本發明之一實施例中，其中第二晶圓設置有一積體電路元件，且積體電路元件位於第二接合環內。

在本發明之一實施例中，其中上述所施加之電壓較佳為 3 至 4 伏特，外力較佳為 2MPa。

在本發明之一實施例中，上述晶圓級封裝方法係於一真空環境下進行。

本發明之另一目的在於提供一種由上述晶圓級封裝方法所形成之封裝結構，其至少包含一第一晶圓與一第二晶圓。其中，第一晶圓具有一主動面與一背面，主動面上設置有至少一微機電元件、一第一接合環與一第一連接件，且第一晶圓更具有至少兩矽通孔，第一連接件電性連接該些矽通孔之一者，第一接合環係圍繞微機電元件並電性連接該些矽通孔之另一者。至於第二晶圓則設置有電性連接之一第二接合環與一第二連接件，當第二晶圓與第一晶圓疊合，且第二接合環連接第一接合環，第二連接件連接第一連接件時，由第一晶圓之背面的該些矽通孔施加一電壓以完成第一晶圓與第二晶圓的封裝。

在本發明之一實施例中，其中第一接合環、第二接合環、第一連接件與第二連接件均包含有一第一金屬材料與一第二金屬材料。

故而，關於本發明之優點與精神可以藉由以下發明詳述及附圖式解說來得到進一步的瞭解。

#### 【實施方式】

有鑑於上述習知技術上所遭遇的瓶頸，例如：接合表面平整度的要求、接合溫度、電路設計或工序複雜等問題，本發明所提供的晶圓級封裝方法與封裝結構強調的是採用電阻鐸的原理來進行晶圓間的接合。簡單來說，此方法係利用在晶圓上設置接合環，當晶圓間接合時便以局部加熱的方式來進行。另外，此方法結合矽通孔(Through Silicon Via)技術，使兩晶圓在結合的同時也完成電路間的聯結(Electrical Interconnects)。請參考第 1 圖，第 1 圖顯示本發明一較佳實施例之封裝結構俯視圖。如圖所示，第一晶圓與第二晶圓間係透過接合環 R 來接合，封裝的同時也一併完成了兩側的電路聯結 C，後續將沿第 1 圖中 A-A' 剖面線來進一步說明本發明所提供之晶圓級封裝方法。

請參考第 2A 圖至第 2J 圖，第 2A 圖至第 2J 圖係沿第 1 圖中 A-A' 線顯示本發明之一第一實施例之晶圓級封裝方法的流程示意圖。如第 2A 圖所示，第一晶圓 100 具有一主動面 100a 與一背面 100b，且主動面 100a 上定義有未釋放之一微機電元件 10。

首先，如第 2B 圖所示，於第一晶圓 100 之主動面 100a 上形成一蝕刻停止層 11。較佳地，蝕刻停止層 11 包含一第一金屬材料  $M_1$ 。

接著，如第 2C 圖所示，自第一晶圓 100 的背面 100b 開始蝕刻第一晶圓 100 直至蝕刻停止層 11 為止，以形成至少兩個矽通孔  $T_1$ 、 $T_2$ 。較佳地，上述蝕刻第一晶圓 100 以形成矽通孔  $T_1$ 、 $T_2$  的技術係採用一深蝕刻技術(DRIE)。

隨後如第 2D 圖所示，利用蝕刻停止層 11 為一電鍍種

子層以電鍍的方式於矽通孔  $T_1$ 、 $T_2$  內填入第一金屬材料  $M_1$ 。

請參考第 2E 圖，在形成自第一晶圓 100 之背面 100b 延伸至蝕刻停止層 11 之矽通孔  $T_1$ 、 $T_2$  並以第一金屬材料  $M_1$  填滿矽通孔  $T_1$ 、 $T_2$  後，在蝕刻停止層 11 上塗佈一第一光阻層  $R_1$ ，隨後定義出第一凹槽  $H_1$  與第二凹槽  $H_2$ 。在本實施例中，第二凹槽  $H_2$  的位置係被定義對應於矽通孔  $T_2$ ，亦即位於矽通孔  $T_2$  的上方，其目的在於使後續將形成之第一連接件電性連接矽通孔  $T_2$ 。

接著如第 2F 圖所示，先以第一金屬材料  $M_1$  填滿部分之第一凹槽  $H_1$  與第二凹槽  $H_2$ ，再以第二金屬材料  $M_2$  填滿第一凹槽  $H_1$  與第二凹槽  $H_2$  剩下的空間。較佳地，第一金屬材料為鎳，第二金屬材料為錫。另外，上述第一金屬材料  $M_1$  與第二金屬材料  $M_2$  的比例較佳地可為 1:1，但本發明並不欲以此為限。

最後，如第 2G 圖所示，移除第一光阻層  $R_1$  以及未被遮蔽之蝕刻停止層 11，上述第一凹槽  $H_1$  與第二凹槽  $H_2$  內所填入的第一金屬材料  $M_1$  與第二金屬材料  $M_2$  則形成第一接合環 12 與第一連接件 13。如前所述，第一連接件 13 電性連接矽通孔  $T_2$ ，第一接合環 12 則係圍繞微機電元件 10 並電性連接矽通孔  $T_1$ 。必須再次說明的是，第 2G 圖中所示之第一接合環 12 係呈兩柱體，此乃因第 2A 圖至第 2I 圖均係沿第 1 圖中 A-A' 線之剖面示意圖所致，合先敘明。

請參考第 2H 圖，在完成第一晶圓 100 上第一接合環 12 與第一連接件 13 的設置後，緊接著便置放微機電元件 10。較佳地，此步驟可經由一乾蝕刻製程或一濕蝕刻製程

來完成，本發明並不以此為限。接著，第二晶圓 200 也將對應第一晶圓 100 上之第一接合環 12 與第一連接件 13 的位置，於其第一表面 200a 上設置一第二接合環 22 與第二連接件 23。較佳地，第二接合環 22 與第二連接件 23 係電性連接，其製程基本上係採第 2D 圖至第 2F 圖所述之方法，詳細部分請容後續說明，在此暫不贅述。

請參考第 2I 圖，當欲封裝第一晶圓 100 與第二晶圓 200 時，使第二晶圓 200 之第一表面 200a 面對第一晶圓 100 之主動面 100a，且第二接合環 22 與第二連接件 23 分別連接第一接合環 12 與第一連接件 13。亦即，使第二晶圓 200 之第二接合環 22 與第二連接件 23 中第二金屬材料  $M_2$  的部分連接第一晶圓 100 之第一接合環 12 與第一連接件 13 中第二金屬材料  $M_2$  的部分，成為一金屬/金屬接面。

必須說明的是，此時基於本發明所應用的電阻銲接原理，便是利用兩金屬接觸表面的不平整，造成在金屬接觸面的「接觸電阻值」(Contact Resistance) 較高。當通以電流時，套用公式  $P=I^2R$  ( $P$ : 功率,  $I$ : 電流,  $R$ : 電阻)，可知大部分的能量將耗損於接觸電阻上，進而加熱金屬接觸面，當溫度升高達到金屬的接合工作溫度時，再配合施以縱向壓力，會使兩金屬因高溫高壓而互相熔合，達到金屬接合的目的。因此，如前文所述，當將第二晶圓 200 對準第一晶圓 100，且第一接合環 12 與第二接合環 22 連接，第一連接件 13 與第二連接件 23 連接時，自第一晶圓 100 之背面 100b 施加至少一電壓  $V$  於矽通孔  $T_1$ 、 $T_2$ ，使矽通孔  $T_1$ 、第一接合環 12、第二接合環 22、第二連接件 23、第一

連接件 13、矽通孔  $T_1$  形成一串聯電路，便可提高上述金屬/金屬接面間的溫度，達到局部加熱的目的。此時，持續施加電壓  $V$  一段時間後，第二金屬材料  $M_2$  便會開始融熔，同時再施加外力  $F$  於第二晶圓 200 之第二表面 200b 使第二晶圓 200 朝向第一晶圓 100 下壓，使第二晶圓 200 與第一晶圓 100 經由瞬間液態擴散(Transient Liquid Phase, TLP)的方式接合，便完成氣密性封裝。較佳地，上述所施加的電壓約為 3 伏特至 4 伏特，而外力則約為 2MPa。

進一步說明的是，第二晶圓 200 可為一積體電路晶圓，亦即第二晶圓 200 上可設置有一積體電路元件，此積體電路元件位於第二接合環 22 內。此時，利用矽通孔  $T_2$  與第二連接件 23 的設置便可使第二晶圓 200 上的積體電路與第一晶圓 100 上的微機電元件 10 電性上的連結。也就是說，積體電路元件之訊號輸出/輸入端點可藉由第二連接件 23、矽通孔  $T_2$  與微機電元件 10 之訊號輸出/輸入端點相連結，並且於第一晶圓 100 之背面 100b 輸出/輸入電性訊號，本發明所提供之方法使得在完成第二晶圓 200 與第一晶圓 100 氣密性封裝的同時，也可完成不同晶圓間的電路連結。

另外，本發明所提供之晶圓級封裝方法較佳地係於一真空環境下進行，可以避免在加熱過程中所產生的氣泡造成氣密性封裝時的空隙。

請參考第 3A 圖至第 3C 圖，第 3A 至第 3C 圖係沿第 1 圖中 A-A' 線顯示本發明之一較佳實施例之第二晶圓之製程示意圖。首先，如第 3A 圖所示，第二晶圓 200 具有第一

表面 200a 與第二表面 200b，並可設計有積體電路元件 20。接著，如第 3B 圖所示，第二晶圓 200 之第一表面 200a 上先後形成一電鍍種子層 21(即前述第一晶圓 100 之蝕刻停止層 11)與第二光阻層  $R_2$ ，並定義第二光阻層  $R_2$  以形成一第三凹槽  $H_3$  與一第四凹槽  $H_4$ 。接著，先以第一金屬材料  $M_1$  填滿部分第三凹槽  $H_3$  與第四凹槽  $H_4$ ，再以第二金屬材料  $M_2$  填滿第三凹槽  $H_3$  與一第四凹槽  $H_4$  剩下的空間。最後，移除第二光阻層  $R_2$  以及未被遮蔽之電鍍種子層 21 以分別形成電性連接之第二接合環 22 與第二連接件 23，如第 3C 圖所示。

進一步說明的是，上述列出的流程旨在闡述本發明所提出之晶圓級封裝方法的概念，其整體流程可能會因為製作特殊微機電元件而必須修改，亦即矽通孔、第一接合環、第一連接件的數量或步驟的先後順序均有可能因為製程所需而修改，本發明並不欲以上述實施例為限。舉例來說，當蝕刻第一晶圓 100 以形成矽通孔的步驟(請參考第 2C 圖)中形成不只兩個矽通孔時，相對應地第一連接件 13 以及第二晶圓上的第二連接件 23 的設置數量便會隨之更動。請參考第 4 圖，第 4 圖顯示本發明之一較佳實施例之另一封裝結構沿第 1 圖中 A-A' 線之剖面示意圖。

如第 4 圖所示，經由蝕刻第一晶圓 100 所產生之矽通孔有 8 個，就該些矽通孔依序編號為  $T_1 \sim T_8$ ，以利後續說明。其中，矽通孔  $T_1$  係與第一接合環 12 電性連接，而第一晶圓 100 之主動面 100a 上除第一接合環 12 外更對應矽通孔  $T_2 \sim T_8$  形成有複數個第一連接件 13。同時，第二晶圓 200 也

對應該些第一連接件 13 而設置有複數個第二連接件 23。此時，本發明所提供之晶圓級封裝方法更包含下列步驟：形成複數條金屬導線 14 於第一晶圓 100 之背面 100b 以分別電性連接矽通孔 T<sub>3</sub> 與矽通孔 T<sub>4</sub>、矽通孔 T<sub>5</sub> 與矽通孔 T<sub>6</sub>、矽通孔 T<sub>7</sub> 與矽通孔 T<sub>8</sub>。另外，第二晶圓 200 上的第二連接件 23 中除其中一個用以電性連接第二接合環 22 外，其他也呈兩兩相連的狀況，目的在於使第一接合環 12、第一連接件 13、第二接合環 22、第二連接件 23 以及矽通孔 T<sub>1</sub>~T<sub>8</sub> 成為一串聯電路。亦即，當自第一晶圓 100 之背面 100b 的矽通孔 T<sub>1</sub>、T<sub>2</sub> 施加電壓 V 時，電流將依循矽通孔 T<sub>2</sub>、第一連接件 13、第二連接件 23、第二連接件 23、第一連接件 13、矽通孔 T<sub>3</sub>、矽通孔 T<sub>4</sub>、第一連接件 13、第二連接件 23、第二連接件 23、矽通孔 T<sub>5</sub>、矽通孔 T<sub>6</sub>、第一連接件 13、第二連接件 23、第二連接件 23、矽通孔 T<sub>7</sub>、矽通孔 T<sub>8</sub>、第一連接件 13、第二連接件 23、第二接合環 22、第一接合環 12、矽通孔 T<sub>1</sub> 的路徑形成一通路。

但是，需注意的是，在完成第二晶圓 200 與第一晶圓 100 的封裝後，需移除金屬導線 14 以使矽通孔 T<sub>1</sub>~T<sub>8</sub>、第一接合環 12 與第一連接件 13 間的電性分開。

請參考第 5A 圖至第 5E 圖，第 5A 圖至第 5E 圖係沿第 1 圖中 A-A' 線顯示本發明之一第二實施例之晶圓級封裝方法的流程示意圖。基本上，第二實施例與第一實施例之間的步驟大致相同，唯一的不同在於，在第二實施例中第一晶圓 100 上之第一連接件 13 的高度高於第一接合環 12。接著，第二實施例之晶圓級封裝方法將以第 4 圖為基礎(即



第一晶圓 100 具有矽通孔  $T_1 \sim T_8$  的狀況下)，進一步說明如后。

首先，請參考第 5A 圖，在以第二金屬材料  $M_2$  填滿第一凹槽  $H_1$  與第二凹槽  $H_2$  剩下的空間(請參考第 2F 圖)後，再塗佈一第三光阻層  $R_3$  以覆蓋第一光阻層  $R_1$  與第二金屬材料  $M_2$ 。隨後，移除覆蓋於第一連接件 13 上方之第三光阻層  $R_3$  以形成一第五凹槽  $H_5$ 。接著，再以第二金屬材料  $M_2$  填滿第五凹槽  $H_5$ ，如第 5B 圖所示。

請參考第 5C 圖，緊接著移除第三光阻層、移除第一光阻層與未遮蔽之蝕刻停止層 11 即可完成第一晶圓 100 上之配置。同時，如前文所述之目的，為了在封裝過程中使各個接合結構形成一串聯電路，第二實施例中亦可以複數條金屬導線 14 分別電性連接矽通孔  $T_3$  與矽通孔  $T_4$ 、矽通孔  $T_5$  與矽通孔  $T_6$ 。

請參考第 5D 圖，此處所提供之第二晶圓 200 同樣也對應第一晶圓 100 上之第一接合環 12 與第一連接件 13 設置有第二接合環 22 與複數個第二連接件 23，相關製程已於前文述及，在此不再贅述。基本上，當第二晶圓 200 之第一表面 200a 面對第一晶圓 100 之主動面 100a 時，第二連接件 23 將會先接觸到較高之第一連接件 13，此時前述施加電壓的製程可分為兩步驟來進行。首先，先經由矽通孔  $T_2$  與  $T_7$  施加一電壓  $V$ ，使大部分的第一連接件 13 與第二連接件 23 形成一通路。也就是說，在第二實施例中，係先進行第一連接件 13 與第二連接件 23 間的接合。

然後，請參考第 5E 圖，在第二連接件 23 與第一連接

件 13 間逐漸融熔而接合後，第一接合環 12 也就進一步接觸到第二接合環 22，此時再經由矽通孔  $T_1$  與  $T_8$  施加另一電壓  $V$ ，進行第一接合環 12 與第二接合環 22 間的接合以完成第一晶圓 100 與第二晶圓 200 間的氣密性封裝。

如前文所述，因為第一連接件 13 與第二連接件 23 的目的主要在於完成第一晶圓之微機電元件與第二晶圓的積體電路間的電路聯結，因此在第二實施例中，先接合第二連接件 23 與第一連接件 13，並可先透過第一晶圓 100 外露之背面 100b 的矽通孔進行測試，確定其間的電路聯結效果後再進行晶圓間的氣密性封裝。也就是說，採用第二實施例的方法，可以不必等到氣密性封裝後才發現電路聯結上有缺陷，避免重工、浪費成本等問題。

綜上所述，本發明所提供之晶圓級封裝方法係利用電阻焊的概念，將其應用於電子/微機電系統構裝技術上。其作法如前文所述是在一晶圓上設計接合環與矽通孔等金屬結構，再在另一片晶圓上設計對應的金屬電極分佈，使得這兩片晶圓相接合時，發生金屬/金屬接觸。由於金屬/金屬接觸面的接觸電阻高，因此可利用電阻焊來局部加熱接合環結構的金屬/金屬接觸面以及矽通孔的金屬/金屬接觸面，進而進行瞬間液態擴散接合。也就是說，接合環間的接合可以完成兩片晶圓間的氣密性接合，而透過矽通孔的接合則可以完成積體電路與微機電元件電性的連結。

承上述，也正因為本發明係利用接觸電阻值較大的原理來進行接合，所以金屬的表面粗糙度並不重要，故可由較便宜的製程完成。另外，由於本發明是屬於局部加熱法，

因此局部溫度可以較高，而不會傷害到晶圓上的其它元件，所以接合金屬的選擇較多元、微機電元件的設計製作限制更少。最後，由於本發明在封裝完成後的電性輸入/輸出點皆在晶圓的外露面(即第一晶圓 100 之背面 100b)，因此可以進行晶圓層級的測試。

以上所述僅為本發明之較佳實施例而已，並非用以限定本發明之申請專利範圍；凡其它未脫離本發明所揭示之精神下所完成之等效改變或修飾，均應包含在下述之申請專利範圍內。

#### 【圖式簡單說明】

第 1 圖顯示本發明較佳實施例之封裝結構俯視圖；

第 2A 圖至第 2I 圖係沿第 1 圖中 A-A' 線顯示本發明之第一實施例之晶圓級封裝方法的流程示意圖；

第 3A 至第 3C 圖係沿第 1 圖中 A-A' 線顯示本發明之較佳實施例之第二晶圓之製程示意圖；

第 4 圖顯示本發明之較佳實施例之另一封裝結構沿第 1 圖中 A-A' 線之剖面示意圖；以及

第 5A 圖至第 5E 圖係沿第 1 圖中 A-A' 線顯示本發明之第二實施例之晶圓級封裝方法的流程示意圖。

#### 【主要元件符號說明】

100 第一晶圓

100a 主動面

100b 背面

T<sub>1</sub>~T<sub>8</sub> 矽通孔

10 微機電元件

11 蝕刻停止層

12 第一接合環

13 第一連接件

14 金屬導線

200 第二晶圓

200a 第一表面

200b 第二表面

20 積體電路元件

21 電鍍種子層

22 第二接合環

23 第二連接件

H<sub>1</sub>~H<sub>5</sub> 第一凹槽~第五凹槽

R<sub>1</sub>~R<sub>3</sub> 第一光阻層至第三光阻層

M<sub>1</sub> 第一金屬材料

M<sub>2</sub> 第二金屬材料

V 電壓

F 外力

## 七、申請專利範圍：

1. 一種晶圓級封裝方法，用以封裝一第一晶圓與一第二晶圓，其中該第一晶圓具有一主動面與一背面，且該主動面上定義有未釋放之一微機電元件，該封裝方法至少包含下列步驟：

蝕刻該第一晶圓以形成至少兩矽通孔；

填滿該些矽通孔；

形成一第一接合環與一第一連接件於該主動面上，且該第一連接件電性連接該些矽通孔之一者，該第一接合環係圍繞該微機電元件並電性連接該些矽通孔之另一者；

於該第二晶圓上形成電性連接並分別對應該第一接合環與該第一連接件之一第二接合環與一第二連接件；

使該第二晶圓面對該第一晶圓之該主動面，且該第二接合環與該第二連接件分別連接該第一接合環與該第一連接件；

自該第一晶圓之該背面施加至少一電壓於該些矽通孔；以及

施加一外力使該第二晶圓朝向該第一晶圓擠壓以完成封裝。

2. 如申請專利範圍第 1 項所述之晶圓級封裝方法，於該蝕刻該第一晶圓以形成該些矽通孔的步驟之前，更包含下列步驟：

形成一蝕刻停止層於該主動面上，該蝕刻停止層包含一第一金屬材料。

3. 如申請專利範圍第 2 項所述之晶圓級封裝方法，於該蝕刻該第一晶圓以形成該些矽通孔的步驟中，該些矽通孔係自該背面蝕刻該第一晶圓並延伸至該蝕刻停止層為止。
4. 如申請專利範圍第 2 項所述之晶圓級封裝方法，其中該填滿該些矽通孔的步驟係以該蝕刻停止層之該第一金屬材料進行一電鍍製程來完成。
5. 如申請專利範圍第 2 項所述之晶圓級封裝方法，於該形成該第一接合環與該第一連接件於該主動面上的步驟中，更包含下列步驟：

塗佈一第一光阻層於該蝕刻停止層上；

定義用以分別設置該第一接合環與該第一連接件之一第一凹槽與一第二凹槽；

以該第一金屬材料填滿部分之該第一凹槽與該第二凹槽；

以一第二金屬材料填滿該第一凹槽與該第二凹槽剩下之空間以分別形成該第一接合環與該第一連接件；以及

移除該第一光阻層。

6. 如申請專利範圍第 5 項所述之晶圓級封裝方法，其中該第一金屬材料為鎳，該第二金屬材料為錫。
7. 如申請專利範圍第 5 項所述之晶圓級封裝方法，其中於該移除該第一光阻層的步驟之後，更包含下列步驟：

移除該蝕刻停止層。
8. 如申請專利範圍第 5 項所述之晶圓級封裝方法，其中該

於該第二晶圓上形成電性連接並分別對應該第一接合環與該第一連接件之該第二接合環與該第二連接件的步驟中，至少包含下列步驟：

塗佈一第二光阻層於該第二晶圓上；

定義用以分別設置該第二接合環與該第二連接件之一第三凹槽與一第四凹槽；

以該第一金屬材料填滿部分之該第三凹槽與該第四凹槽；

以一第二金屬材料填滿該第三凹槽與該第四凹槽剩下之空間以分別形成該第二接合環與該第二連接件；以及

移除該第二光阻層。

9. 如申請專利範圍第 5 項所述之晶圓級封裝方法，其中於該以該第二金屬材料填滿該第一凹槽與該第二凹槽剩下之空間的步驟與該移除該第一光阻層的步驟之間更包含一增加該第一連接件高度的步驟，該步驟至少包含：

塗佈一第三光阻層以覆蓋該第一光阻層與該第二金屬材料；

移除覆蓋於該第一連接件上方之該第三光阻層以形成一第五凹槽；

以該第二金屬材料填滿該第五凹槽；以及

移除該第三光阻層。

10. 如申請專利範圍第 1 項所述之晶圓級封裝方法，其中於該蝕刻該第一晶圓以形成至少兩個矽通孔的步驟後

係形成大於四個矽通孔時，更包含下列步驟：

形成至少一條金屬導線於該第一晶圓之該背面以串聯該些矽通孔、該主動面上之該第一接合環與該第一連接件、該第二晶圓上之該第二接合環與該第二連接件。

11. 如申請專利範圍第 10 述之晶圓級封裝方法，其中於該施加該外力使該第二晶圓朝向該第一晶圓擠壓以完成封裝的步驟之後，更包含下列步驟：

移除該金屬導線。

12. 如申請專利範圍第 1 項所述之晶圓級封裝方法，更包含下列步驟：

置放該微機電元件。

13. 如申請專利範圍第 12 所述之晶圓級封裝方法，其中該置放該微機電元件之步驟係可經由一乾蝕刻製程或一濕蝕刻製程來完成。

14. 如申請專利範圍第 1 項所述之晶圓級封裝方法，其中該蝕刻該第一晶圓以形成該些矽通孔的步驟係藉由一深蝕刻製程來完成。

15. 如申請專利範圍第 1 項所述之晶圓級封裝方法，其中該第二晶圓設置有一積體電路元件，且該積體電路元件位於該第二接合環內。

16. 如申請專利範圍第 1 項所述之晶圓級封裝方法，其中該電壓為 3 至 4 伏特。

17. 如申請專利範圍第 1 項所述之晶圓級封裝方法，其中該外力為 2MPa。

18. 如申請專利範圍第 1 項所述之晶圓級封裝方法，係於



一真空環境下進行。

19. 一種如申請專利範圍第 1 項所述之晶圓級封裝方法形成之封裝結構，其至少包含：

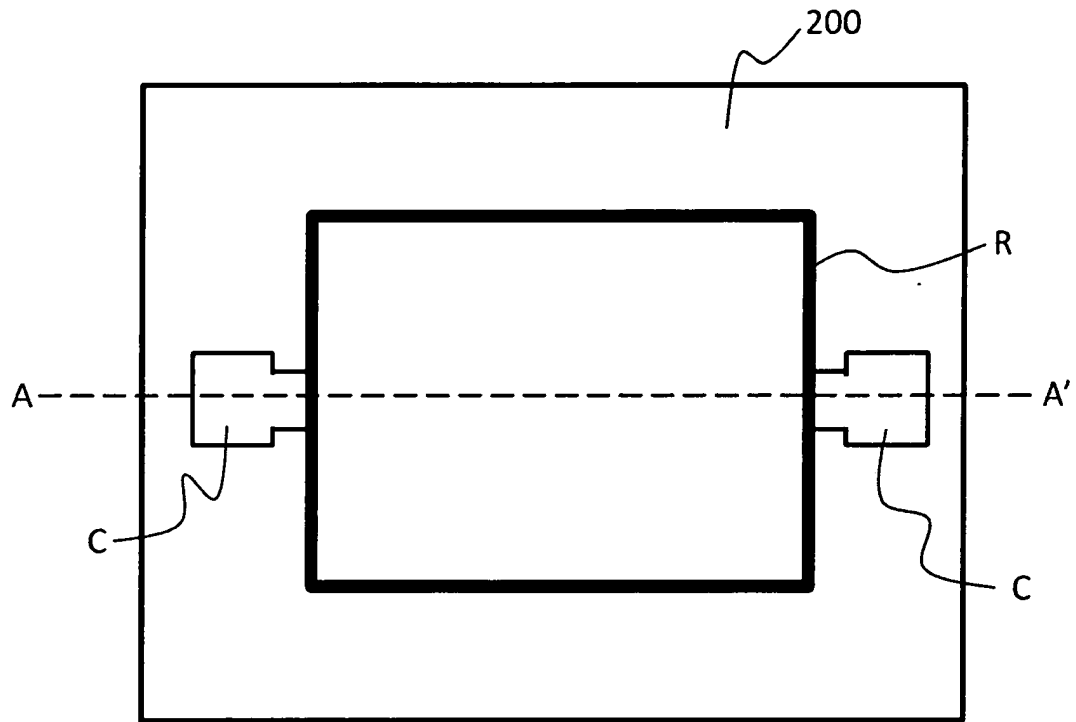
一第一晶圓，具有一主動面與一背面，該主動面上設置有至少一微機電元件、一第一接合環與一第一連接件，且該第一晶圓更具有至少兩矽通孔，該第一連接件電性連接該些矽通孔之一者，該第一接合環係圍繞該微機電元件並電性連接該些矽通孔之另一者；以及

一第二晶圓，設置有電性連接之一第二接合環與一第二連接件，

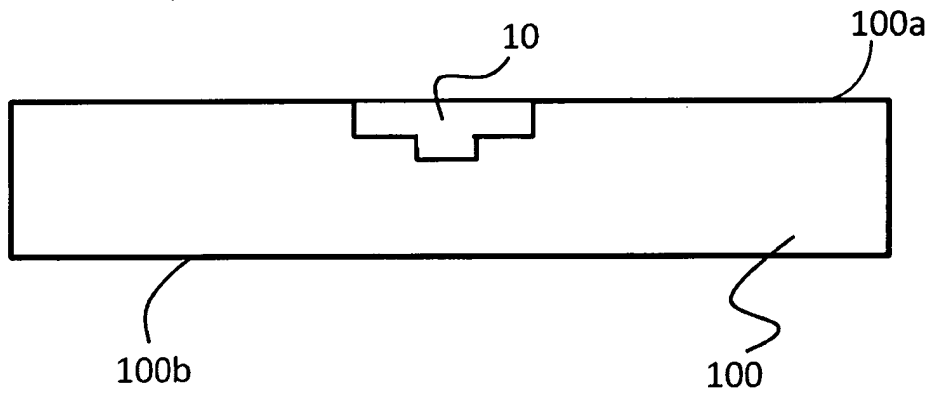
其中當該第二晶圓與該第一晶圓疊合，且該第二接合環連接該第一接合環，該第二連接件連接該第一連接件時，由該第一晶圓之該背面的該些矽通孔施加一電壓以完成封裝。

20. 如申請專利範圍第 19 項所述之封裝結構，其中該第一接合環、該第二接合環、該第一連接件與該第二連接件均包含有一第一金屬材料與一第二金屬材料。

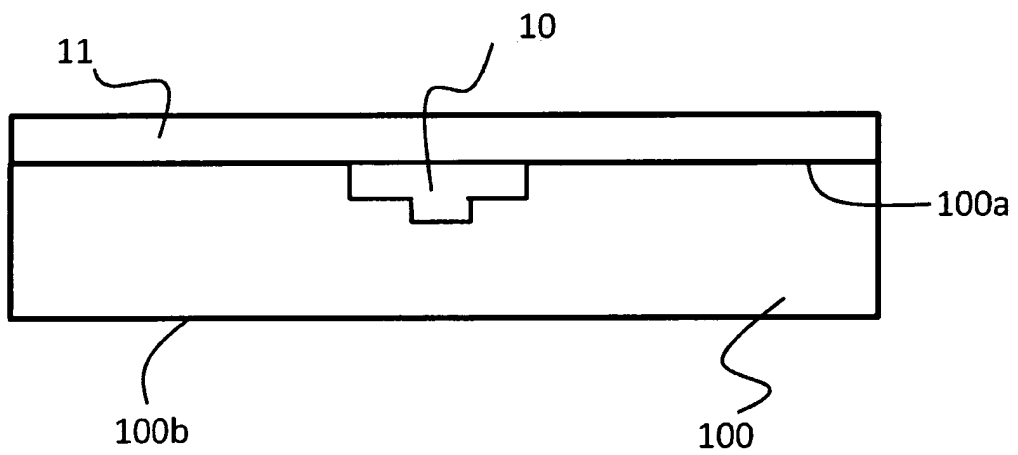
八、圖式：



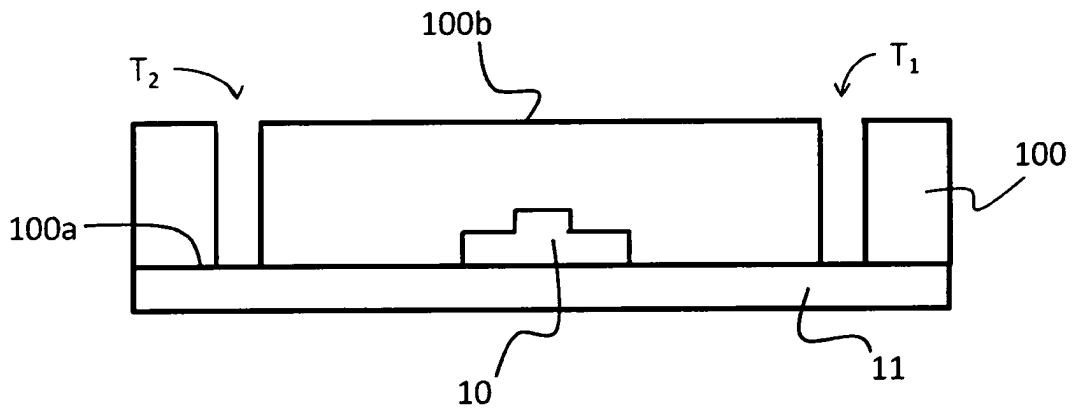
第 1 圖



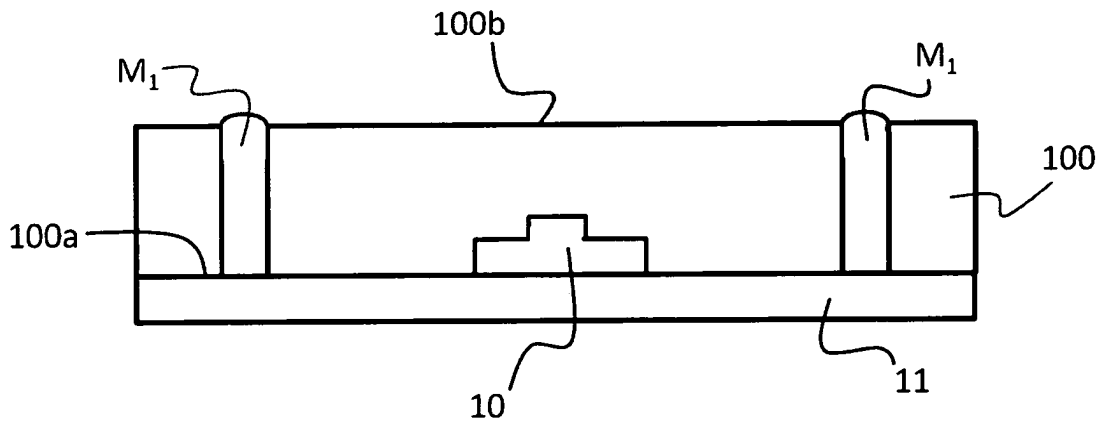
第 2 A 圖



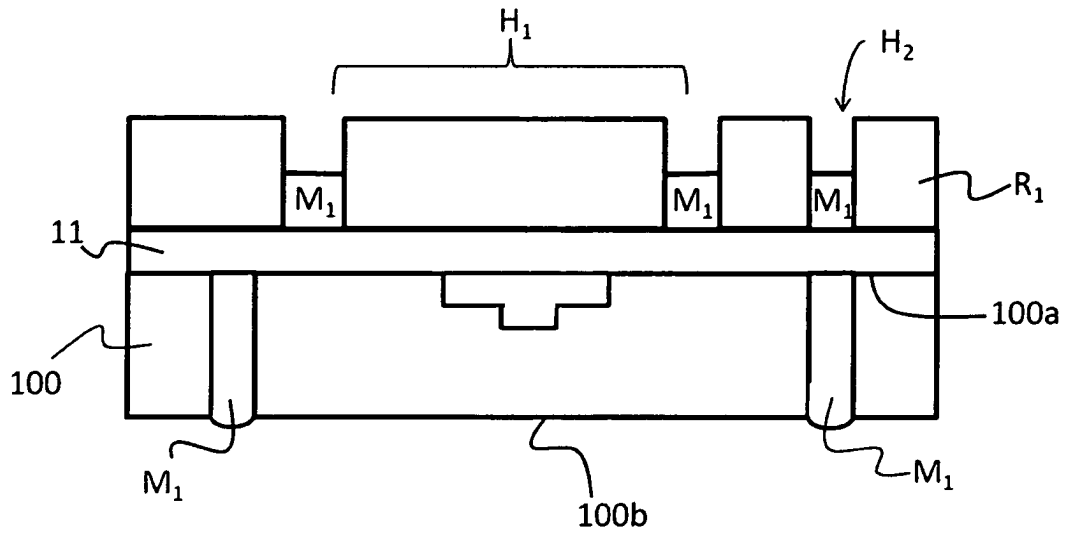
第 2 B 圖



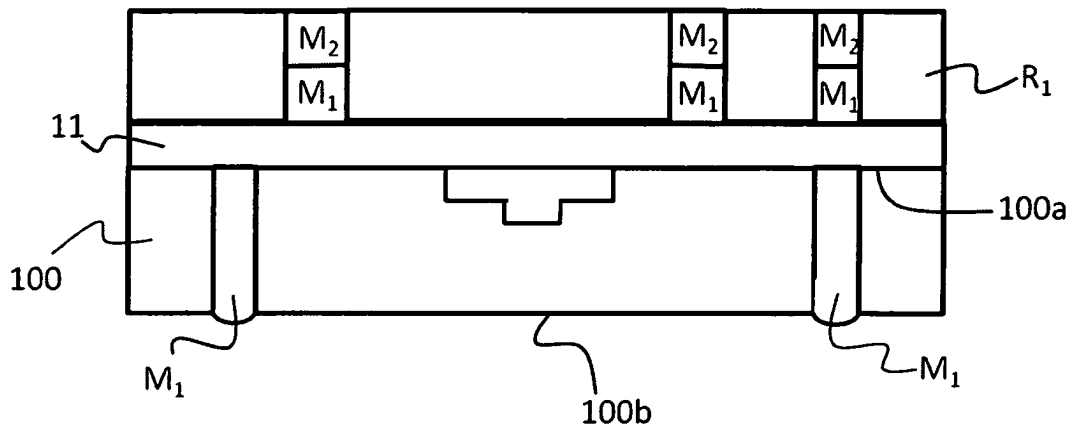
第 2 C 圖



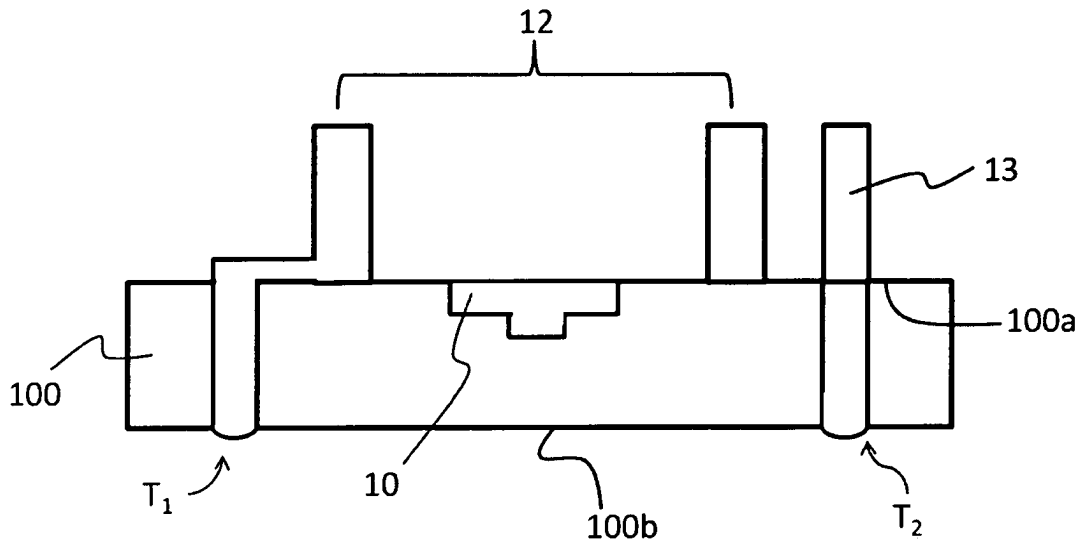
第 2 D 圖



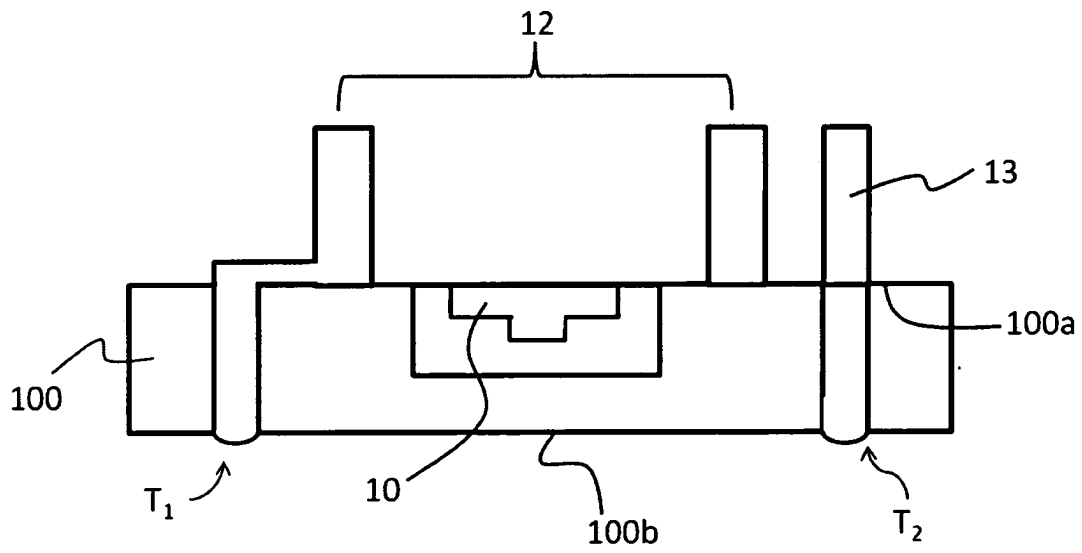
第 2 E 圖



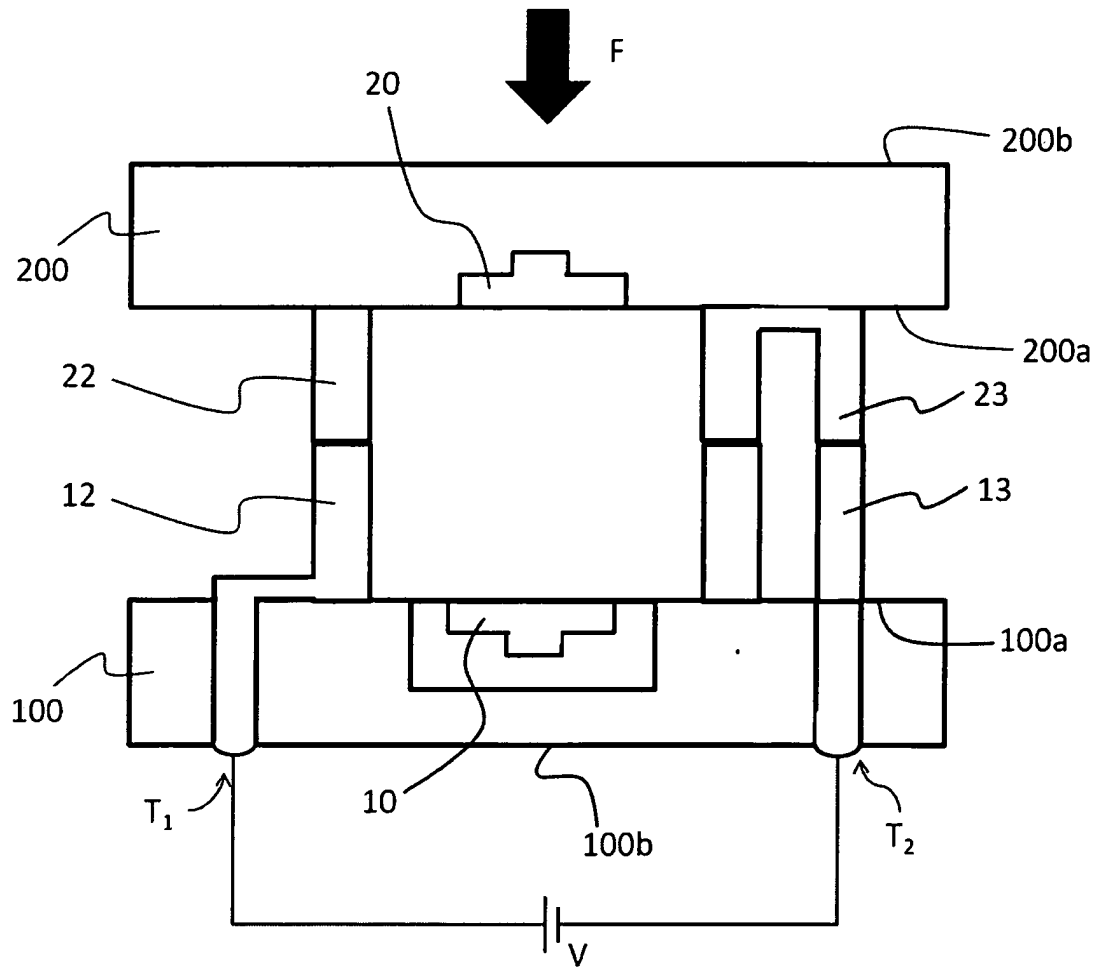
第 2 F 圖



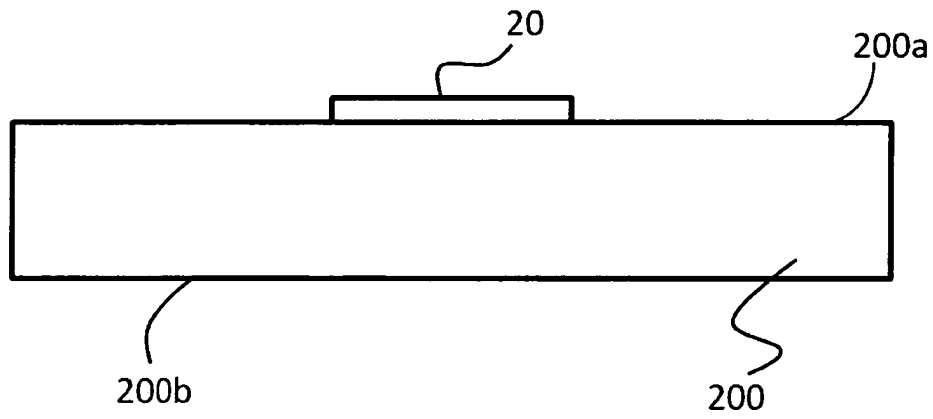
第 2 G 圖



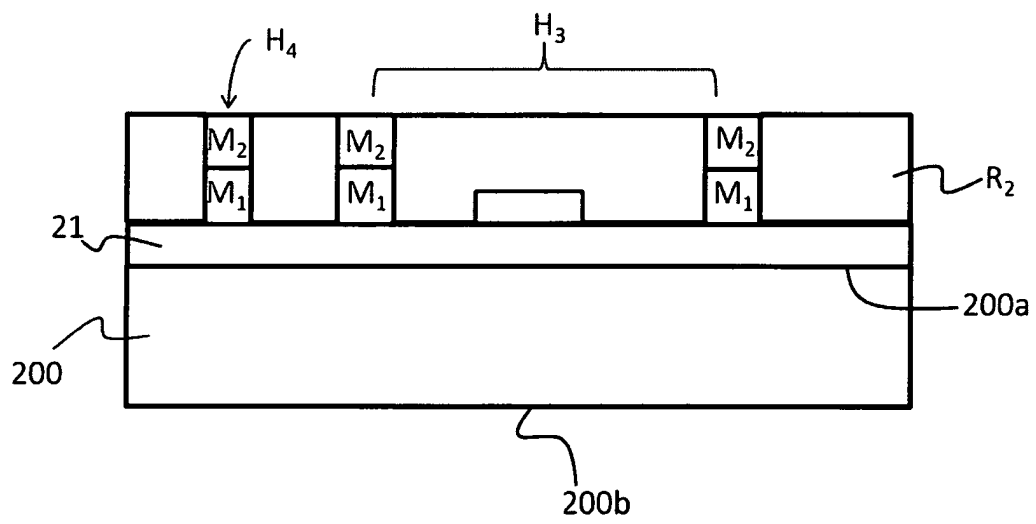
第 2 H 圖



第 2 I 圖

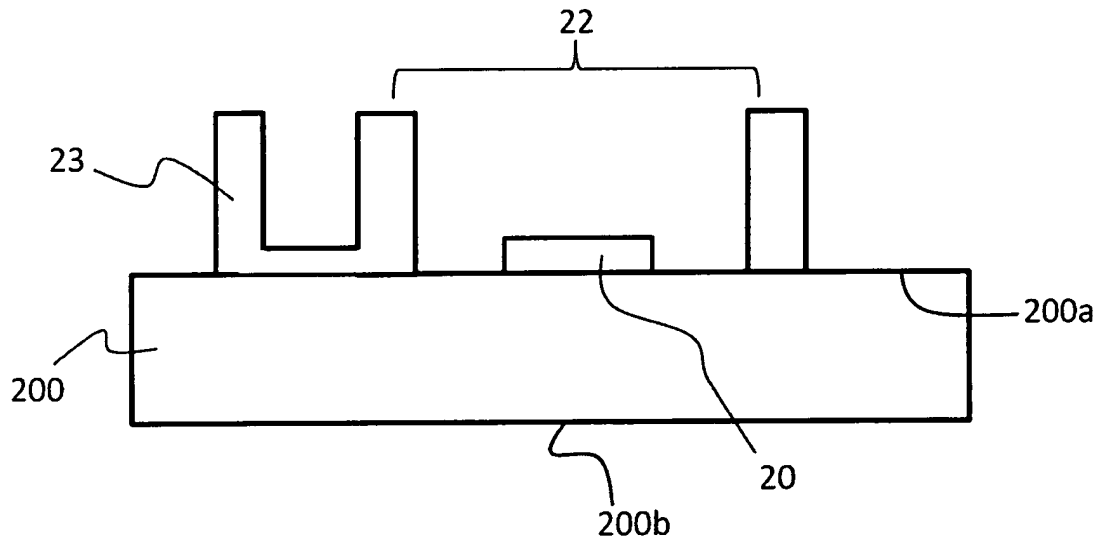


第 3 A 圖

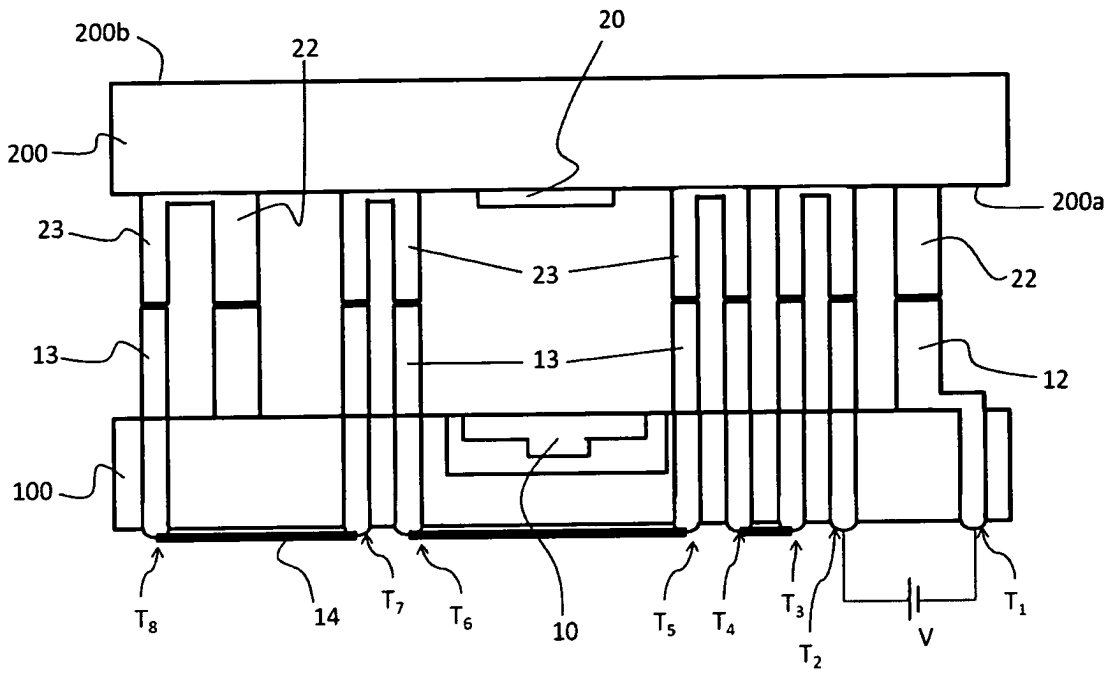


第 3 B 圖

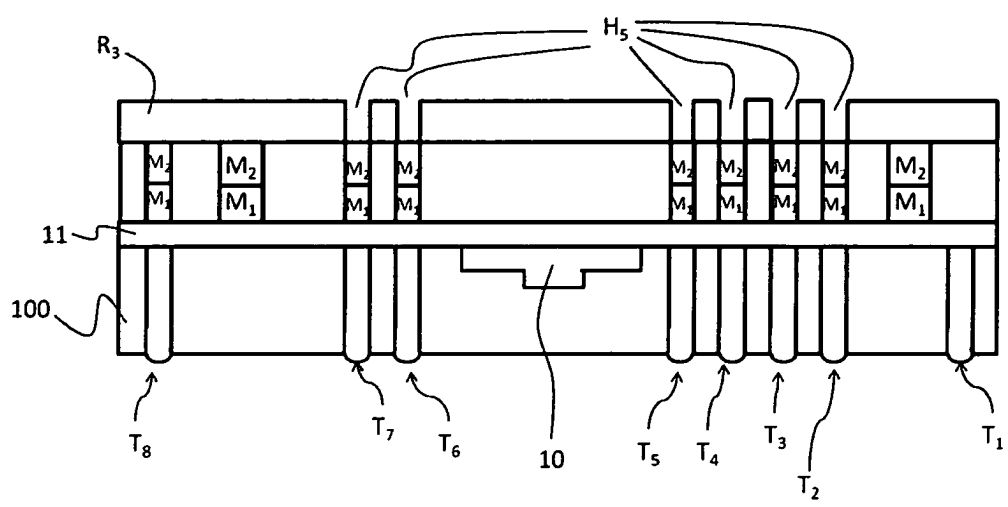




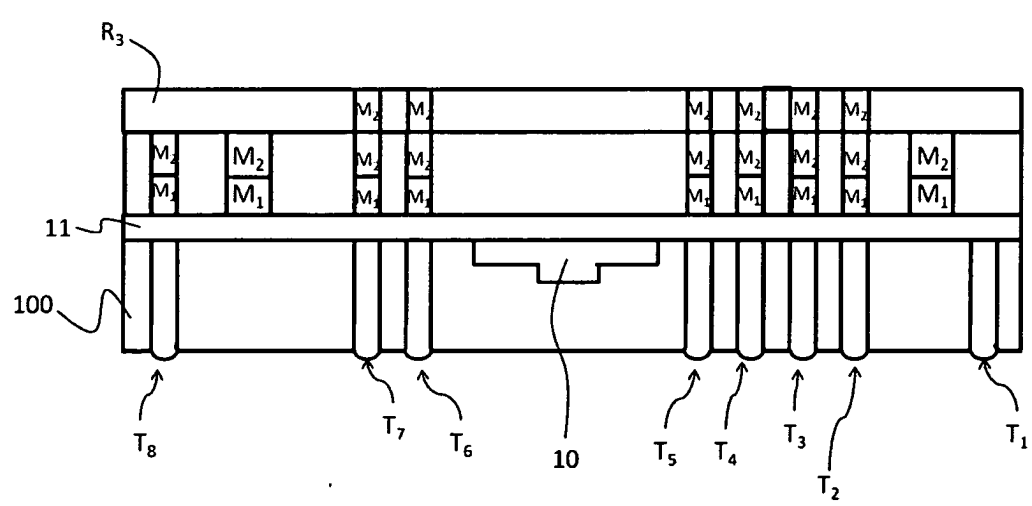
第 3 C 圖



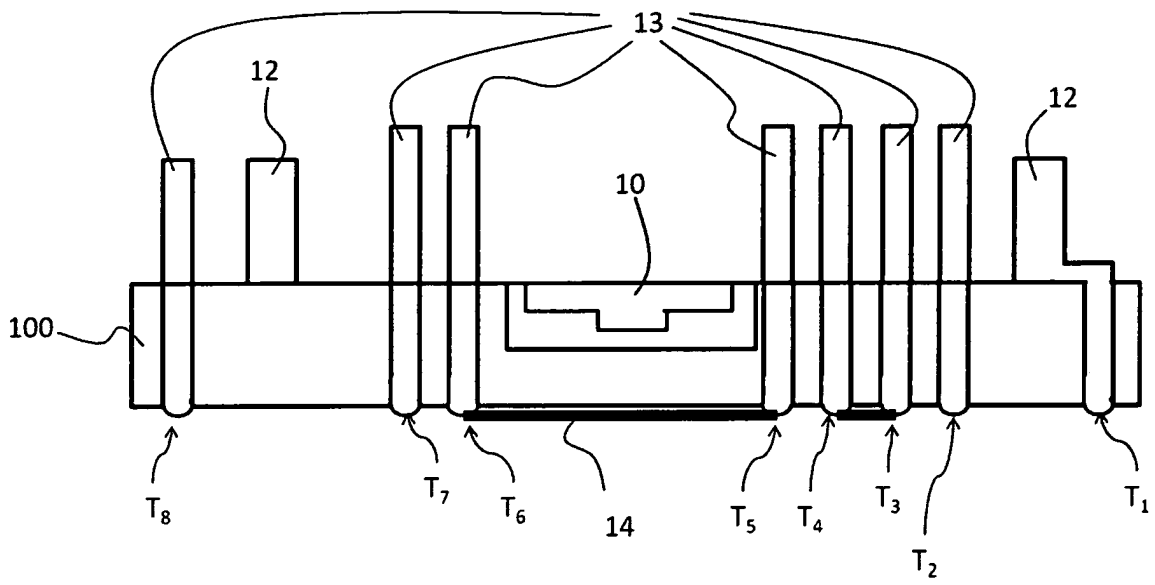
第 4 圖



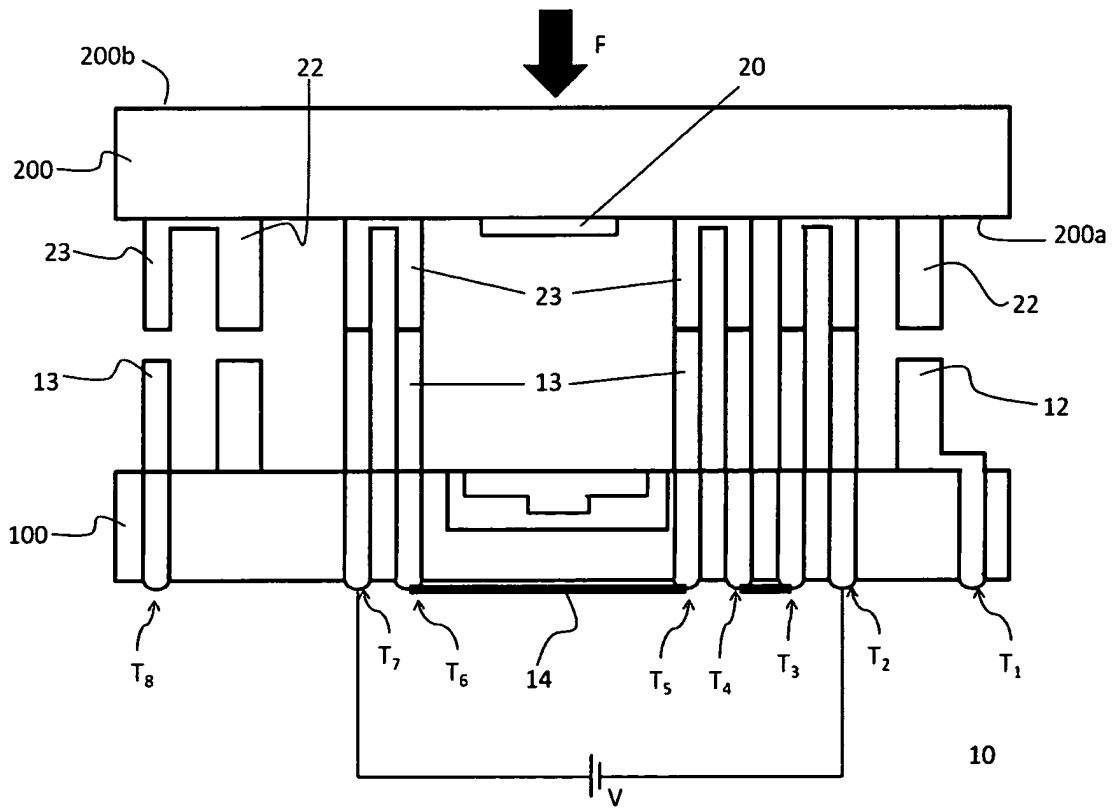
第 5 A 圖



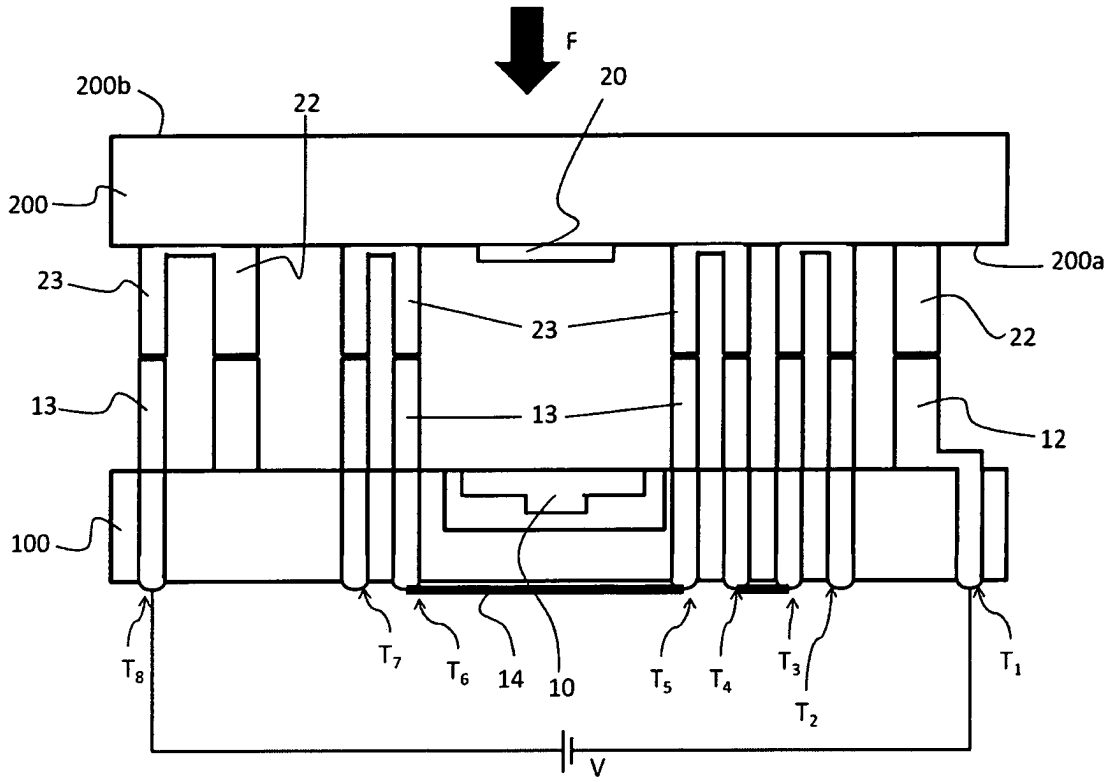
第 5 B 圖



第 5 C 圖



第 5 D 圖



第 5 E 圖