

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：96149397

※申請日期：96.12.21.

※IPC分類：G11C 7/24 (2006.01)

一、發明名稱：(中文/英文)

三元內容可定址記憶體漏電流截斷裝置

LEAKAGE CURRENT CUT-OFF DEVICE FOR TERNARY CONTENT

ADDRESSABLE MEMORY

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

國立交通大學/NATIONAL CHIAO TUNG UNIVERSITY

代表人：(中文/英文)(簽章) 吳重雨/WU, CHUNG-YU

住居所或營業所地址：(中文/英文)

新竹市大學路 1001 號/No.1001, Daxue Rd., East Dist., Hsinchu City 300,
Taiwan, R.O.C.

國籍：(中文/英文) 中華民國/TW

三、發明人：(共 3 人)

姓名：(中文/英文)

黃柏蒼/HUANG, PO-TSANG

劉文彥/LIU, WEN-YEN

黃威/HWANG, WEI

國籍：(中文/英文)(皆同) 中華民國/TW

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

一種應用於三元內容可定址記憶體漏電流截斷裝置。三元內容可定址記憶體之儲存記憶胞區分為運轉模式、待機模式及截止模式，本發明利用多模式閘極電源控制裝置降低三元電晶體可定址記憶體之儲存記憶胞在待機模式及截止模式之漏電流並維持運轉模式執行效能。

六、英文發明摘要：

A leakage current cut-off device for a ternary content addressable memory is provided. The storage cell of a ternary content addressable memory may be in active mode, standby mode and cut-off mode. This invention applies a multi-mode data retention power gating device to the storage cell of the ternary content addressable memory to reduce the leakage current in standby mode and cut-off mode, and support the full speed operation in active mode.

七、指定代表圖：

(一)、本案代表圖為：第 3 圖

(二)、本案代表圖之元件代表符號簡單說明：

M ₁ 、M ₂ 、 M ₃	電晶體
S ₁ 、S ₂	信號
10	儲存記憶胞
30	閘極電源控制裝置
40	或然閘
ML	相符線
VGND	擬接地端
sleep	待機信號
msb	無關項記憶胞儲存值

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

九、發明說明：

【發明所屬之技術領域】

本發明係有關一種三元內容可定址記憶體漏電流截斷裝置。

【先前技術】

三元內容可定址記憶體(ternary content addressable memory, TCAM)被分組為陣列結構的區段，每個區段包含一陣列的三元內容可定址記憶體胞對(TCAM cell pair)，每一胞對表示一個位元(bit)，其包含一儲存記憶胞(storage cell)與一無關項記憶胞(don't-care cell)。每一個位元之儲存值可能為"0"狀態(zero state)、"1"狀態(one state)及"X"狀態，此"X"狀態稱為無關項狀態(don't-care state)。儲存記憶胞之一端為受電端電性連接電源以接受電壓 V_{DD} ，而另一端為釋電端連接接電端以釋電。

三元內容可定址記憶體可能存在於操作模式(active mode)與待機模式(standby mode)，由字元線(word line)WL 控制。操作模式可能為讀取操作(read operation)、寫入操作(write operation)及查詢操作(search operation)，特別要說明的是查詢操作，區段內之位元被設定為無關項狀態"X"時，無須比對查詢資料與位元內的儲存資料。

在待機模式之資料，儲存記憶胞釋電端仍連接接地端，故必存在漏電流，而漏電流的大小將消耗電源之電能，甚至導致元件的可信度降低，因此需盡量減小漏電流。

如第 1 圖所示之習知技術，利用擬二極體 N 通道金屬氧化矽場效應電晶體(n-channel metal oxide silicon field effect transistor, 記為 NMOS) M_A , M_B 閘極電源控制技術(NMOS diode data-retention power gateing technique)降低漏電流。於操作模式時，NMOS M_A 開

啟，三元內容可定址記憶胞對之儲存記憶胞的釋電端經由 NMOS M_A 連接地端以支援全效運算(full speed operation)；待機模式時，NMOS M_A 關閉，三元內容可定址記憶胞對之儲存記憶胞的釋電端連接擬二極體 NMOS(diode-connected NMOS) M_B ，漏電流(leakage current) 流經擬二極體 NMOS M_B 充電於虛擬地端 (virtual ground, VGND) 至飽和電壓(saturated voltage)，受電端(電壓 V_{DD})與釋電端之電壓差將低，因而減小漏電流。

此架構應用於同步動態記憶體(Synchronous Dynamic Random Access Memory, SDRAM)等已足夠，但應用於三元內容可定址記憶體時，未考量無關項“X”狀態(無關項狀態)之情況，此係為本發明所欲提供之解決方案以進一步降低漏電流。

【發明內容】

為解決上述之課題，本發明提供一種三元內容可定址記憶體漏電流截斷裝置，其利用多模式閘極電源控制技術進一步降低待機模式之漏電流。其將多模式閘極電源控制裝置之第一連接端與第二連接端分別連接於三元內容可定址記憶體之儲存記憶胞的釋電端與接地端之間。第一信號連接端與第二信號連接端接收待機信號與無關項狀態信號以控制操作模式、資料報存模式或截止模式下之漏電流，在不減損操作模式之執行效能之情況下，降低或截止漏電流。

【實施方式】

一區段的三元內容可定址記憶體之整體架構示於第 2 圖，通常將記憶體區分為數個區段，區段內的位元數量依據需求而定，每一個位元包含一記憶胞對，本實施例中一區段

包含六記憶胞對(memory cell pair)之陣列。一記憶胞對包含一儲存記憶胞 10(storage cell)與一無關項記憶胞 20(don't-care cell)，儲存記憶胞 10 與無關項記憶胞 20 之間以 NMOS 連接相符線 ML(match line)，區段內之儲存記憶胞 10 連接多模式閘極電源控制裝置 30，多模式閘極電源控制裝置 30 連接區段內之無關項記憶胞 20 並接收待機信號(sleep signal)，第一信號 S_1 為待機信號之反相電壓，當處於待機模式時，第一信號 S_1 為假(記為“0”)，反之為操作模式其值為真(記為“1”)。

多模式閘極電源控制裝置 30 之一實施例示於第 3 圖，其具有第一連接端與第二連接端分別連接三元內容可定址記憶體之釋電端(連接擬地電壓端 VGND)與接地端，第一信號連接端接收第一信號 S_1 ，第二信號連接端接收第二信號 S_2 ，其值係由第一信號 S_1 及三元內容可定址記憶體之無關項記憶胞之狀態儲存值決定。圖中待機信號及無關項記憶胞之儲存值分別以 sleep 及 msb 表示， $\overline{\text{sleep}}$ 、 $\overline{\text{msb}}$ 表示其反相信號。

如圖所示，第一 NMOS M_1 之汲極作為第一連接端，源極作為第二連接端，閘極作為第一信號連接端，第二 NMOS M_2 之源極耦合至第一 NMOS M_1 之源極，第二 NMOS M_2 之閘極作為第二信號連接端，第二 NMOS M_2 之汲極與第一 NMOS M_1 之汲極間連接一二極體(diode)、擬二極體 NMOS(diode-connected NMOS) 或 擬二極體 PMOS(diode-connected PMOS)，本實施例中採用擬二極體 NMOS，如圖中第三 NMOS M_3 。

當操作模式時，待機信號 sleep=0，第一信號 S_1 為真($\overline{\text{sleep}}=1$)與第二信號 S_2 必為真(“1”)，例如本實施例中經由或然閘(OR gate)40 運算使第二信號 S_2 為真，反之為待機模

式 $\text{sleep}=1$ ，第一信號 S_1 為假 ($\overline{\text{sleep}}=0$)，需由無關項記憶胞之儲存值 msb 決定第二信號 S_2 之真假值。當非無關項狀態 (non-“X”狀態) 時，無關項記憶胞之儲存值 $\text{msb}=0$ ，第二信號 S_2 為真 ($\overline{\text{msb}}=1$)，此稱為資料保存模式 (data-retention mode)，反之為無關項狀態 (“X”狀態) 時，無關項記憶胞之儲存值 $\text{msb}=1$ ，第二信號 S_2 為假 ($\overline{\text{msb}}=0$)，稱為截止模式 (cut-off mode)。多模式閘極電源控制裝置 30 之操作模式、資料保存模式及截止模式之真值表如表一。

模式	第一信號 S_1	第二信號 S_2
操作模式	1	1
資料保存模式	0	1
截止模式	0	0

表一

操作模式下，第一信號 S_1 與第二信號 S_2 皆為真 (“1”)，第一 NMOS M_1 與第二 NMOS M_2 皆開啟以支援全效運算 (full speed operation)，此時擬地電壓端 VGND 之電壓與實地電壓相同，故三元內容可定址記憶體如同連接接地端。

資料保存模式下，第一信號 S_1 為假 (“0”) 與第二信號 S_2 為真 (“1”)，第一 NMOS M_1 關閉，第二 NMOS M_2 開啟，漏電流經擬二極體 NMOS (第三 NMOS M_3) 充電於擬地電壓端至飽和電位 (saturated potential)，儲存記憶胞之受電端與釋電端之電壓差減小，因而漏電流 (leakage current) 降低。

截止模式下，第一信號 S_1 與第二信號 S_2 皆為假 (“0”)，第一 NMOS M_1 與第二 NMOS M_2 截止，儲存記憶胞之釋電端成為浮接狀態，漏電流降到最小。

由上可知，多模式閘極電源控制裝置利用第一信號連接端與第二信號連接端之輸入信號，於操作模式、資料保存模式或截止模式下，導通、提供釋電端一飽和電位或截止儲存記憶胞釋電端與接地端之通路。於操作模式下，完全導通第一連接端與第二連接端，其分別連接儲存記憶胞之地線與接地端而能支援全效運算。於待機模式時，若為資料儲存模式，資料不可被破壞，仍然導通第一連接端與第二連接端，但提供一飽和電位作為擬接地電壓(高於實際接地電壓)以降低漏電流；若為截止模式，則截止第一連接端與第二連接端使儲存記憶胞之地線浮接而進一步降低漏電流。

以上所述之實施例僅係為說明本發明之技術思想及特點，其目的在使熟習此項技藝之人士能夠瞭解本發明之內容並據以實施，當不能以之限定本發明之專利範圍，即大凡依本發明所揭示之精神所作之均等變化或修飾，仍應涵蓋在本發明之專利範圍內。

【圖式簡單說明】

第 1 圖所示為習知技術之閘極電源控制裝置電路圖。

第 2 圖所示為依據本發明一實施例之三元內容可存取記憶體之架構圖。

第 3 圖所示為依據本發明一實施例之閘極電源控制裝置電路圖。

【主要元件符號說明】

10	儲存記憶胞
20	無關項記憶胞
30	閘極電源控制裝置

40	或然閘
M_A 、 M_B 、 M_1 、 M_2 、 M_3	電晶體
S_1 、 S_2	信號
ML	相符線
VGND	擬接地端
sleep	待機信號
msb	無關項記憶胞儲存值
V_{DD}	電壓

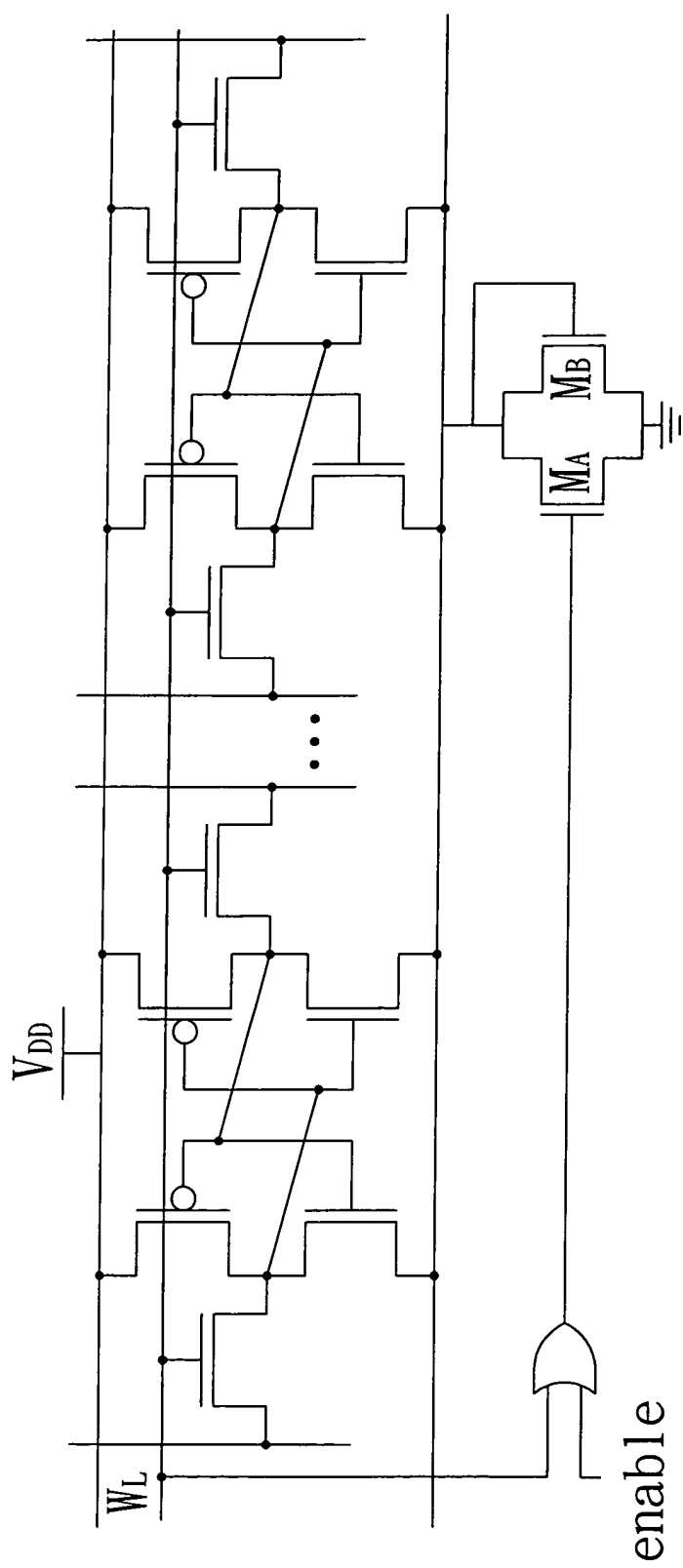
十、申請專利範圍：

1. 一種應用於三元內容可定址記憶體之漏電流截斷裝置，其利用一多模式閘極電源控制裝置以開啟/截止一三元內容可定址記憶體之儲存記憶胞之釋電端與接地端，或者提供該三元內容可定址記憶體之儲存記憶胞之釋電端一擬地電壓，其中該多模式閘極電源控制裝置具有一第一連接端、一第二連接端、一第一信號端與一第二信號端以及一或然閘(OR gate)，該第一連接端連接該三元內容可定址記憶體之儲存記憶胞之釋電端，該第二連接端連接接地端，該第一信號端與該第二信號端接收一第一信號與一第二信號用以開啟/截止該儲存記憶胞之釋電端與接地端之通路，或者提供該儲存記憶胞之釋電端一擬地電壓，該或然閘之一第一輸入端與一第二輸入端分別接收該第一信號與該儲存記憶胞之儲存值，該或然閘之一輸出端用以提供該第二信號。
2. 如請求項 1 所述之應用於三元內容可定址記憶體之漏電流截斷裝置，其中該多模式閘極電源控制裝置包含一第一 N 通道金屬氧化矽場效應電晶體、一第二 N 通道金屬氧化矽場效應電晶體與一第三 N 通道金屬氧化矽場效應電晶體，該第一 N 通道金屬氧化矽場效應電晶體之汲極與源極分別作為該第一連接端與該第二連接端，該第二 N 通道金屬氧化矽場效應電晶體之源極連接該第一 N 通道金屬氧化矽場效應電晶體之源極，該第三 N 通道金屬氧化矽場效應電晶體之汲極與閘極耦合並連接該第一 N 通道金屬氧化矽場效應電晶體之汲極，該第三 N 通道金屬氧化矽場效應電晶體之源極連接該第二 N 通道金屬氧化矽場效應電晶體之汲極，該第一 N 通道金屬氧化矽場效應電晶體之閘極與該第二 N 通道金屬氧化矽場效應電晶體之閘極分別作為該第一信號連接端與該第二信號連接端。
3. 如請求項 1 所述之應用於三元內容可定址記憶體之漏電流截斷裝置，其中該多模式閘極電源控制裝置包含一 P 通道金屬氧化矽場效應電晶體、一第一 N 通道金屬氧化矽場效應電晶體與一第二 N 通道

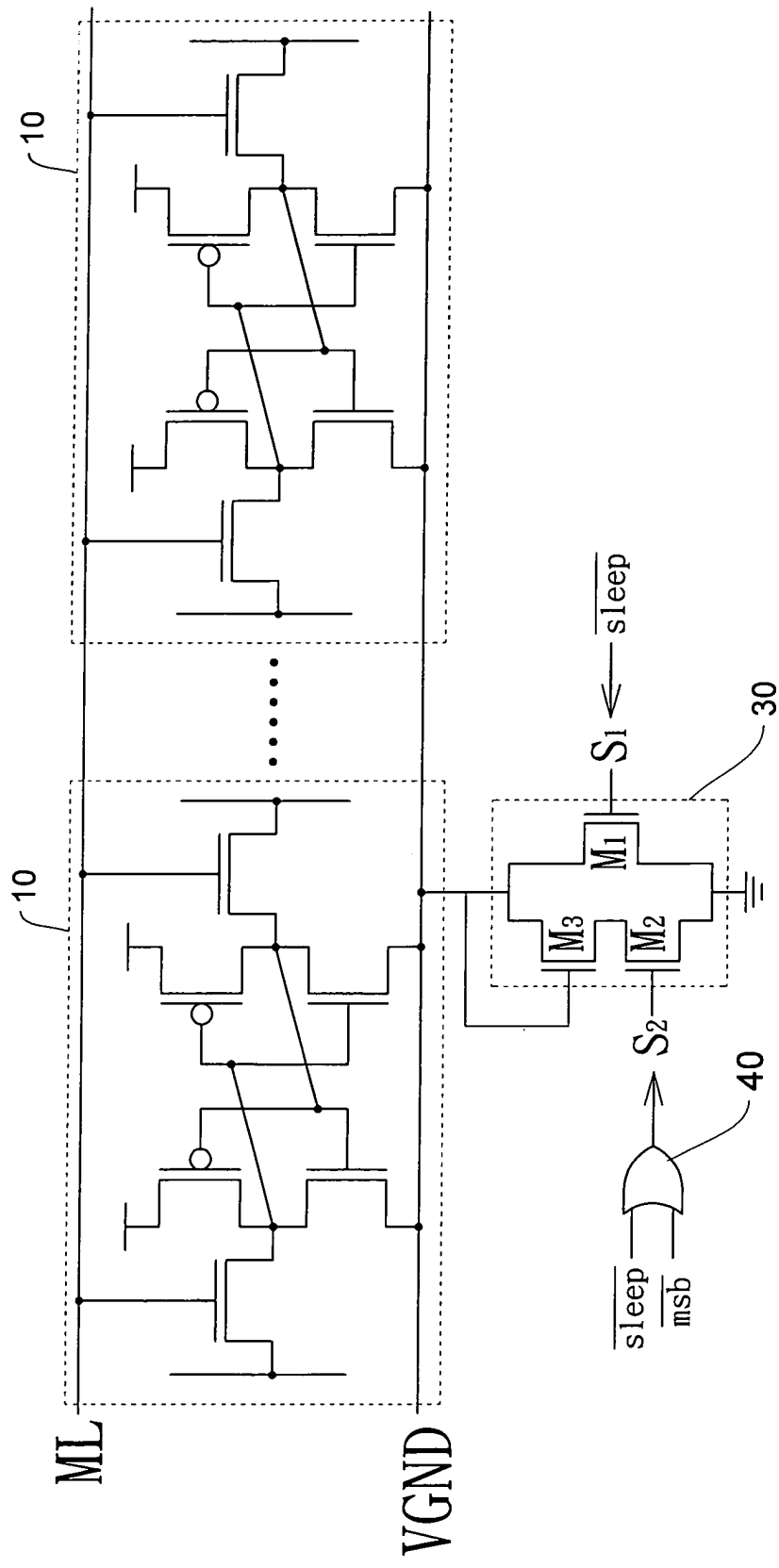
金屬氧化矽場效應電晶體，該第一 N 通道金屬氧化矽場效應電晶體之汲極與源極分別作為該第一連接端與該第二連接端，該第二 N 通道金屬氧化矽場效應電晶體之源極連接該第一 N 通道金屬氧化矽場效應電晶體之源極，該 P 通道金屬氧化矽場效應電晶體之源極連接該第一 N 通道金屬氧化矽場效應電晶體之汲極，該 P 通道金屬氧化矽場效應電晶體之汲極與閘極耦合並連接該第二 N 通道金屬氧化矽場效應電晶體之汲極，該第一 N 通道金屬氧化矽場效應電晶體之閘極與該第二 N 通道金屬氧化矽場效應電晶體之閘極分別作為該第一信號連接端與該第二信號連接端。

4. 如請求項 1 所述之應用於三元內容可定址記憶體之漏電流截斷裝置，其中該多模式閘極電源控制裝置包含一二極體、一第一 N 通道金屬氧化矽場效應電晶體與一第二 N 通道金屬氧化矽場效應電晶體，該第一 N 通道金屬氧化矽場效應電晶體之汲極與源極分別作為該第一連接端與該第二連接端，該第二 N 通道金屬氧化矽場效應電晶體之源極連接該第一 N 通道金屬氧化矽場效應電晶體之源極，該二極體之陽極連接該第一 N 通道金屬氧化矽場效應電晶體之汲極，該二極體之陰極連接該第二 N 通道金屬氧化矽場效應電晶體之汲極。

100年7月19日修正本



第1圖(習知技術)



第3圖