

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：94137830

※申請日期：94.10.28

※IPC 分類：G06F1/00, G11C7/00

一、發明名稱：(中文/英文)

非同步先進先出暫存器單元

二、申請人：(共1人)

姓名或名稱：(中文/英文) 國立交通大學

代表人：(中文/英文) 吳妍華

住居所或營業所地址：(中文/英文)

新竹市大學路1001號

國 籍：(中文/英文) 中華民國 TW

三、發明人：(共2人)

姓 名：(中文/英文)

1、朱燁霖

2、黃威

國 籍：(中文/英文)

1、中華民國 TW

2、中華民國 TW

2004 7/12 修正
補充

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為：94年7月4日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

本發明提供一種非同步先進先出暫存器單元(Asynchronous First-In-First-Out Cell)，運用修改過的 Muller C 元件使非同步先進先出暫存器單元之電路複雜程度降低，其不但具有重複使用的特性，並能在不同頻率下之不同的供應電壓或單一供應電壓下操作。此外，應用在以全域非同步局部同步系統為根基，雙電壓系統十六點的 radix-2² 之快速傅利葉轉換架構的介面電路上，發現能減少較多的功率損耗與降低更多的延遲時間。

六、英文發明摘要：

七、指定代表圖：

(一) 本案代表圖：第九圖

(二) 本案代表圖之元件代表符號簡單說明：

3 傳送者交握控制器

4 傳送者憑證

5 接收者交握控制器

6 接收者憑證

7 狀態偵測器

36 資料門鎖器

38 準位轉換正反器

39 非同步準位轉換器

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

九、發明說明：

【發明所屬之技術領域】

本發明係關於一種非同步先進先出暫存器單元(Asynchronous First-In-First-Out Cell)，特別係能應用於不同頻率下之不同的供應電壓或單一供應電壓的非同步先進先出暫存器單元。

【先前技術】

對於現今的晶片系統(SOC)設計，主要目標係要求輸出率(throughput rate)高以及延遲時間(latency)低，而用增加操作頻率的方式雖會提高晶片效能，卻也讓整個晶片系統功率消耗大幅提升，產生大量的熱。此外，許多晶片模組在資料傳遞的過程，因為彼此的聯繫時間增大，故利用一個主要的同步時脈係運作品片系統係不太可能的。所以，晶片系統要具備功率管理功能和直流轉換的功能，亦得在不同電壓下降低功率的消耗，而運用全域非同步局部同步(GALS)系統，能夠處理不同步的時脈，且在這介面下利用非同步先進先出(FIFO)暫存器當臨時的儲存元件，可以解決上述晶片系統的問題。

可是，習知的非同步 FIFO 是利用突發模式(burst mode)結合 CAD 工具所完成的，這不但使電路趨於複雜亦使功率消耗更多，故若要將習知的非同步 FIFO 應用於雙電壓系統，係不太可行的。此外，美國專利號 20040128413 和 20020167336 所揭露的 FIFO 係可應用於不同時域的介面上，例如，同步-同步時域、同步-非同步時域，和非同步-非同步時域。其利用一連串的先進先出暫存器單元與憑證機制(token mechanism)來選擇存

放在哪一儲存器中，在同步時域部份，用迴圈移位暫存器(circular shift register)形成憑證機制，以及用 S-R 正反器(set-reset flip-flop)形成偵測狀態器；在非同步時域部份，綜合交握訊號(handshake signal)控制電路以利用突發模式結合 CAD 工具，獲得輸入憑證(put token)、輸出憑證(get token)，和固定 CAD 工具獲得資料確實度控制器(data validity controller)。但是，整體觀之，美國專利號 20040128413 和 20020167336 的非同步 FIFO 所用邏輯閘數目多，使得電路結構複雜化，反而提高功率的消耗。

有鑑於此，本發明不但針對上述之困擾，降低 FIFO 電路複雜程度降低功率消耗，所設計出來的 FIFO 還能在不同頻率下之不同的供應電壓或單一供應電壓下操作。

【發明內容】

本發明之主要目的係提供一種非同步的先進先出暫存器單元，係利用修改過的 Muller C 元件構成，可降低電路的複雜度以減少功率的消耗。

本發明之另一目的係提供一種非同步的先進先出暫存器單元，能運作在不同頻率下之不同供應電壓或單一供應電壓操作，而且還具有重複使用的特性。

本發明之再一目的係提供一種非同步的先進先出暫存器單元，避免資料在非同步先進先出暫存器單元發生資料直接穿透(transparent problem)。

本發明之又再一目的係提供一種非同步的先進先出暫存器單元，在雙電壓系統下結合電壓準位轉換，避免從低電壓到高電壓資料傳輸時，產生

不必要的功率損耗。

本發明之又一目的係提供一種非同步的先進先出暫存器單元，應用於以全域非同步局部同步系統(GALS)為根基，雙電壓系統十六點的 radix-2² 之快速傅利葉轉換架構的介面電路上，能減少較多的功率損耗與降低更多的延遲時間。

為達到上述目的，本發明提供一非同步先進先出暫存器單元，其位於兩個相鄰的非同步包覆器(asynchronous wrapper)-第一非同步包覆器和第二非同步包覆器-之間。本發明之非同步先進先出暫存器單元，包括一資料門鎖器(data latch)負責資料的存取，一狀態偵測器(full/empty detector)負責偵測資料門鎖器的狀態，一傳送者交握控制器(sender' s handshake controller)負責產生一傳送者回應訊號(Sack)至第一非同步包覆器，一接收者交握控制器(receiver' s handshake controller)負責產生一接收者回應訊號(Rack)至第二非同步包覆器，而狀態偵測器、傳送者交握控制器和接收者交握控制器皆係用修改過的 Muller C 電路所組成，可以降低電路的複雜度，其中，傳送者交握控制器之修改過的 Muller C 電路，會接收從接收者交握控制器所產生的接收者回應訊號，這可以避免資料輸入時，沒有暫存在資料門鎖器，而直接穿透到輸出端。

在雙電壓系統時的非同步先進先出暫存器單元，還在狀態偵測器和接收者交握控制器之間設置一非同步準位轉換器(asynchronous level converter)，以及資料門鎖器嵌入一準位轉換正反器(level converter flip flop, LCFF)，可以降低從低電壓到高電壓資料傳輸時功率的消耗和

減少延遲時間，且此時的第一非同步包覆器外接一較小的供應電壓(V_{DDL})，第二非同步包覆器外接一較大的供應電壓(V_{DDH})。此外，將雙電壓系統的非同步先進先出暫存器單元應用於以全域非同步局部同步系統為根基，雙電壓十六點的 radix-2² 之快速傅利葉轉換架構，可以減少較多的功率損耗與降低更多的延遲時間。

此架構主要有三個包覆器，非同步包覆器 1、非同步包覆器 2 和非同步包覆器 3，每一包覆器有各自的頻率和操作電壓，非同步包覆器 1 和非同步包覆器 3 外接 V_{DDL} ，非同步包覆器 2 外接 V_{DDH} ，其中，在非同步包覆器 1 和非同步包覆器 2 的介面係利用雙電壓系統時的非同步先進先出暫存器單元在 GALS 雙電壓系統的架構，而在非同步包覆器 2 和非同步包覆器 3 的介面係利用 D flip-flop 和非同步準位轉換器修正過的交握電路所實現出來。

底下藉由具體實施例配合所附的圖式詳加說明，使更容易瞭解本發明之目的、技術內容、特點及其所達成之功效。

【實施方式】

本發明係揭露一種非同步先進先出暫存器單元，其不但能在全域非同步局部同步(GALS)系統下，應用不同頻率下之不同的供應電壓或單一供應電壓，還可操作於以全域非同步局部同步(GALS)系統為根基，雙電壓系統十六點的 radix-2² 之快速傅利葉轉換架構的介面電路上，使功率損耗更加減少以及延遲時間降低更多。

第一圖為非同步先進先出暫存器架構示意圖，有複數個連續的非同步

先進先出暫存器單元 2 作為儲存元件，其利用一傳送者憑證(Sender' s token, 記為 S_token)⁴ 和一接收者憑證(Receiver' s token, 記為 R_token)⁶ 控制資料的輸入與輸出，有傳送者憑證 4 的非同步先進先出暫存器單元 2 才能作為資料暫存處，而有接收者憑證 6 的非同步先進先出暫存器單元 2 才能使暫存於非同步先進先出暫存器單元 2 的資料輸出。其中，針對有傳送者憑證 4 和接收者憑證 6 的非同步先進先出暫存器單元 2 之運作進行探討，如第二圖所示，為有傳送者憑證 4 和接收者憑證 6 的非同步先進先出暫存器單元 2 應用在 GALS 單電壓系統的介面結構示意圖，一非同步先進先出暫存器單元 2 位於一第一非同步包覆器(asynchronous wrapper)¹⁰ 和第二非同步包覆器(asynchronous wrapper)²⁰ 之間。其中，第一非同步包覆器 10 包括第一局部同步模組 (locally-synchronous module)¹²、一第一交握產生器(handshake generator)¹⁴ 和一第一可停止時脈控制器(plausible clock controller)¹⁶，而第二非同步包覆器包括一第二局部同步模組(locally-synchronous module)²²、一第二交握產生器(handshake generator)²⁴ 和一第二可停止時脈控制器(plausible clock controller)²⁶。

其中，由於第二圖的非同步先進先出暫存器單元 2 具有傳送者憑證 4，才可接收從第一交握產生器 14 所產生的一傳送者要求訊號(Sreq)，且要等到有傳送者憑證 4 的非同步先進先出暫存器單元有空間可以儲存資料時，才會產生一傳送者回應訊號(Sack)至第一交握產生器 14，而一旦具有傳送者憑證 4 的非同步先進先出暫存器單元開始有資料要暫存之時，則傳送者

憑證 4 會開始被送至如第一圖所示的下一個非同步先進先出暫存器單元。以及，因第二圖的非同步先進先出暫存器單元 2 具有接收者憑證 6，非同步先進先出暫存器單元 2 才可使暫存於裡頭的資料輸出，並才可接收從之第二交握產生器 24 所產生的一接受者要求訊號(Rreq)，且要等到有接收者憑證 6 的非同步先進先出暫存器 2 有暫存的資料要輸出時，才會產生一接收者回應訊號(Rack)至第二交握產生器 24，而一旦具有接收者憑證 6 的非同步先進先出暫存器單元開始要將暫存的資料輸出時，則接收者憑證 6 會開始被送至如第一圖所示的下一個非同步先進先出暫存器單元。

本發明之第一較佳實施例，係將第三圖所提出的單電壓系統非同步先進先出暫存器單元應用於第二圖之單電壓GALS系統介面結構。同時如第二圖和第三圖所示，此單電壓系統的非同步先進先出暫存器單元包括一資料門鎖器9，其具有一暫存器8負責資料的存取，一狀態偵測器7負責偵測資料門鎖器9的存取狀態，一傳送者交握控制器3負責產生一傳送者回應訊號(Sack)至第一交握產生器14，一接收者交握控制器5負責產生一接收者回應訊號(Rack)至第二交握產生器24。

當第一局部同步模組 12 要將資料傳送到資料門鎖器 9，會先產生一第一致能訊號(enable signal，記為 S_en)至第一交握產生器 14，此時第一致能信號係在時脈上升緣，促使第一交握控制器 14 開始訊號轉換，之後第一交握產生器會產生一脈波(pulse)、一傳送者要求訊號(Sreq)至傳送者交握控制器 3，和一第一延長訊號(S_stretch)至第一可停止時脈控制器 16。其中，具有傳送者憑證 4 的非同步先進先出暫存器單元之傳送者交握控制

器 3 會接收傳送者要求訊號(Sreq)，而當資料閘鎖器 9 還有空間可以存放資料時，傳送者交握控制器 3 會產生一傳送者回應訊號(Sack)至第一交握產生器 14，而第一可停止時脈控制器 16 接收到第一延長訊號後，會產生一第一局部時脈(local clock，記為 S_clk)訊號至第一局部同步模組 12，且當資料在輸入至非同步先進先出暫存器單元時，為避免第一延長訊號到達第一可停止時脈產生器 16 的時間，和處理資料的時間過於接近，第一可停止時脈控制器 16 可以延長或停止第一局部時脈訊號，以避免同步化失敗。在當第一局部同步模組 12 收到第一局部時脈訊號後，會將資料輸入至資料閘鎖器 9 中。

當資料輸入至資料閘鎖器 9 暫存後，第二局部同步模組 22，在要接收暫存在資料閘鎖器 9 的資料時，會先產生一第二致能訊號(enable signal，記為 R_en)至第二交握產生器 24，此時第二致能信號係在時脈上升緣，促使第二交握控制器 24 開始訊號轉換，之後第二交握產生器 24 會產生一脈波(pulse)，一接收者要求訊號(Rreq)至接收者交握控制器 5 和一第二延長訊號(R_stretch)至第二可停止時脈控制器 26。其中，具有接收者憑證 6 的非同步先進先出暫存器單元之接收者交握控制器 5 會接收接收者要求訊號(Rreq)，而當資料閘鎖器 9 有存放的資料時，接收者交握控制器 5 會產生一接收者回應訊號(Rack)至第二交握產生器 24，而第二可停止時脈控制器 26 接收到第二延長訊號後，會產生一第二局部時脈(local clock，記為 R_clk)訊號至第二局部同步模組 22，且當資料從資料閘鎖器 9 被輸出時，為避免第二延長訊號到達第二可停止時脈產生器 26 的時間，和

處理資料的時間過於接近，第二可停止時脈控制器 26 可以延長或停止第二局部時脈以避免同步化失敗。在當第二局部同步模組 22 收到第二局部時脈訊號後，第二局部同步模組會接收儲存於資料門鎖器 9 內的資料。

第四圖係第一交握產生器 14 和第一可停止時脈控制器 16 的訊號轉換過程：

$S_{en}^+ - pulse^+ - Sreq^+ - S_{stretch}^+ - pulse^- - Sack^+ - Sreq^-$

$- Sack^- - S_{stretch}^-$ (“+” 表示上升緣訊號，“-” 表示下降緣訊號)。同樣

以上類似的訊號轉換過程於發生在第二非同步包覆器 20 和非同步先進先出暫存器單元 2 之介面。第五 A 圖是第一交握產生器 14 的實際結構，其利用 Muller C 元件構成，能夠減少額外的面積(area overhead)，而第二交握產生器 24 之結構如第五 A 圖所示，係接收第二致能訊號(R_{en})、接收者回應訊號 ($Rack$)與產生第二延長訊號($R_{stretch}$)、接收者要求訊號($Rreq$)；第五 B 圖是第一可停止時脈控制器 16 的實際結構，因此當在第一延長訊號 ($S_{stretch}$)的下降緣之後，第一時脈訊號(S_{clk})重新震盪的時間會很短，故減少第一時脈訊號延遲時間以及功率的消耗，而第二可停止時脈控制器 26 之結構如第五 B 圖所示，係接收第二延長訊號($R_{stretch}$)與產生第二局部時脈訊號(R_{clk})。

此外，狀態偵測器 7 係利用修改過的 Muller C 30 元件所構成的，如第六 A 圖和第六 B 圖所示，第六 A 圖係修改過的 Muller C 元件 30 簡單示意圖，第六 B 圖修改過的 Muller C 元件 30 實際結構，請同時參閱第三圖，狀態偵測器 7 更包括一第一互補式電晶體 301、一第二互補式電晶體 302、

一 N 型電晶體 303 及一第一輸出端 304，第一互補式電晶體 301 接收傳送者回應訊號，且第一互補式電晶體 301 之 P 型電晶體外接一反相器 305；第二互補式電晶體 302 接收接收者回應訊號，第二互補式電晶體 302 位於第一互補式電晶體 301 之 P 型電晶體和 N 型電晶體之間；N 型電晶體 303 連接在第二互補式電晶體 302 之 P 型電晶體和 N 型電晶體之間，N 型電晶體 303 作為狀態偵測器 7 偵測到資料閘鎖器 9 有資料存放時之一重置(reset)訊號的輸入端；第一輸出端 304，其外接一反相器 305，第一輸出端 301 係位於第二互補式電晶體之間 302，作為狀態偵測器 7 的訊號輸出端。當狀態偵測器 7 偵測資料閘鎖器 9 之資料儲存的空滿狀態，如果有資料存在資料閘鎖器 9 中，狀態偵測器 7 設定” full” 的狀態(定 full=1, empty=0)，如果沒有資料存在資料閘鎖器 9 中，狀態偵測器 7 設定” empty” 的狀態(定 empty=1, full=0)，至於是 full=1 或是 empty=1，要利用傳送者要求訊號(Sreq)和傳送者回應訊號(Sack)輸入至修改過的 Muller C 元件 30 作判斷，其中，修改過的 Muller C 元件 30 有一重置(reset)訊號輸入端。一開始，重置訊號會使得無任何資料儲存在資料閘鎖器 9，當對於先進先出暫存器單元 Sreq=1 時，資料會儲存在資料閘鎖器 9，且使得 full=1；當 Rreq=1 時，儲存在資料閘鎖器 9 的資料要被輸出，重置原本的 full=1 變成 empty=1。其中，Sreq 和 Rreq 不能同時為 1，是為了避免資料從輸入端直接穿透 (transparent problem)到輸出端，沒有暫存在資料閘鎖器中。綜合以上，狀態偵測器 7 運作機制為：

If Sack= 1, then full->0

Else If Rack= 1, then empty->1

(Sack 和 Rack 不能同時為 1)

然而，傳送者交握控制器 3 的目的就是產生傳送者回應訊號至第一交握產生器 14，其中，傳送者交握控制器 3 係利用修改過的 Muller C 元件 32 構成，如第七 A 圖和第七 B 所示，第七 A 圖為修改過的 Muller C 元件 32 簡單示意圖，第七 B 圖為修改過的 Muller C 元件 32 實際結構，請同時參閱第三圖，傳送者交握控制器 3 更包括一第三互補式電晶體 321、一第四互補式電晶體 322、一第五互補式電晶體 323、一第一 P 型電晶體 324 及一第二輸出端 325，第三互補式電晶體 321 接收接收者回應訊號，且第三互補式電晶體 321 之 N 型電晶體外接一反相器 326，第四互補式電晶體 322 接收傳送者回應訊號之反相訊號，且第四互補式電晶體 322 位於第三互補式電晶體 321 之 P 型電晶體和 N 型電晶體之間，第五互補式電晶體 323，其接收傳送者要求訊號，且第五互補式電晶體 323 位於第四互補式電晶體 322 之 P 型電晶體和 N 型電晶體之間，第一 P 型電晶體 324，其連接在第五互補式電晶體 323 之 P 型電晶體和 N 型電晶體之間，是作為狀態偵測器 7 偵測到資料閘鎖器 9 有資料存放之反相訊號輸入端，第二輸出端 325 外接一反相器 326，第二輸出端 325 係位於第五互補式電晶體 323 之 P 型電晶體和 N 型電晶體之間，係作為傳送者交握控制器 3 的訊號輸出端。當第一交握產生器 14 產生傳送者要求訊號至有接收傳送者憑證 4 的傳送者交握控制器 3 時，其傳送者交握控制器 3 之運作機制為：

If full=1, then Sack->0

Else If Rack=1, then Sack \rightarrow 0(unchanged)

Else If Sreq=1, then Sack \rightarrow 1

Else If Sreq=0, then Sack \rightarrow 0

其中，” If Rack=1, then Sack \rightarrow 0(unchanged)” ，係避免 Sreq 和 Rreq 同時為 1，也就是當 Rack=0 時，使暫存在資料門鎖器 9 的資料不輸出之後，而 Sack 將會是 1 準備使資料輸入。這樣，就能避免資料直接穿透的問題發生。

再者，接受者交握控制器 5 的目的就是產生接收者回應訊號至第二交握產生器 24，其中，接受者交握控制器 5 係修改過的 Muller C 元件 34 所構成，如第八 A 圖和第八 B 所示，第八 A 圖為 Muller C 元件 34 簡單符號象徵，第八 B 圖為 Muller C 元件 34 實際結構，請同時參閱第三圖，接收者交握控制器 5 更包括一第六互補式電晶體 341、一第七互補式電晶體 342、一第二 P 型電晶體 343 及一第三輸出端 344，第六互補式電晶體 341 接收接收者回應訊號之反相訊號，第七互補式電晶體 342 接收該接收者要求訊號，且第七互補式電晶體 342 係位於第六互補式電晶體 341 之 P 型電晶體和 N 型電晶體之間，第二 P 型電晶體 343 連接在第七互補式電晶體 342 之 P 型電晶體和 N 型電晶體之間，是作為狀態偵測器 7 偵測到資料門鎖器 9 無資料存放的反相訊號輸入端，第三輸出端 344 外接一反相器 345，第三輸出端 344 係位於第七互補式電晶體 342 之 P 型電晶體和 N 型電晶體之間，係作為接收者交握控制器 5 的訊號輸出端。當第二交握產生器 24 產生傳送者要求訊號至有接受者憑證 6 的接收者交握控制器 5 時，其接收者交握控

制器 5 之運作機制為：

If Empty=1 , then Rack->0

Else If Rreq=1 , then Rack ->1

Else If Rreq=0 , then Rack ->0

當第二圖之非同步先進先出暫存器單元 2 係為雙電壓 GALS 系統時之介面結構上時，則第一非同步包覆器 10 要外接一第一供應電壓(V_{DDL})，第二非同步包覆器 20 要外接一第二供應電壓(V_{DDH})，且第二供應電壓之大小大於第一供應電壓。

本發明第二較佳實施例，係將第九圖所提出的雙電壓系統非同步先進先出暫存器單元應用在第二圖之非同步先進先出暫存器單元 2 係雙電壓 GALS 系統時之介面結構。此外，第九圖雙電壓系統的非同步先進先出暫存器單元，實線係表外接第一供應電壓(V_{DDL})，虛線係表外接第二供應電壓(V_{DDH})。此雙電壓系統的非同步先進先出暫存器單元其結構與第三圖單電壓系統的非同步先進先出暫存器單元類似，皆包括一資料門鎖器 36，負責資料的存取，一狀態偵測器 7 負責偵測資料門鎖器 36 的狀態，一傳送者交握控制器 3 負責產生一傳送者回應訊號至第一交握產生器 14，一接收者交握控制器 5 負責產生一接收者回應訊號至第二交握產生器 24，惟，其中資料門鎖器 36 係具有一準位轉換正反器 38(level converter flip flop, LCFF)，且在狀態偵測器 7 和接收者交握控制器 5 之間有一非同步準位轉換器(asynchronous level converter, ALC)39。

然而，在狀態偵測器 7 和接收者交握控制器 5 之間，設置非同步準位

轉換器 39 係由於在外接第一供應電壓(V_{DDL})的部分可能必須驅動外接第二供應電壓(V_{DDH})的輸入端，故受到 V_{DDL} 驅動的 P 型電晶體在未被完全關掉時，從低電壓到高電壓資料傳輸時的延遲時間將會增加，且會有直流電流經過此 P 型電晶體，所以利用非同步準位轉換器 39 第一供應電壓之大小變換至第二供應電壓之大小，以解決上述問題。以及，在資料門鎖器 36 的準位轉換正反器(LCFF)38，具有正反器和準位轉換的功能，能降低延遲時間和功率消耗，且準位轉換正反器 38 用的是 pulsed flip flop，對準位轉換正反器 38 在取樣(sample)傳送者回應訊號時，就如同是一個脈波(pulse)，故不需要脈波產生器。第十 A 圖為準位轉換正反器 38 的實際結構，第十 B 圖為非同步準位轉換器 39 的實際結構。

在第九圖雙電壓系統的非同步先進先出暫存器單元之狀態偵測器、傳送者交握控制器，和接收者交握控制器與第三圖單電壓系統的非同步先進先出暫存器單元一樣，亦就是分別皆採用相同的單電壓系統的非同步先進先出暫存器單元之修正過的 Muller C 元件 30、32、34，且第九圖所提出的雙電壓系統非同步先進先出暫存器單元運用於雙電壓 GALS 系統時之介面結構訊號轉換過程類似於第一較佳實施例，請同時參閱第六 B 圖、第七 B 圖及第八 B 圖，其元件連接關係均與第一實施例類似，在此不加以贅述。由於接收者交握控制器 5 要有接收該接收者憑證 6，才能將儲存於資料門鎖器 36 的資料輸出，倘若此時資料門鎖器 36 之所儲存的資料已經輸出，則必須等到資料門鎖器 36 有資料儲存時，再將接收者回應訊號傳送至該第二非同步包覆器；非同步準位轉換器 39 可以防止 P 型電晶體在不會被完全關掉的

時候，所造成功率之消耗。

本發明之第三較佳實施例係將上述所提出之雙電壓系統的非同步先進先出暫存器單元應用在以全域非同步局部同步(GALS)系統為根基，雙電源電壓十六點 radix-2²之快速傅利葉轉換(FFT)架構（見第十一 A 圖），此架構有三個非同步包覆器，非同步包覆器 1、非同步包覆器 2 和非同步包覆器 3，非同步包覆器 1 和非同步包覆器 3 外接 $V_{DDL}=0.9V$ ，非同步包覆器 2 外接 $V_{DDH}=1.2V$ ，其中，雙電壓系統時的非同步先進先出暫存器單元的 GALS 介面架構位於非同步包覆器 1 和非同步包覆器 2 的第一介面 40(見第十一 B 圖)，而 D flip-flop(DFF)47 和一非同步準位轉換器(ALC)39 構成的非同步架構位於非同步包覆器 2 和非同步包覆器 3 的第二介面 42(見第十一 C 圖)。其中，第二介面 42 的寫入埠(write-port)43 相當於第一交握產生器 14，讀取埠(read-port)45 相當於第二交握產生器 24，見第十二圖係寫入埠 43 與第五可停止時脈產生器 58 的訊號轉換過程，第十三圖係讀取埠 45 與第六可停止時脈產生器 60 的訊號轉換過程。其中，第五可停止時脈控制器 58 和第六可停止時脈控制器 60 之實際結構如第五 A 圖所示。

將第十一 A 圖以全域非同步局部同步(GALS)系統為根基，雙電壓源系統之快速傅利葉轉換(FFT)架構與第十四 A 圖為以全域非同步局部同步系統為根基之單電壓源系統之快速傅利葉轉換架構，第十五圖為雙電壓源系統之同步快速傅利葉轉換架構，和第十六圖為單電壓源系統之同步快速傅利葉轉換架構利用 TSMC0.13um 技術模擬結果來作比較。

見表格 1 和第十七圖比較這四種不同的快速傅利葉轉換架構的功率消

耗，可以發現雙電壓系統比單電壓系統損耗的功率少。在同步 FFT 架構，雙電壓系統約比單電壓系統減少 12.5% 的功率。以全域非同步局部同步系統為根基的 FET 架構(見第十一圖 A-C 和第十四圖 A-C)，其第一包覆器和第三包覆器與其中一個同步 FFT 架構的第一包覆器和第三包覆器比較，功率消耗較大，這是由於以全域非同步局部同步系統為根基的 FET 架構之操作的頻率較高且介面電路較多。在全域非同步局部同步系統為根基的 FFT 架構之第二包覆器的部份，與同步 FFT 架構比較，減少很多的功率，這是因為當資料從第一包覆器尚未要傳送時，GALS 的第二包覆器必須等到資料要傳送過來，所以此時沒有對 ROM 和複雜的多工器作時脈轉換(clock switch)，因此節省時脈轉換時所消耗的功率。然而，從第十七圖得知以全域非同步局部同步系統為根基的 FFT 架構與其中一個同步 FFT 架構比較，總體功率並沒有減少，這是因為全域非同步局部同步系統為根基的 FFT 架構具有較多的介面電路，其所消耗的功率大於沒有進行時脈轉換所節省下的功率。

此外，第十八圖係比較此四個不同的 FFT 架構的延遲時間，以全域非同步局部同步系統為根基的 FFT 架構的延遲時間較短，這係因為第一包覆器的時脈頻率比同步的 FFT 架構快，故延遲時間減少。所以，用較大的全域非同步局部同步系統為根基的 FFT 系統，應用雙電壓系統之 16 點的 radix-2² 單電路延遲回饋(single-path delay feedback)的 FFT 架構下可以節省較多的功率消耗和降低更多的延遲時間。

表格 1

	第一	第二	第三
--	----	----	----

	包覆器	包覆器	包覆器
同步單電壓 系統	Clock=9ns		
	VDDH=1.2V		
同步雙電壓 系統	Clock=9ns		
	VDDL=0.9V	VDDH=1.2V	VDDL=0.9V
GALS 單電 壓系統	Clock=3.5ns	Clock=9ns	Clock=3.5ns
	VDDH=1.2V		
GALS 雙電 壓系統	Clock=5ns	Clock=9ns	Clock=5ns
	VDDL=0.9V	VDDH=1.2V	VDDL=0.9V

以上所述之實施例僅係為說明本發明之技術思想及特點，其目的在使熟習此項技藝之人士能夠瞭解本發明之內容並據以實施，當不能以之限定本發明之專利範圍，即大凡依本發明所揭示之精神所作之均等變化或修飾，仍應涵蓋在本發明之專利範圍內。

【圖式簡單說明】

第一圖為本發明之非同步先進先出暫存器架構示意圖。

第二圖為本發明之非同步先進先出暫存器單元在 GALS 系統的介面結構示意圖。

第三圖為本發明之一應用於單電壓系統的非同步先進先出暫存器單元的較佳實施例。

第四圖為本發明第一交握產生器和第一可停止時脈控制器的訊號轉換。

第五 A 圖為本發明第一交握產生器的實際結構。

第五 B 圖為本發明第一可停止時脈控制器的實際結構。

第六 A 圖為本發明之修改過的 Muller C 元件簡單示意圖。

第六 B 圖為本發明之修改過的 Muller C 元件的實際結構。

第七 A 圖為本發明之修改過的 Muller C 元件簡單示意圖。

第七 B 圖為本發明之修改過的 Muller C 元件的實際結構。

第八 A 圖為本發明之修改過的 Muller C 元件簡單示意圖。

第八 B 圖為本發明之修改過的 Muller C 元件的實際結構。

第九圖為本發明之一應用於雙電壓系統的非同步先進先出暫存器單元的較佳實施例。

第十 A 圖為本發明準位轉換正反器的實際結構。

第十 B 圖為本發明非同步準位轉換器的實際結構。

第十一 A 圖為本發明之以全域非同步局部同步系統為根基，雙電壓源系統之快速傅利葉轉換架構。

第十一 B 圖為本發明之以全域非同步局部同步系統為根基，雙電壓源系統之快速傅利葉轉換架構之第一介面。

第十一 C 圖為本發明之以全域非同步局部同步系統為根基，雙電壓源系統之快速傅利葉轉換架構之第二介面。

第十二圖為本發明之以全域非同步局部同步系統為根基，雙電壓源系統之快速傅利葉轉換架構，在第二介面之寫入埠與第五可停止時脈控制器的訊號轉換。

第十三圖為本發明之以全域非同步局部同步系統為根基，雙電壓源系統之

快速傅利葉轉換架構，在第二介面之讀取埠與第六可停止時脈控制器的訊號轉換。

第十四 A 圖為本發明之以全域非同步局部同步系統為根基，單電壓源系統之快速傅利葉轉換架構。

第十四 B 圖為本發明之以全域非同步局部同步系統為根基，單電壓源系統之快速傅利葉轉換架構之第三介面。

第十四 C 圖為本發明之以全域非同步局部同步系統為根基，單電壓源系統之快速傅利葉轉換架構之第四介面。

第十五圖為本發明之雙電壓源系統，同步快速傅利葉轉換架構。

第十六圖為本發明之單電壓源系統，同步快速傅利葉轉換架構。

第十七圖為本發明之四個不同快速傅利葉轉換架構的功率消耗。

第十八圖為本發明之四個不同快速傅利葉轉換架構的延遲時間。

【主要元件符號說明】

2 非同步先進先出暫存器單元

3 傳送者交握控制器 4 傳送者憑證

5 接收者交握控制器 6 接收者憑證

7 狀態偵測器 8 暫存器

9 資料閃鎖器 10 第一非同步包覆器

12 第一局部同步模組

14 第一交握產生器

16 第一可停止時脈控制器

- 20 第二非同步包覆器
- 22 第二局部同步模組
- 24 第二交握產生器
- 26 第二可停止時脈控制器
- 30 修正過的 Muller C 元件
- 301 第一互補式電晶體
- 302 第二互補式電晶體
- 303 N 型電晶體
- 304 第一輸出端
- 305 反相器
- 32 修正過的 Muller C 元件
- 321 第三互補式電晶體
- 322 第四互補式電晶體
- 323 第五互補式電晶體
- 324 第一 P 型電晶體
- 325 第二輸出端
- 326 反相器
- 34 修正過的 Muller C 元件
- 341 第六互補式電晶體
- 342 第七互補式電晶體
- 343 第二 P 型電晶體

- 344 第三輸出端
- 345 反相器
- 36 資料門鎖器
- 38 準位轉換正反器
- 39 非同步準位轉換器
- 40 第一介面
- 42 第二介面
- 43 寫入埠
- 44 第三介面
- 45 讀取埠
- 46 第四介面
- 47 DFF(D Flip Flop , D 型正反器)
- 48 第一包覆器
- 50 第二包覆器
- 52 第三包覆器
- 54 第三可停止時脈控制器
- 56 第四可停止時脈控制器
- 58 第五可停止時脈控制器
- 60 第六可停止時脈控制器
- 62 第七可停止時脈控制器
- 64 第八可停止時脈控制器

66 第九可停止時脈控制器

68 第十可停止時脈控制器

十、申請專利範圍：

1.一種單電壓系統之非同步先進先出暫存器單元，係位於一第一非同步包覆器和一第二非同步包覆器之間，而該單電壓系統之非同步先進先出暫存器單元包括：

一資料門鎖器，包括一暫存器，負責資料的輸入與輸出；

一狀態偵測器，其偵測該資料門鎖器內的資料存取狀態；

一傳送者交握控制器，其連接在該資料門鎖器和該狀態偵測器之間，該傳送者交握控制器係透過該狀態偵測器得知該資料門鎖器的存放空間未滿，以及接收一傳送者憑證(sender's token)的訊號，產生一傳送者回應訊號給該第一非同步包覆器；以及

一接收者交握控制器，其連接在該資料門鎖器和該狀態偵測器之間，該接收者交握控制器係透過該狀態偵測器得知該資料門鎖器有資料存放，以及接收一接收者憑證(receiver's token)的訊號，產生一接收者回應訊號給該第二非同步包覆器。

2.如申請專利範圍第1項所述之單電壓系統之非同步先進先出暫存器單元，其中該傳送者交握控制器要有接收該傳送者憑證，才能將資料儲存在該資料門鎖器，倘若此時該資料門鎖器沒有空間存放，則必須等到該資料門鎖器有存放空間，再將該傳送者回應訊號傳送至該第一非同步包覆器。

3.如申請專利範圍第1項所述之單電壓系統之非同步先進先出暫存器單元，其中該接收者交握控制器要有接收該接收者憑證，才能將儲存於該資料門鎖器的資料輸出，倘若此時該資料門鎖器之所儲存的資料已經輸出，則必須等到該資料門鎖器內有資料儲存時，再將該接收者回應訊號傳送至

該第二非同步包覆器。

4.如申請專利範圍第 1 項所述之單電壓系統之非同步先進先出暫存器單元，其中該第一非同步包覆器更包括：

一第一局部同步模組，當該第一局部同步模組要將資料輸入到該資料門鎖器，會產生一第一致能信號開始運作；

一第一交握產生器，其接收該第一致能訊號，會產生一傳送者要求訊號給該傳送者交握控制器，和產生一第一延長訊號，和負責接收從該傳送者交握控制器所產生的該傳送者回應訊號；以及

一第一可停止時脈控制器，其接收處理該第一延長訊號，和產生一第一局部時脈給該第一局部同步模組後，該第一局部同步模組再將資料傳送到該資料門鎖器。

5.如申請專利範圍第 1 項所述之單電壓系統之非同步先進先出暫存器單元，其中該第二非同步包覆器更包括：

一第二局部同步模組，當該第二局部同步模組要將暫存在該資料門鎖器的資料輸出時，會產生一第二致能信號開始運作；

一第二交握產生器，其接收該第二致能訊號，和產生一接收者要求訊號給該接收者交握控制器，產生一第二延長訊號，和負責接收從該接收者交握控制器所產生的該接收者回應訊號；以及

一第二可停止時脈控制器，其接收處理該第二延長訊號，和產生一第二局部時脈給該第二局部同步模組後，該第二局部同步模組會接收儲存於該資料門鎖器內的資料。

6.如申請專利範圍第4項所述之單電壓系統之非同步先進先出暫存器單元，其中該第一可停止時脈控制器能夠停止或延長該第一延長訊號，以避免該第一延長訊號到達該第一可停止時脈控制器的時間，與處理資料被傳送至該資料門鎖器的時間過於接近。

7.如申請專利範圍第5項所述之單電壓系統之非同步先進先出暫存器單元，其中該第二可停止時脈控制器能夠停止或延長該第二延長訊號，以避免該第二延長訊號到達該第二可停止時脈控制器的時間，與處理儲存於該資料門鎖器的資料輸出時間過於接近。

8.如申請專利範圍第1項所述之單電壓系統之非同步先進先出暫存器單元，其中該狀態偵測器更包括：

一第一互補式電晶體，其接收該傳送者回應訊號，且該第一互補式電晶體之P型電晶體外接一反相器；

一第二互補式電晶體，其接收該接收者回應訊號，該第二互補式電晶體位於該第一互補式電晶體之P型電晶體和N型電晶體之間；

一N型電晶體，其連接在該第二互補式電晶體之P型電晶體和N型電晶體之間，該N型電晶體作為該狀態偵測器偵測到該資料門鎖器有資料存放時之一重置(reset)訊號的輸入端；以及

一第一輸出端，其外接一反相器，該第一輸出端係位於該第二互補式電晶體之間，作為該狀態偵測器的訊號輸出端。

9.如申請專利範圍第4項所述之單電壓系統之非同步先進先出暫存器單元，其中該傳送者交握控制器更包括：

一第三互補式電晶體，接收該接收者回應訊號，且該第三互補式電晶體之 N 型電晶體外接一反相器；

一第四互補式電晶體，其接收該傳送者回應訊號之反相訊號，且該第四互補式電晶體位於該第三互補式電晶體之 P 型電晶體和 N 型電晶體之間；

一第五互補式電晶體，其接收該傳送者要求訊號，且該第五互補式電晶體位於該第四互補式電晶體之 P 型電晶體和 N 型電晶體之間；

一第一 P 型電晶體，其連接在該第五互補式電晶體之 P 型電晶體和 N 型電晶體之間，是作為該狀態偵測器偵測到該資料閃鎖器有資料存放之一反相訊號輸入端；以及

一第二輸出端，其外接一反相器，該第二輸出端係位於第五互補式電晶體之 P 型電晶體和 N 型電晶體之間，係作為該傳送者交握控制器的訊號輸出端。

10.如申請專利範圍第 5 項所述之單電壓系統之非同步先進先出暫存器單元，其中該接收者交握控制器更包括：

一第六互補式電晶體，其接收該接收者回應訊號之反相訊號；

一第七互補式電晶體，其接收該接收者要求訊號，且該第七互補式電晶體係位於該第六互補式電晶體之 P 型電晶體和 N 型電晶體之間；

一第二 P 型電晶體，其連接在該第七互補式電晶體之 P 型電晶體和 N 型電晶體之間，是作為該狀態偵測器偵測到該資料閃鎖器無資料存放之一反相訊號輸入端；以及

一第三輸出端，其外接一反相器，該第三輸出端係位於該第七互補式電晶

體之 P 型電晶體和 N 型電晶體之間，係作為該接收者交握控制器的訊號輸出端。

11.如申請專利範圍第 9 項所述之單電壓系統之非同步先進先出暫存器單元，其中該傳送者交握控制器的其中一控制訊號係來自該接收者交握控制器所產生的該接收者回應訊號，可以預防資料從資料輸入端直接穿透到資料輸出端。

12.一種雙電壓系統之非同步先進先出暫存器單元，係位於一第一非同步包覆器和一第二非同步包覆器之間，且該第一非同步包覆器係外接一第一供應電壓，該第二非同步包覆器係外接一第二供應電壓，又該第二供應電壓比該第一供應電壓大，而該雙電壓系統之非同步先進先出暫存器單元包括：

- 一資料門鎖器，其負責資料的輸入與輸出，並包括一準位轉換正反器，其具有正反器和準位轉換的功能；
- 一狀態偵測器，用來偵測該資料門鎖器內的資料存取狀態；
- 一傳送者交握控制器，其連接在該資料門鎖器和該狀態偵測器之間，該傳送者交握控制器係透過該狀態偵測器得知該資料門鎖器的存放空間未滿，以及接收一傳送者憑證(sender's token)的訊號，產生一傳送者回應訊號給該第一非同步包覆器；
- 一接收者交握控制器，連接在該資料門鎖器和該狀態偵測器之間，該接收者交握控制器係透過該狀態偵測器得知該資料門鎖器有資料存放，以及接收一接收者憑證(receiver's token)的訊號，產生一接收者回應訊號給該第二非同步包覆器；以及

一非同步準位轉換器，其連接於該接收者交握控制器和該狀態偵測器之間，用來將第一供應電壓之大小變換至第二供應電壓之大小。

13.如申請專利範圍第 12 項所述之雙電壓系統之非同步先進先出暫存器單元，其中該傳送者交握控制器要有接收該傳送者憑證，才能將資料儲存在該資料閘鎖器，倘若此時該資料閘鎖器沒有空間存放，則必須等到該資料閘鎖器有存放空間，再將該傳送者回應訊號傳送至該第一非同步包覆器。

14.如申請專利範圍第 12 項所述之雙電壓系統之非同步先進先出暫存器單元，其中該接收者交握控制器要有接收該接收者憑證，才能將儲存於該資料閘鎖器的資料輸出，倘若此時該資料閘鎖器之所儲存的資料已經輸出，則必須等到該資料閘鎖器有資料儲存時，再將該接收者回應訊號傳送至該第二非同步包覆器。

15.如申請專利範圍第 12 項所述之雙電壓系統之非同步先進先出暫存器單元，其中該第一非同步包覆器更包括：

一第一局部同步模組，當該第一局部同步模組要將資料輸入到該資料閘鎖器，會產生一第一致能信號開始運作；

一第一交握產生器，其接收該第一致能訊號，會產生一傳送者要求訊號給該傳送者交握控制器，和產生一第一延長訊號，和負責接收從該傳送者交握控制器所產生的該傳送者回應訊號；以及

一第一可停止時脈控制器，其接收處理該第一延長訊號，和產生一第一局部時脈給該第一局部同步模組後，該第一局部同步模組再將資料傳送到該資料閘鎖器。

16.如申請專利範圍第 12 項所述之雙電壓系統之非同步先進先出暫存器單元，其中該第二非同步包覆器更包括：

一第二局部同步模組，當該第二局部同步模組要將暫存在該資料閃鎖器的資料輸出時，會產生一第二致能信號開始運作；

一第二交握產生器，其接收該第二致能訊號，和產生一接收者要求訊號給該接收者交握控制器，產生一第二延長訊號，與負責接收從該接收者交握控制器所產生的該接收者回應訊號；以及

一第二可停止時脈控制器，接收處理該第二延長訊號，和產生一第二局部時脈給該第二局部同步模組後，該第二局部同步模組會接收儲存於該資料閃鎖器內的資料。

17.如申請專利範圍第 15 項所述之單電壓系統之非同步先進先出暫存器單元，其中該第一可停止時脈控制器能停止或延長該第一延長訊號，以避免該第一延長訊號到達該第一可停止時脈控制器的時間，與處理資料被傳送至該資料鎖器的時間過於接近。

18.如申請專利範圍第 16 項所述之單電壓系統之非同步先進先出暫存器單元，其中該第二可停止時脈控制器能停止或延長該第二延長訊號，以避免該第二延長訊號到達該第二可停止時脈控制器的時間，與處理儲存於該資料閃鎖器的資料輸出時間過於接近。

19.如申請專利範圍第 12 項所述之雙電壓系統之非同步先進先出暫存器單元，其中該狀態偵測器更包括：

一第一互補式電晶體，其接收該傳送者回應訊號，且該第一互補式電晶

體之 P 型電晶體外接一反相器；

一第二互補式電晶體，其接收該接收者回應訊號，該第二互補式電晶體位於該第一互補式電晶體之 P 型電晶體和 N 型電晶體之間；

一 N 型電晶體，其連接在該第二互補式電晶體之 P 型電晶體和 N 型電晶體之間，該 N 型電晶體作為該狀態偵測器偵測到該資料門鎖器有資料存放之一重置(reset)訊號的輸入端；以及

一第一輸出端，其外接一反相器，該第一輸出端係位於該第二互補式電晶體之 P 型電晶體和 N 型電晶體之間，作為該狀態偵測器的訊號輸出端。

20.如申請專利範圍第 15 項所述之雙電壓系統之非同步先進先出暫存器單元，其中該傳送者交握控制器更包括：

一第三互補式電晶體，其接收該接收者回應訊號，且該第三互補式電晶體之 N 型電晶體外接一反相器；

一第四互補式電晶體，其接收該傳送者回應訊號之反相訊號，且該第四互補式電晶體位於該第三互補式電晶體之 P 型電晶體和 N 型電晶體之間；

一第五互補式電晶體，其接收該傳送者要求訊號，且該第五互補式電晶體位於該第四互補式電晶體之 P 型電晶體和 N 型電晶體之間；

一第一 P 型電晶體，其連接在該第五互補式電晶體之 P 型電晶體和 N 型電晶體之間，是作為該狀態偵測器偵測到該資料門鎖器有資料存放的一反相訊號輸入端；以及

一第二輸出端，其外接一反相器，且該第二輸出端係位於該第五互補式電晶體之 P 型電晶體和 N 型電晶體之間，係作為該傳送者交握控制器的訊號

輸出端。

21.如申請專利範圍第 16 項所述之雙電壓系統之非同步先進先出暫存器單元，其中該接收者交握控制器更包括：

一第六互補式電晶體，其接收該接收者要求訊號之反相訊號；

一第七互補式電晶體，其接收該接收者要求訊號，且該第七互補式電晶體係位於該第六互補式電晶體之 P 型電晶體和 N 型電晶體之間；

一第二 P 型電晶體，其連接在該第七互補式電晶體之 P 型電晶體和 N 型電晶體之間，是作為該狀態偵測器偵測到該狀態閃鎖器無資料存放之一反相訊號輸入端；以及

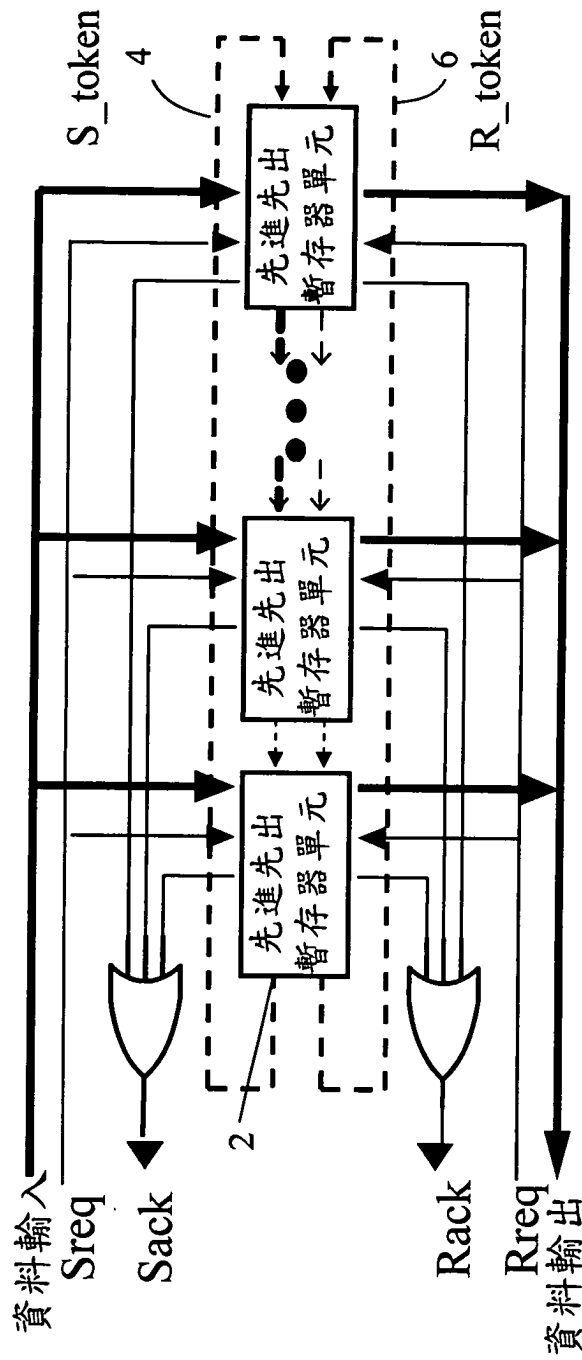
一第三輸出端，其外接一反相器，該第三輸出端係位於該第七互補式電晶體之 P 型電晶體和 N 型電晶體之間，係作為該接收者交握控制器的訊號輸出端。

22.如申請專利範圍第 20 項所述之雙電壓系統之非同步先進先出暫存器單元，其中該傳送者交握控制器的其中一控制訊號係來自該接收者交握控制器的輸出訊號，可以預防資料從資料輸入端直接穿透到資料輸出端。

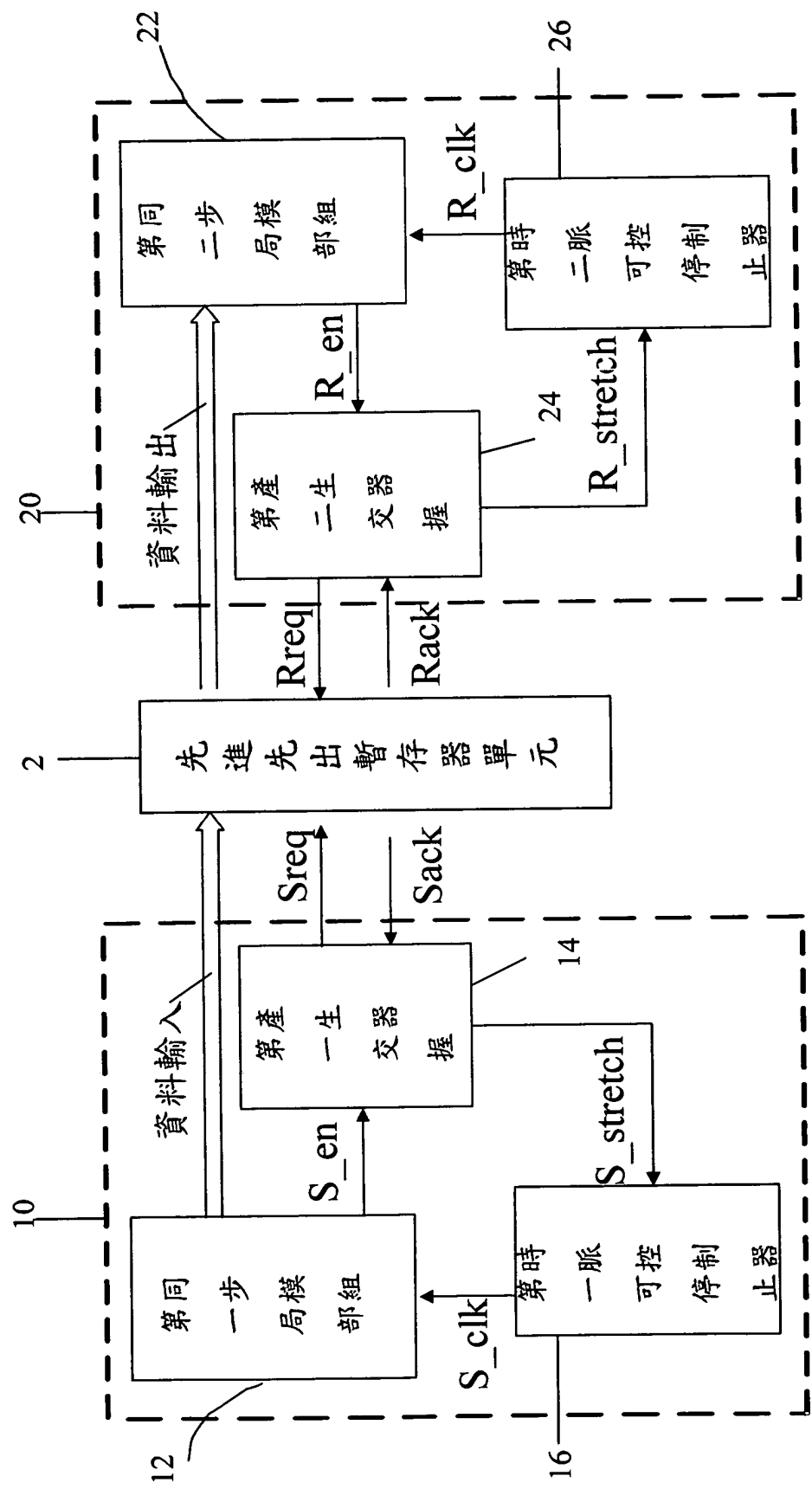
23.如申請專利範圍第 12 項所述之雙電壓系統之非同步先進先出暫存器單元，其中該準位轉換正反器用的係脈波正反器，該準位轉換正反器取樣該傳送者回應訊號時，就相當於是一個脈波。

24.如申請專利範圍第 19、20 或 21 項所述之雙電壓系統之非同步先進先出暫存器單元，其中該非同步準位轉換器可以防止 P 型電晶體在不會被完全關掉的時候，所造成功率率的消耗。

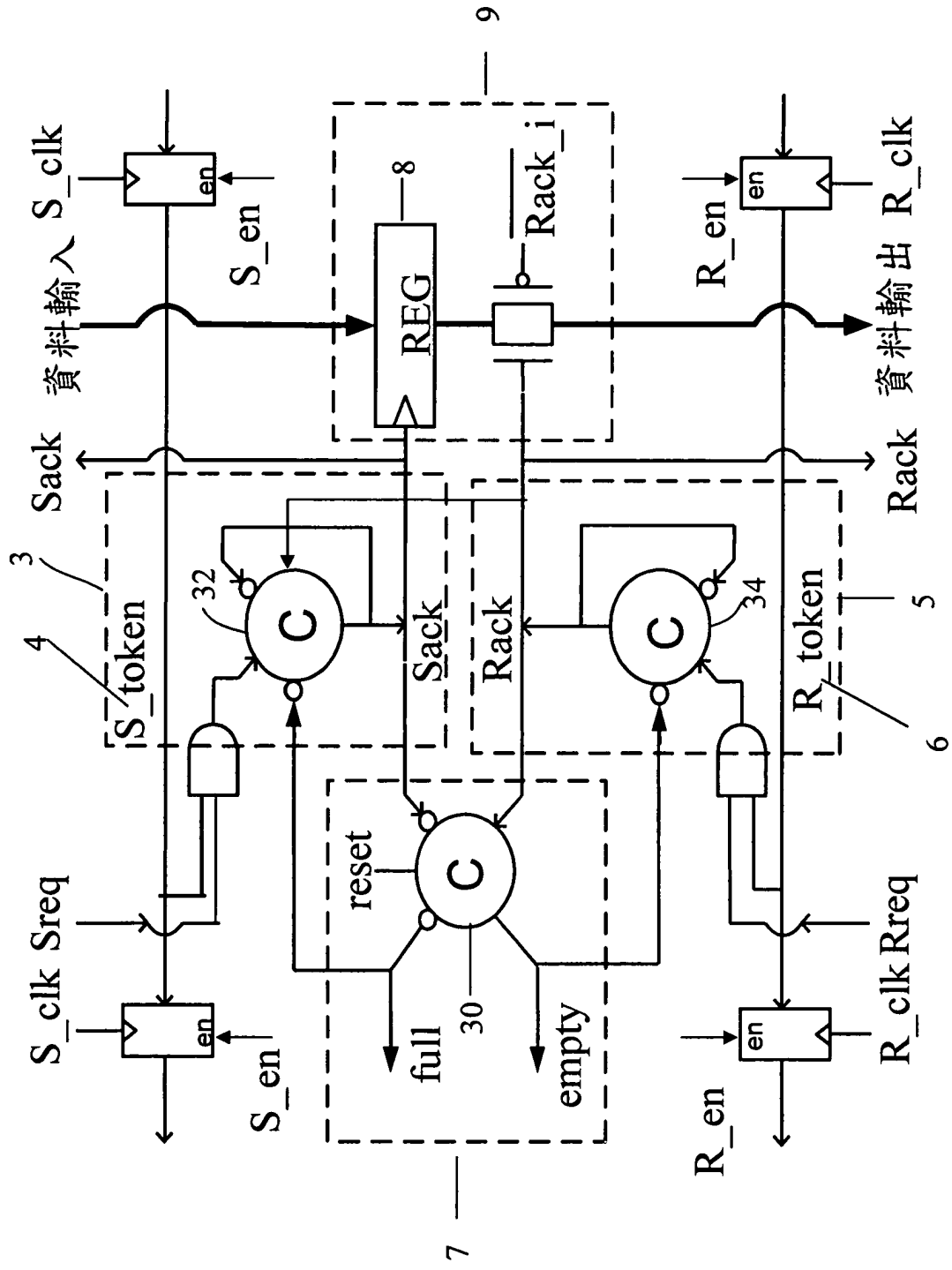
十一、圖式：



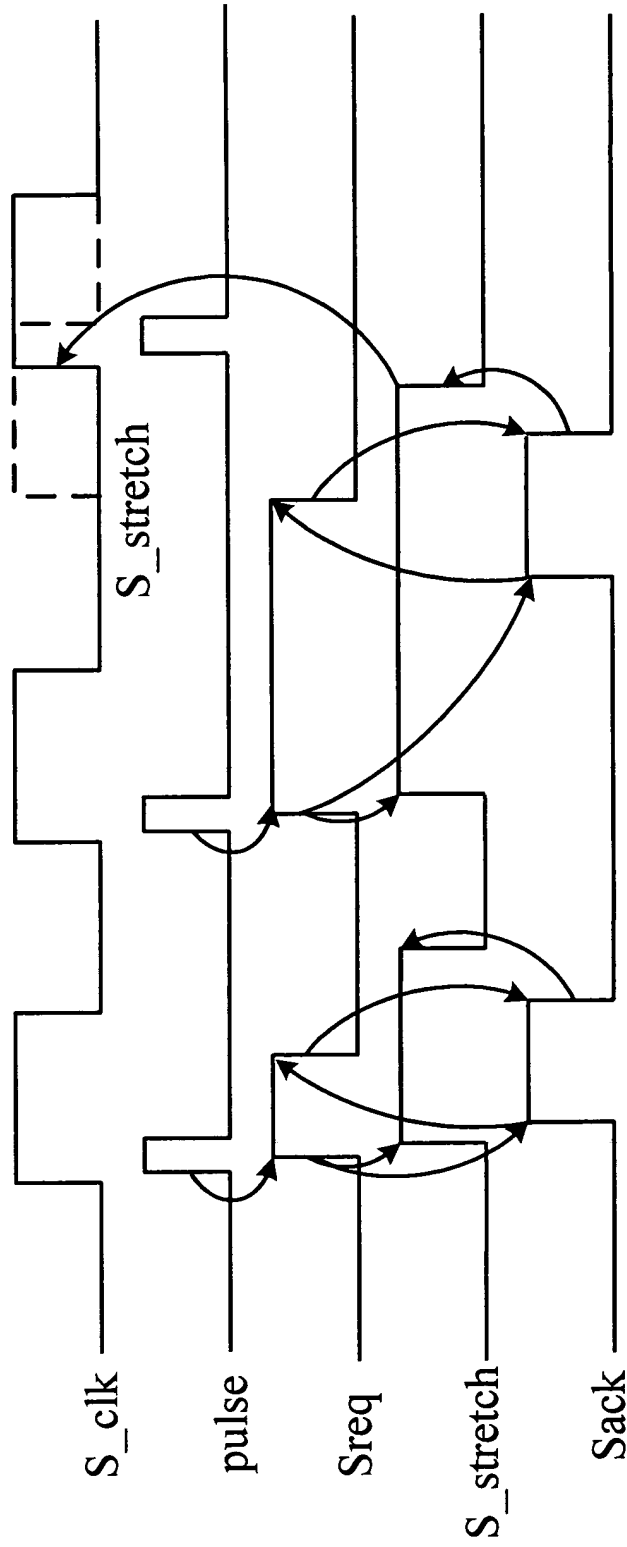
第一圖



第二圖

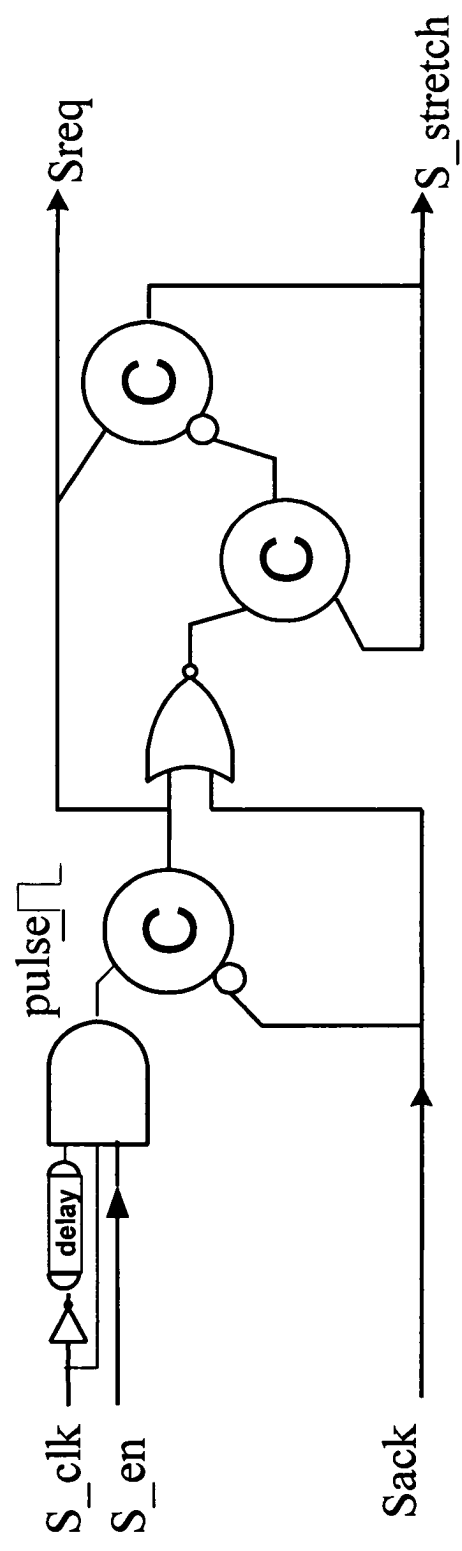


第三圖

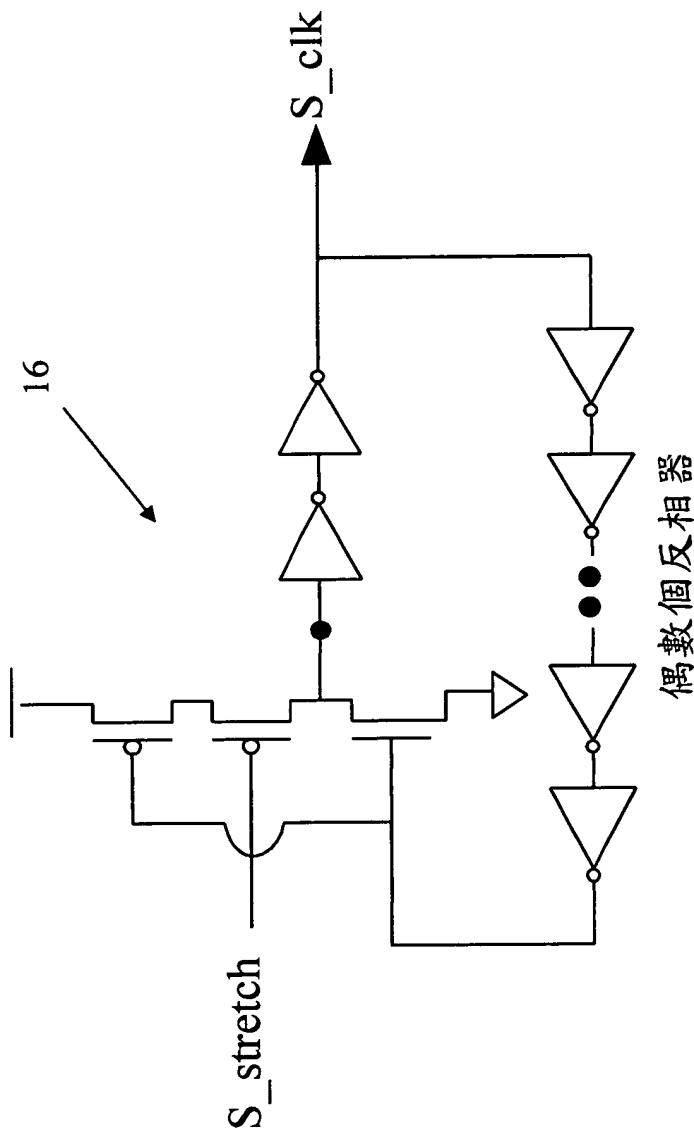


第四圖

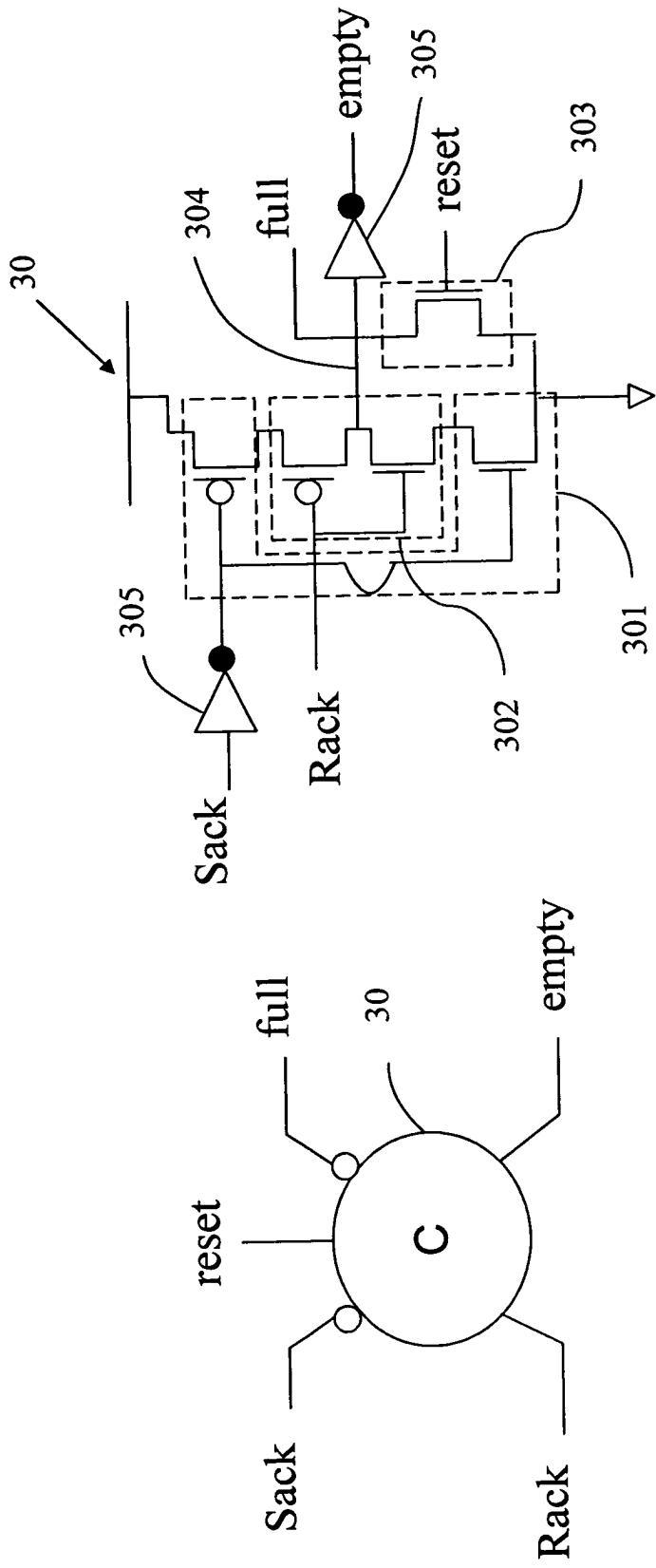
14



第五A圖

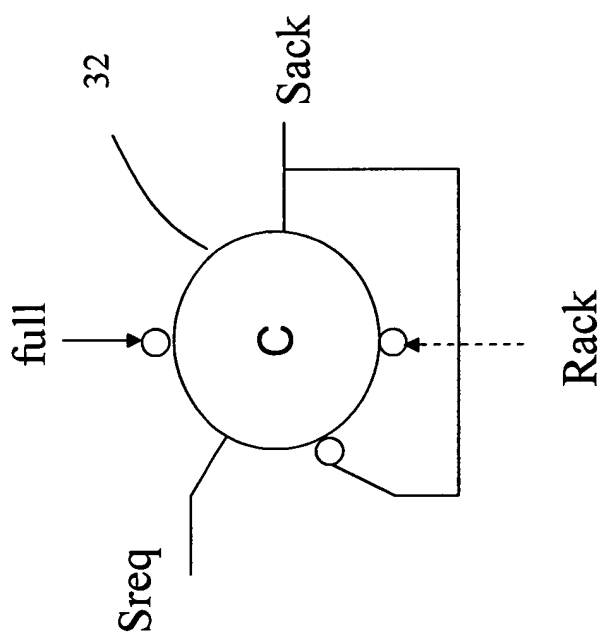


第五B圖

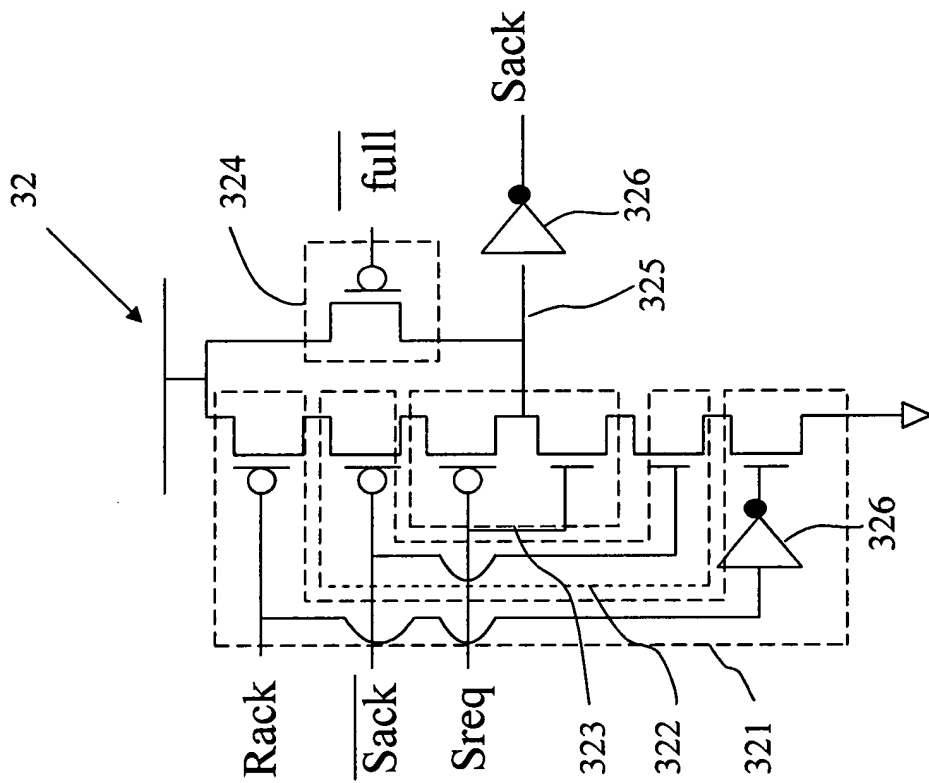


第六B圖

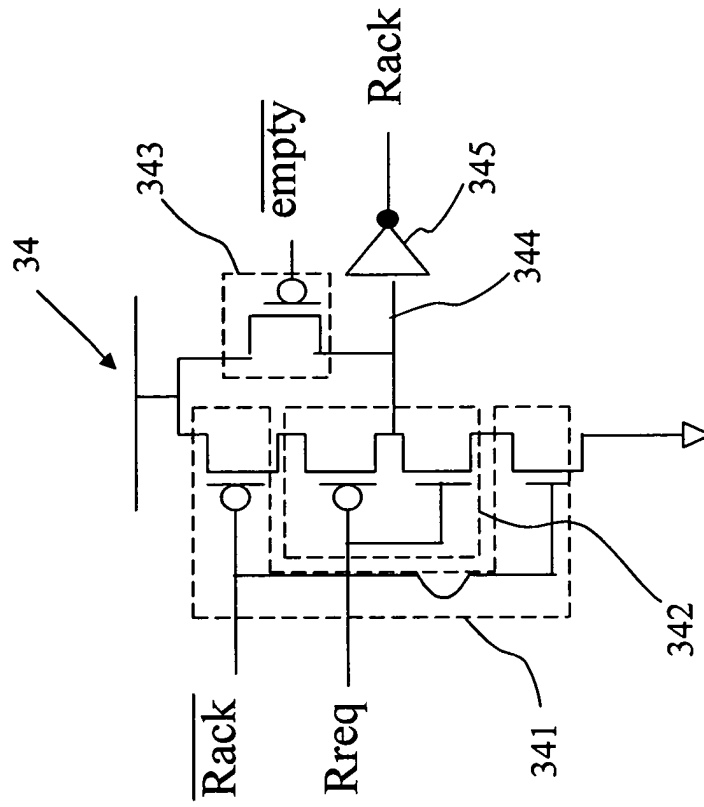
第六A圖



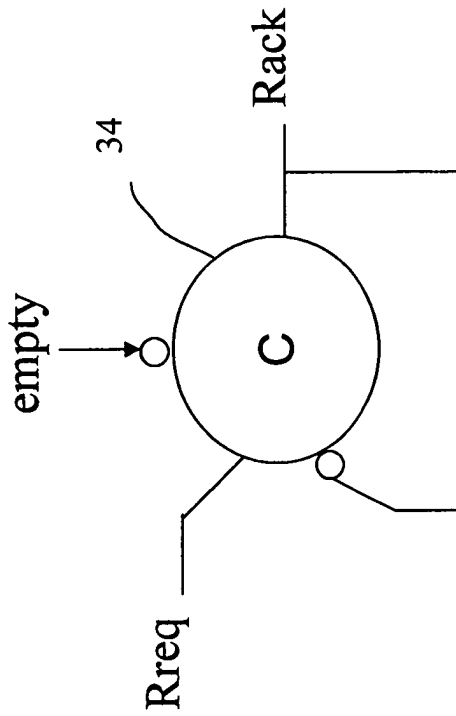
第七A圖



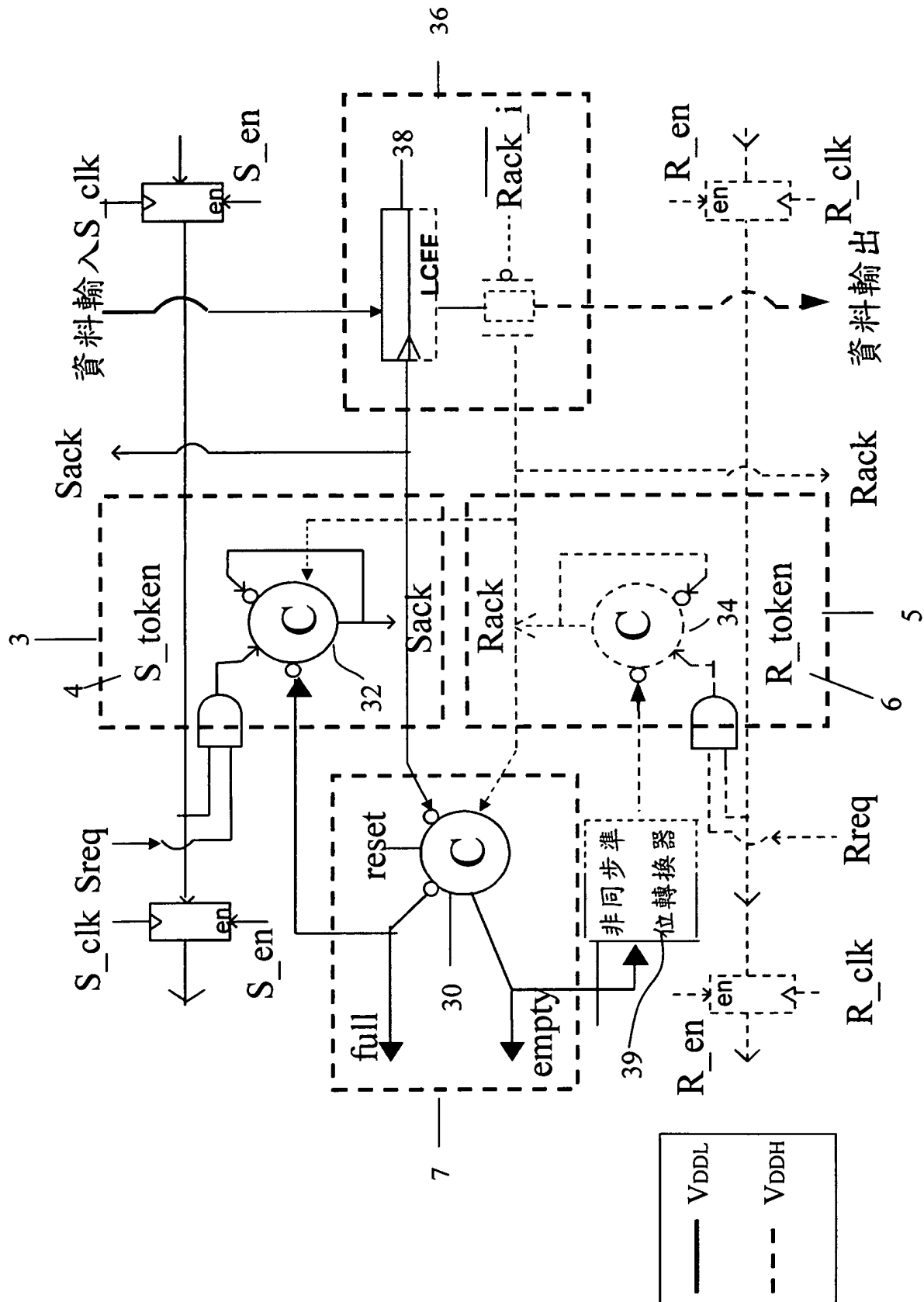
第七B圖



第八B圖

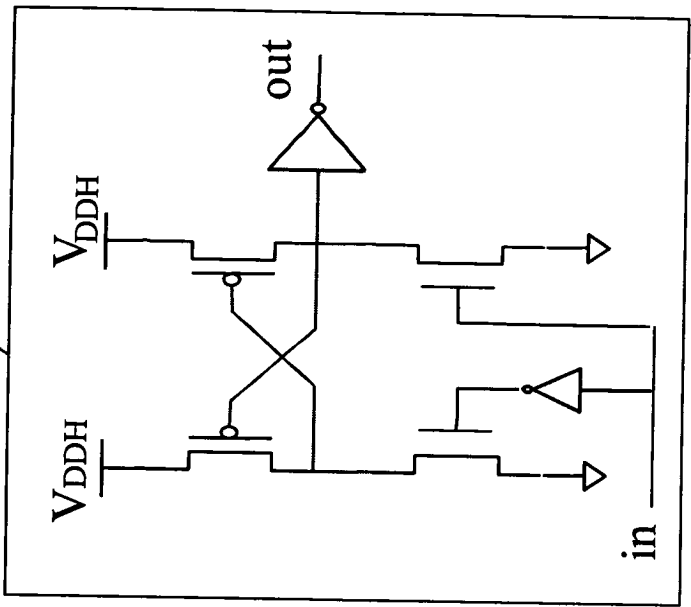


第八A圖



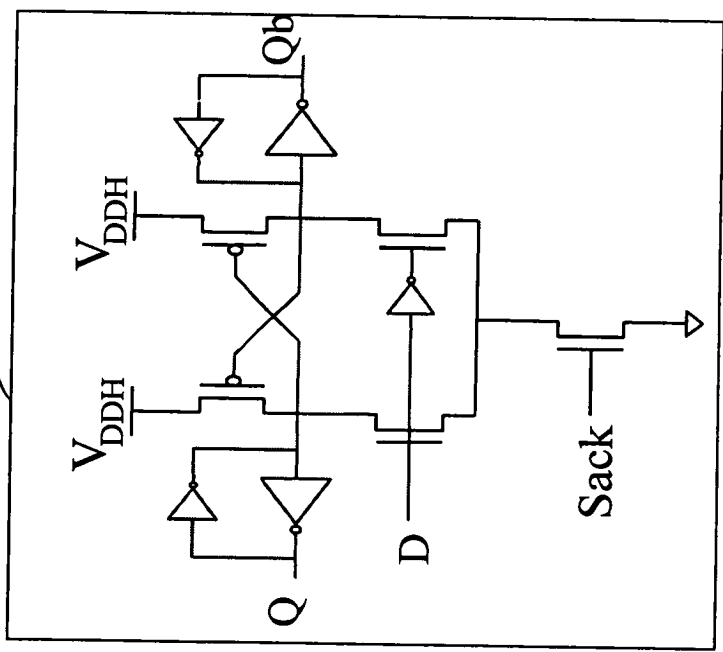
第九圖

39

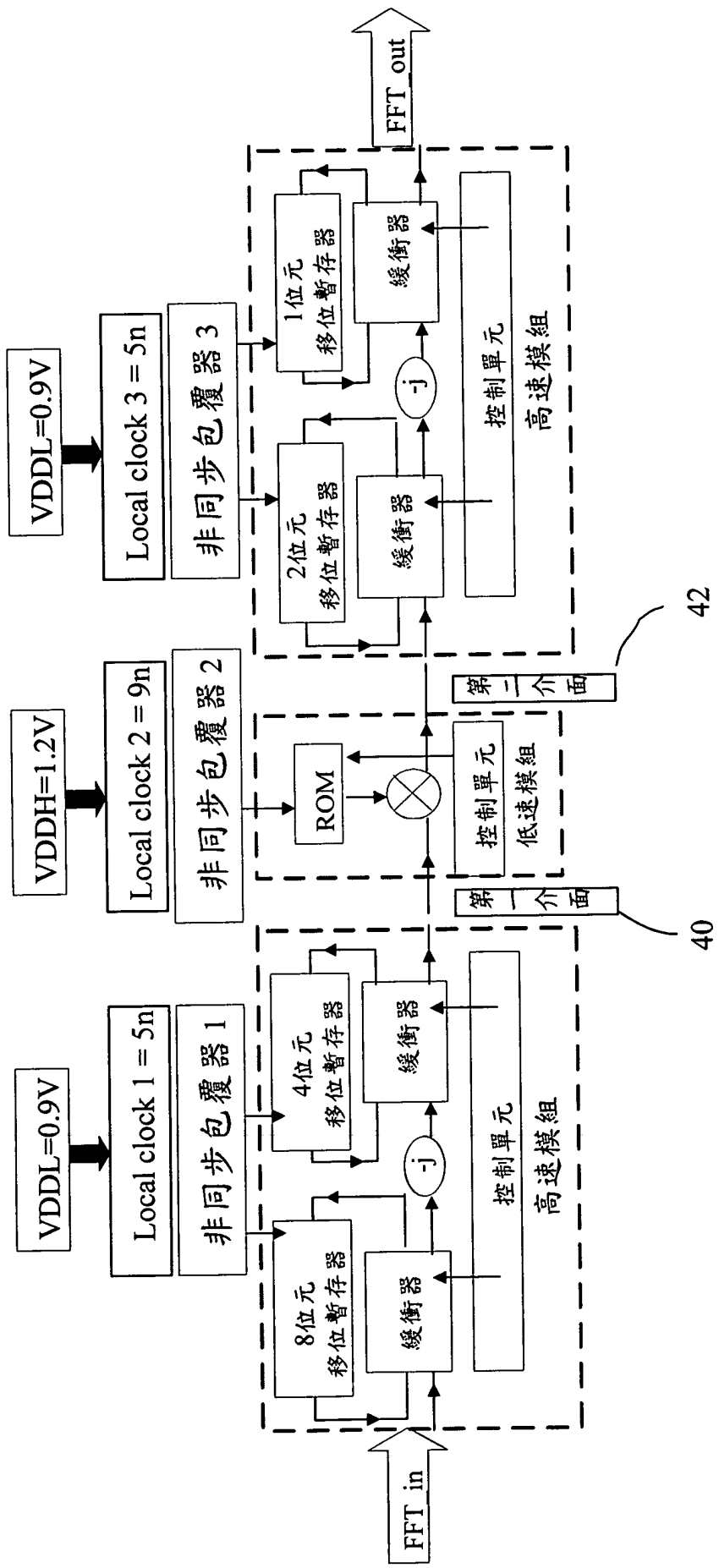


第十B圖

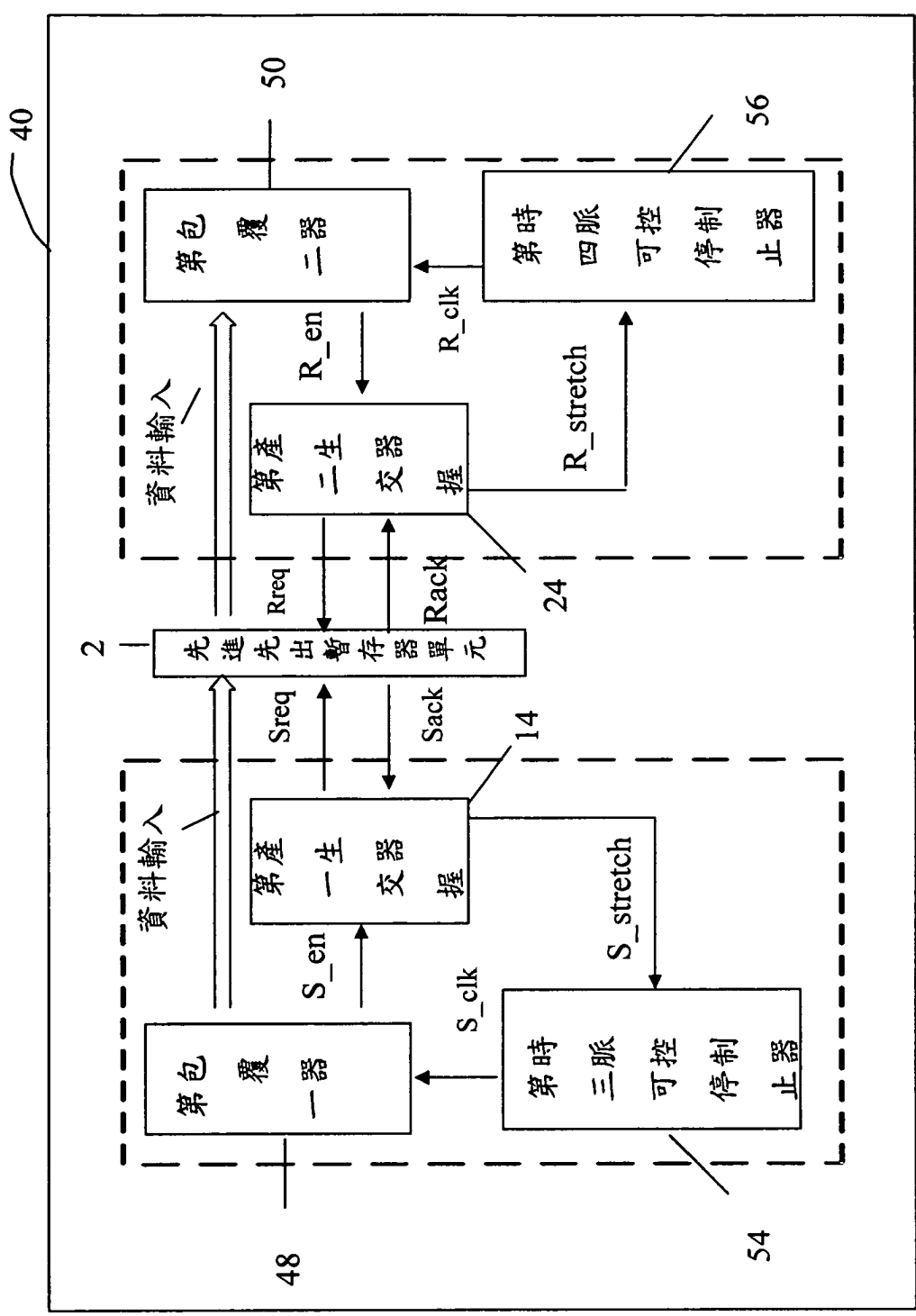
38



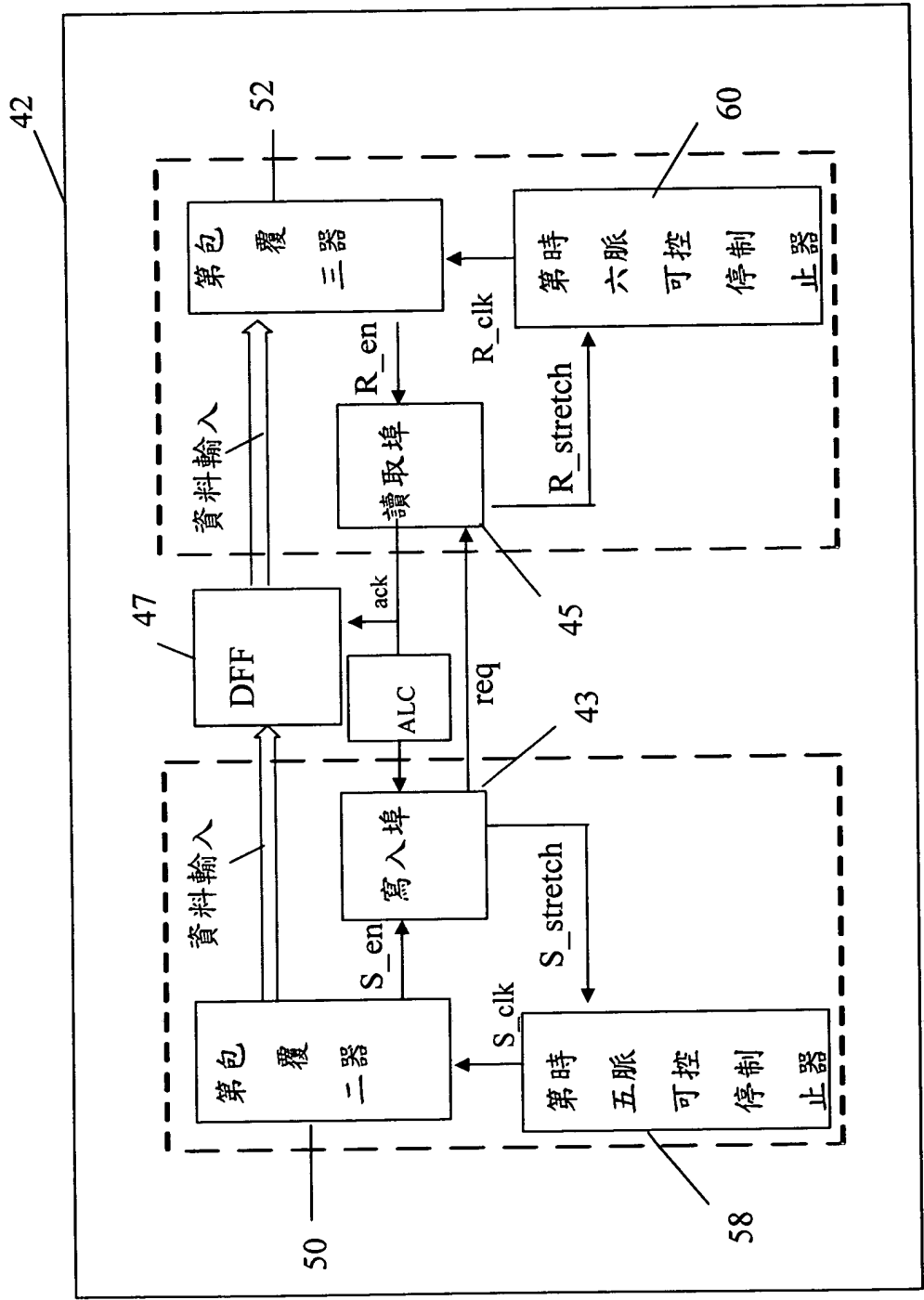
第十A圖



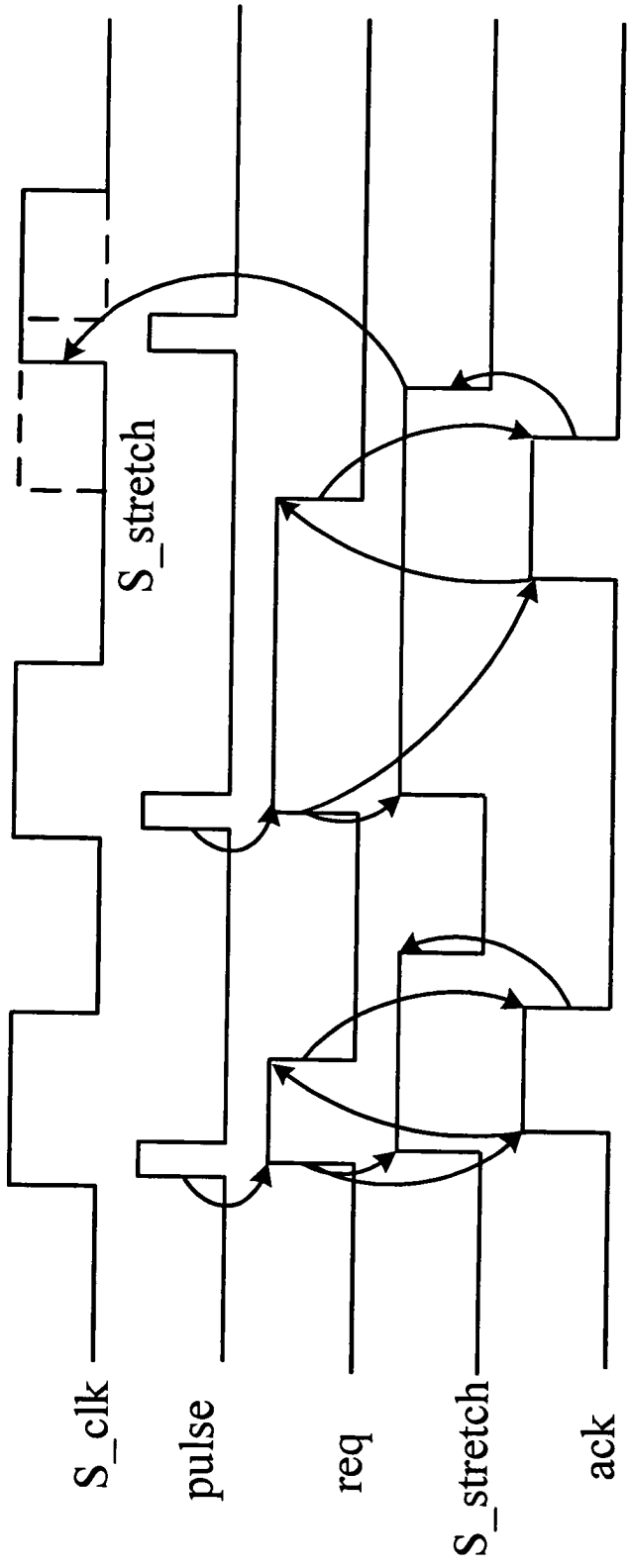
第十一A圖



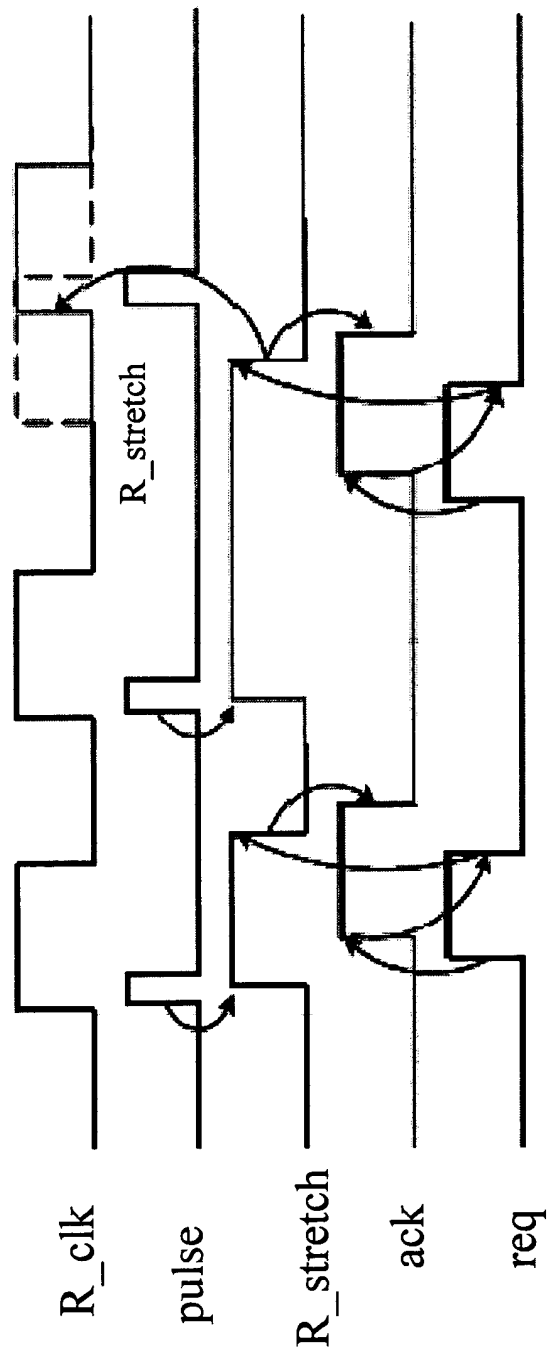
第十一B圖



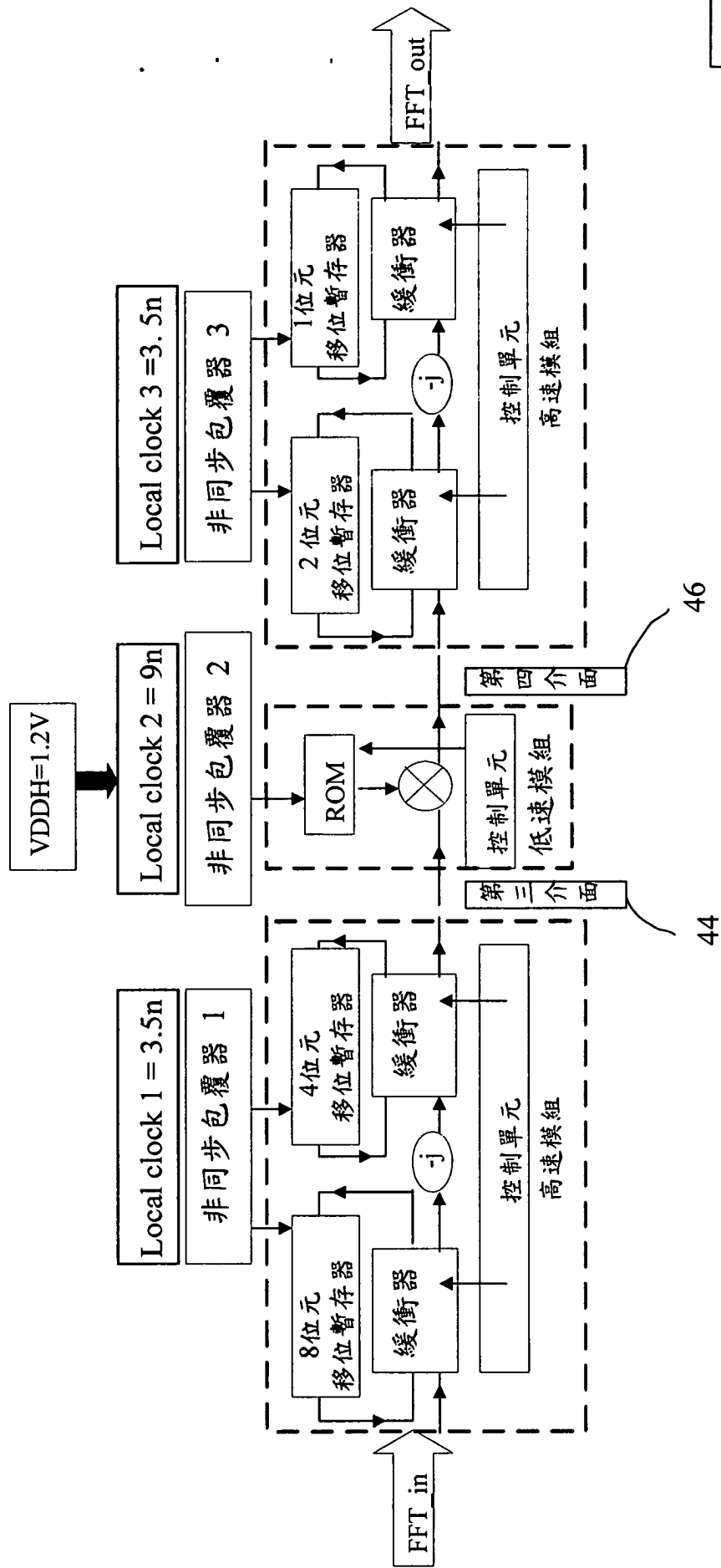
第十一C圖



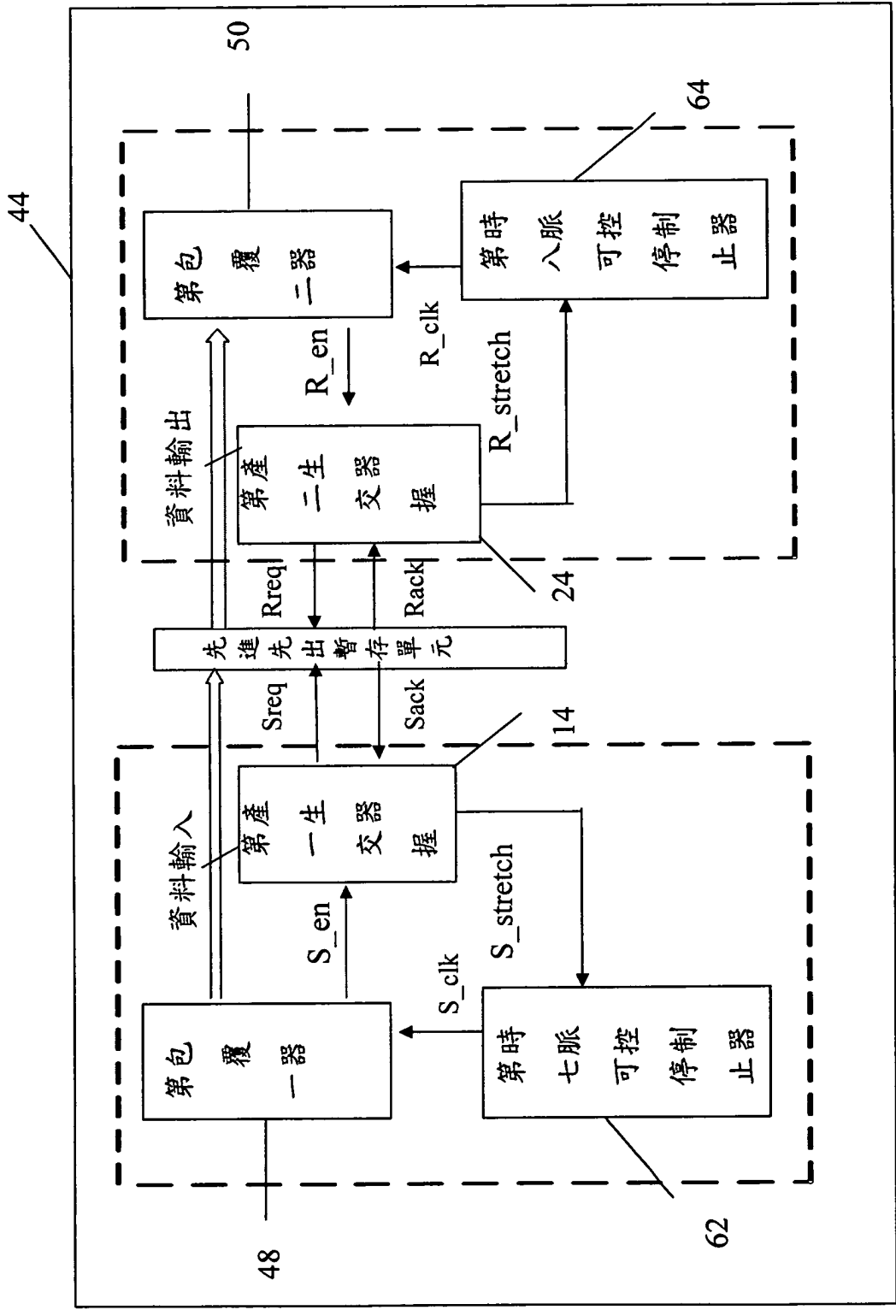
第十二圖



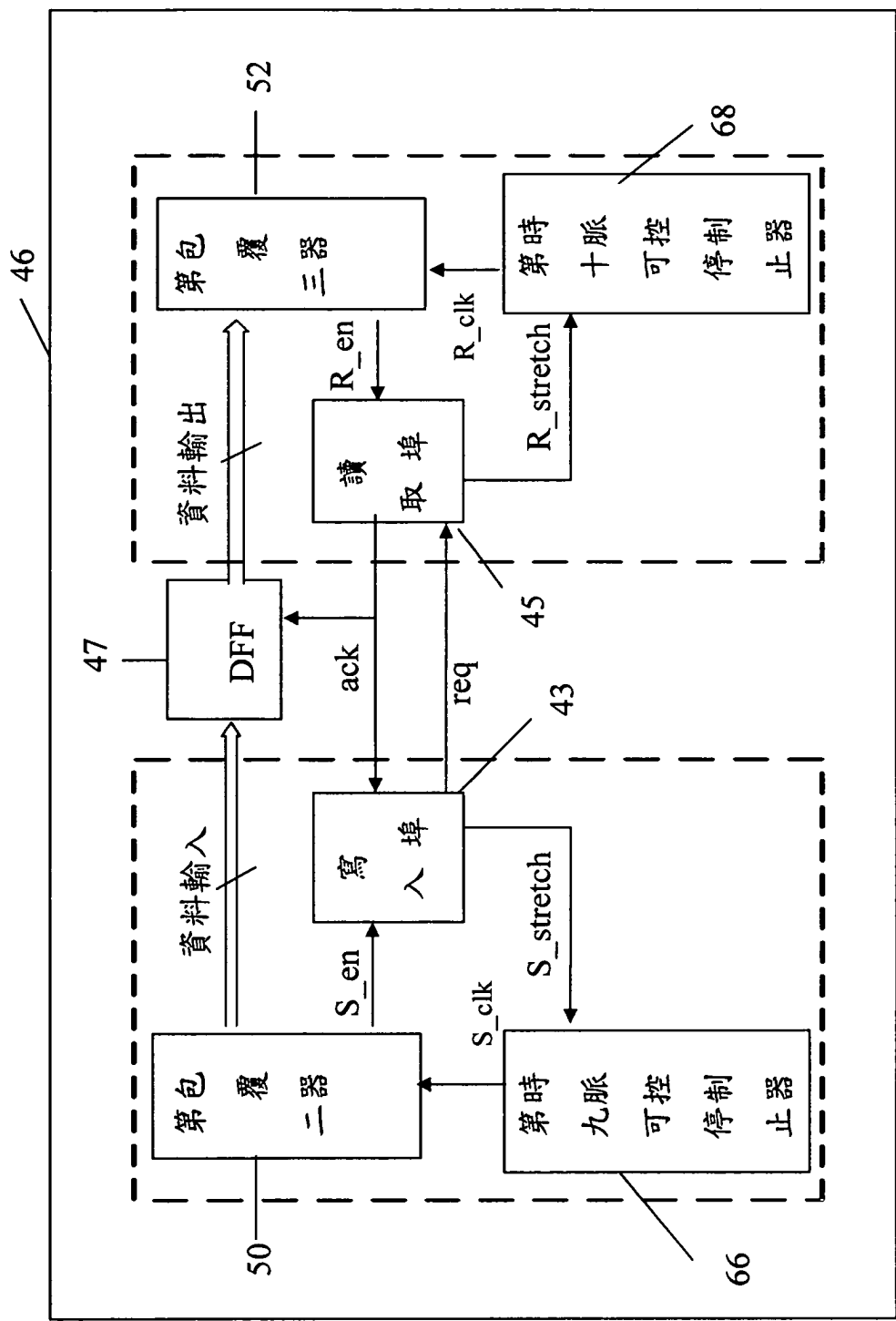
第十三圖



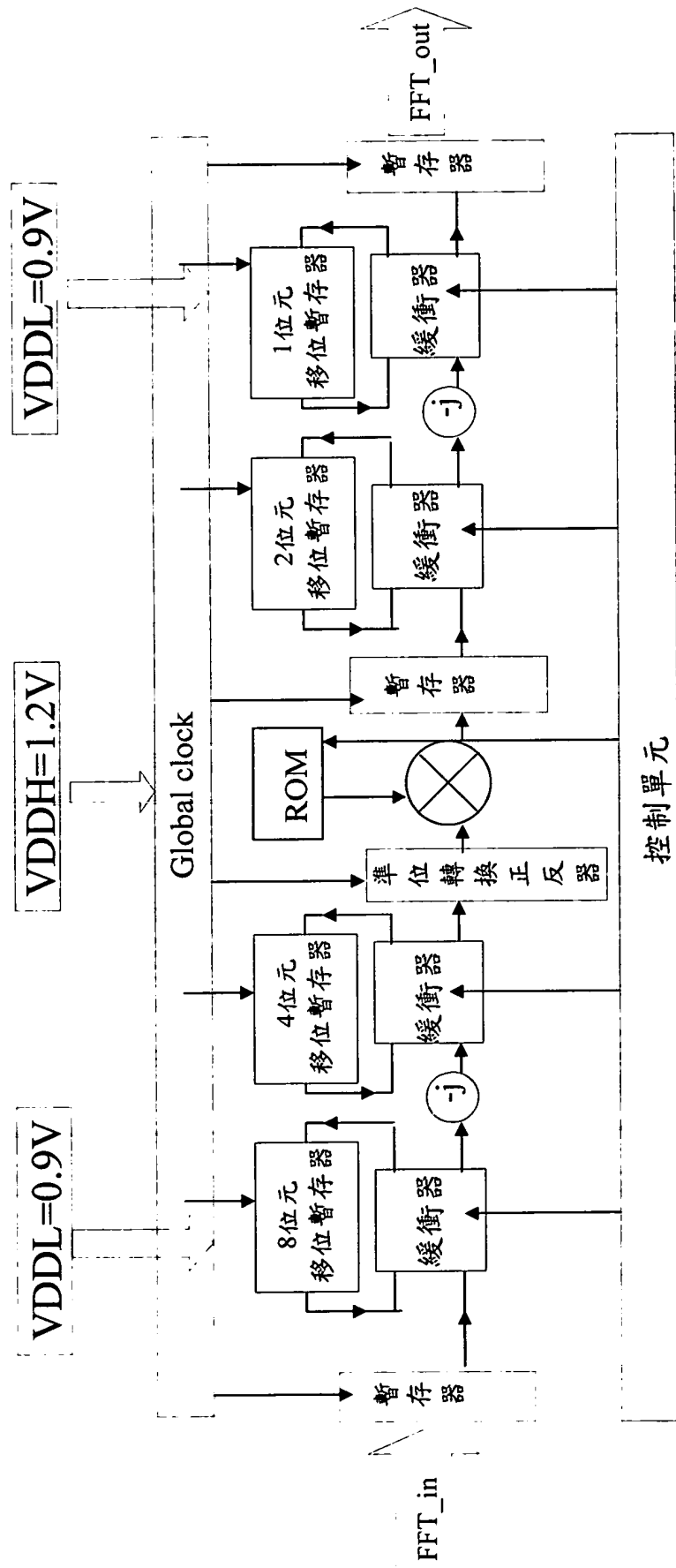
第十四A圖



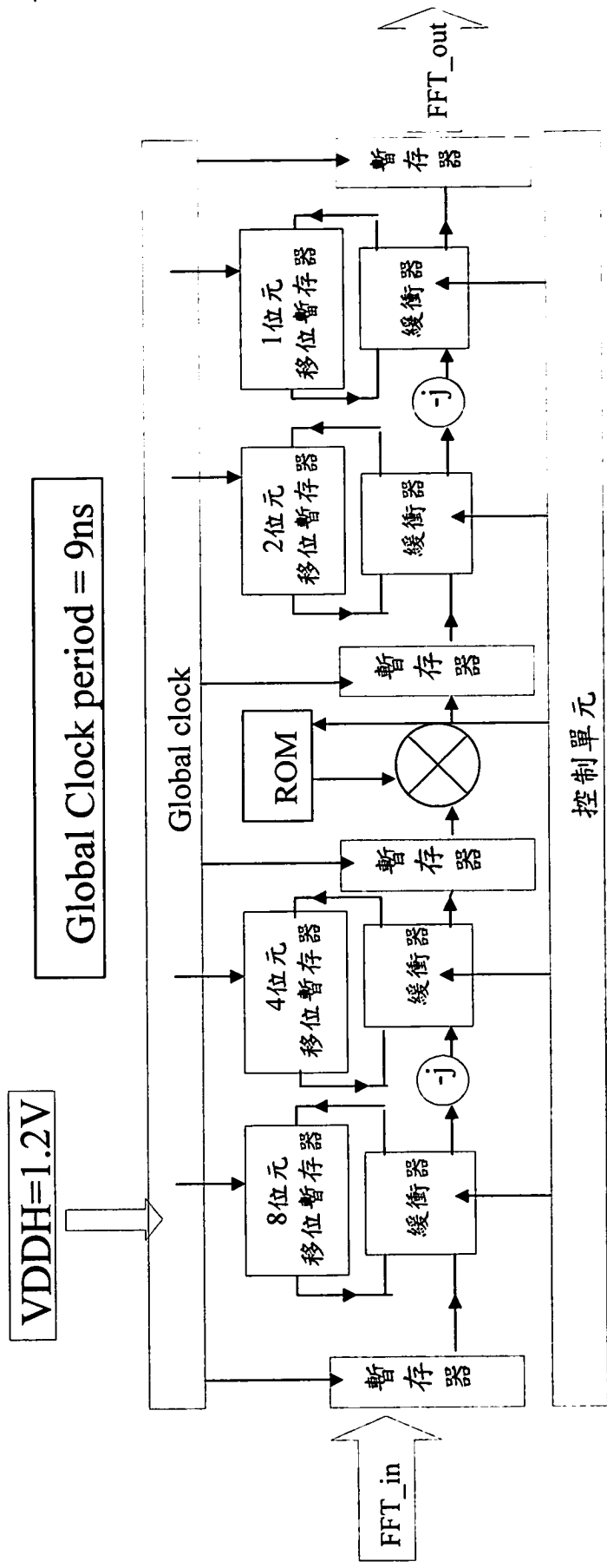
第十四B圖



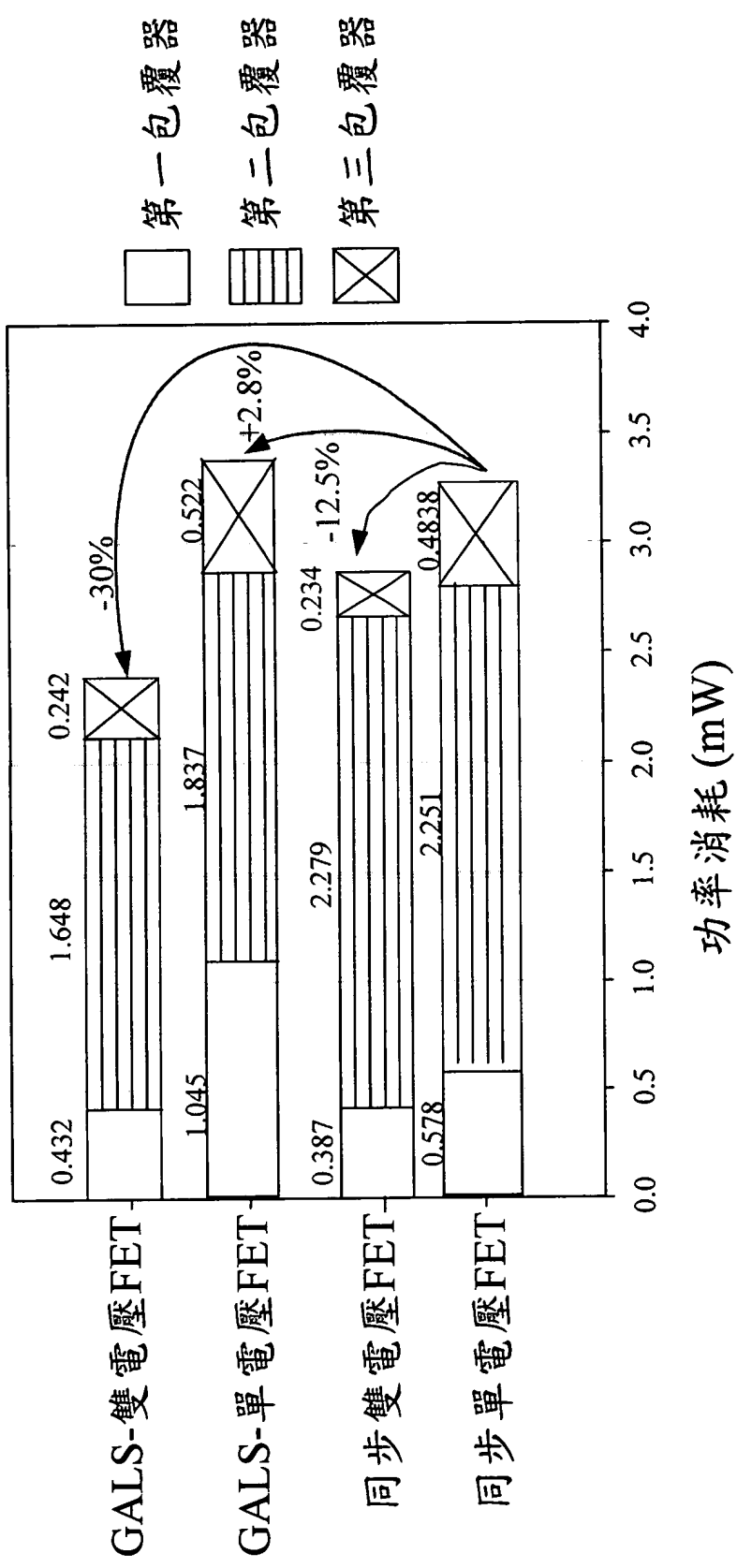
第十四C圖



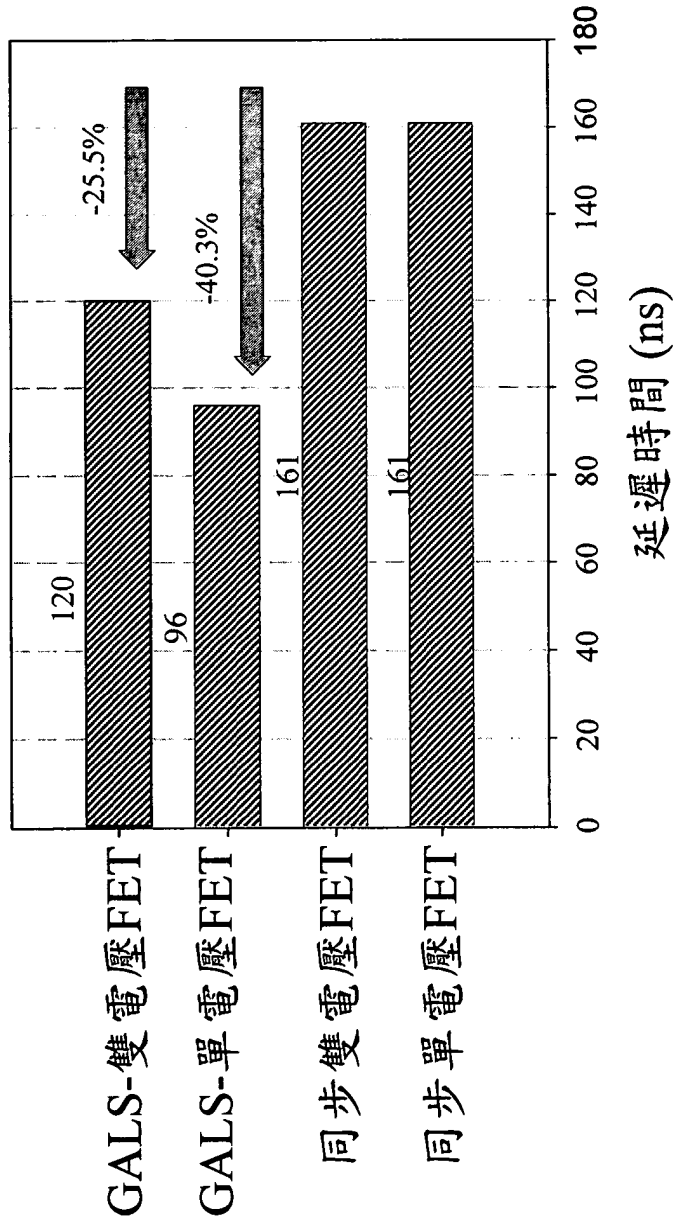
第十五圖



第十六圖



第十七圖



第十八圖