

公告本年 月 日修正替換頁
100. 3. 04

100年3月4日修正替換頁

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 96128039

※ 申請日期： 96. 7. 31

※IPC 分類： H03M 13/11 (2006.01)

一、發明名稱：(中文/英文)

應用於低密度對稱檢查碼 (LDPC) 解碼器之運算方法及其電路

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

國立交通大學

代表人：(中文/英文) 吳妍華

住居所或營業所地址：(中文/英文)

新竹市大學路 1001 號

國 籍：(中文/英文) 中華民國 TW

三、發明人：(共 5 人)

姓 名：(中文/英文)

1. 陸志豪
2. 廖彥欽
3. 李鎮宜
4. 張錫嘉
5. 許雅三

國 籍：(中文/英文) 中華民國 TW (皆同)

四、聲明事項：

主張專利法第二十二條第二項第一款或第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

本發明係揭露一種應用於低密度對稱檢查碼 (LDPC) 解碼器之運算方法及其電路，其係將原有位元節點併入查核節點中同時進行運算，只需要利用原本查核節點的輸入訊息，產生新的位元節點訊息，查核節點再執行原本的運算時，也可以同時利用新的查核節點輸出訊息與原本查核節點之輸入訊息去更新位元節點的訊息，經由查核節點所得到的訊息，不僅執行原本查核節點的運算，也同時產生原本位元節點的輸出訊息。如此即可有效降低 LDPC 解碼器所需要的記憶體數量，並同時提高解碼速度。

六、英文發明摘要：

七、指定代表圖：

(一)本案指定代表圖為：第(3)圖。

(二)本代表圖之元件符號簡單說明：

36 第一級查核節點運算單元

40 累加至二位補數 (SM to TC)

42 第一減法器

44 第一減法器

46 差值加法器

48 加法器

50 削減單元

52 第二減法器

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

九、發明說明：

【發明所屬之技術領域】

本發明係有關一種應用於通道編碼中之解碼器技術，特別是關於一種應用於低密度對稱檢查碼 (Low density parity check, LDPC) 解碼器之方法及其運算電路。

【先前技術】

錯誤更正碼之作用，係在盡可能還原這些在傳輸過程中可能因為傳輸媒介的可靠度不佳或外在因素的干擾而遭到破壞的資料。由於低密度奇偶校驗碼 (Low density parity check code, 簡稱 LDPC 碼) 可以接近 Shannon limit 的強力解碼表現，且 LDPC 是一種高效能與高速的通道編碼技術，在未來通訊資料量達到 Gb/s 時，LDPC 碼將被更廣泛的應用。

在高速通訊系統中，LDPC 解碼器之解碼流程係先對解碼器進行初始化之步驟後，再依序對查核節點 (check node) 進行更新以及對位元節點 (bit node) 進行更新；完成更新後，再判斷資料串列中重疊數目是否有超過預定最大重疊數目，或是當解碼後之位元滿足查核矩陣 (check matrix) 的限制，若是，係結束整個流程，並輸出已解碼位元，若否，則重複進行上述步驟，直至結束為止。

然而，上述之 LDPC 解碼器係將解碼流程分成二個相位，如第 1 圖所示，查核節點 10 和位元節點 12，通常位元節點 12 相位必須等查核節點 10 相位完成之後才能開始啟動累加，且解碼器需要同時儲存有二種節點 10、12 的輸出訊息，因此必須有足夠相對應的 CNP 累加訊息記憶體 14、BNP 累加訊息記憶體 16，以分別儲存查核節點 10 與位元節點 12 產生的輸出訊息。在

此前提下，在編碼長度較長的 LDPC 碼中，將會導致硬體面積增大，且複雜度提高，同時也會導致解碼器解碼效率大幅度降低與消耗功率的增加。

有鑑於此，本發明係在針對前述之問題點，提出一種應用於低密度對稱檢查碼解碼器之運算方法及其電路，以有效改善該等問題點。

【發明內容】

本發明之主要目的係在提供一種應用於低密度對稱檢查碼 (LDPC) 解碼器之運算方法及其電路，其係將更新位元節點訊息的運算合併至查核節點中，利用查核節點的輸入訊息來產生新的位元節點的訊息，只要有部份新的查核節點輸出訊息產生時，隨即更新所有原本的位元訊節點訊息，再搭配記憶體與訊息交換器的硬體排程，即可達到減少記憶體使用的數目以及讀寫記憶體所要消耗的功率，並同時增加解碼器的處理量。

本發明之另一目的係在提供一種應用於低密度對稱檢查碼 (LDPC) 解碼器之運算方法及其電路，其係可大幅降低 LDPC 解碼器的硬體複雜度以及消耗的功率，同時提高解碼速度，以廣泛應用於高速無線通訊系統中。

為達到上述目的，本發明之 LDPC 解碼器運算方法包含有先記錄每一查核節點運算的輸入訊息，再根據此輸入訊息，使查核節點產生輸出訊息；利用此輸出訊息與前一次查核節點所產生之輸出訊息來產生新的位元節點訊息；最後，只要有部份查核節點產生一新輸出訊息時，馬上可利用此新輸出訊息與原本的輸入訊息來更新所有的位元節點訊息。

當然，為完成上述之運算方法，本發明另提出一種 LDPC 解碼器之運算電路，其中查核節點運算器係具有二級單元，包含有第一級查核節點運算單元以及第二級查核節點運算單元，且該第一級查核節點運算單元之作用

即在取代習知之位元節點單元，並可與該第二級查核節點運算單元同步作動，而無須再等查核節點運算完成才能進行位元節點之運算。

底下藉由具體實施例配合所附的圖式詳加說明，當更容易瞭解本發明之目的、技術內容、特點及其所達成之功效。

【實施方式】

由於低密度對稱檢查碼 (LDPC) 解碼器主要有位元節點 (bit node) 與查核節點 (check node) 兩種運算，並在位元節點與查核極點間交換運算完畢的資訊，但是在解碼器藉碼過程中，要處理位元節點與查核節點的運算將會耗費大量的處理時間，導致記憶體與硬體複雜度增加與解碼器處理量 (throughput) 降低。因此，本發明提出一種新的二級之查核節點電路，其不僅執行原本查核電路的運算，也可以同時產生出原本位元節點的輸出訊息。

請先參閱第 2 圖所示之新 LDPC 解碼器之架構，其係包含有一輸入控制器 20，用來接收輸入之通道值，並可將輸入通道值儲存在一通道值記憶體 22 中，並有一查核節點運算器 24，包括一第一級查核節點運算單元 36 以及一第二級查核節點運算單元 38，其運算後之累加值係儲存於一共用記憶體 26 中；此查核節點運算器 24 係透過同一個或不同之交換訊息單元 28 對通道值記憶體 22 與共用記憶體 26 進行存取之動作，當然交換訊息單元 28 係具有一 ROM 對照表 30，作為存取對照；且查核節點運算器 24 之輸出訊息係儲存於一查核節點輸出訊息記憶體 32 中；上述各元件則受一 LDPC 解碼控制器 34 所控制。其中，查核節點運算器 24 中之第一級查核節點運算單元 36 即用來取代習知之位元節點運算單元之作用；且因第一級查核節點運

Previous C_{i+1} 相減產生另一差值 $Diff_{i+1}$ ；再利用一差值加法器 46 將該二差值 $Diff_{1i}$ 及 $Diff_{i+1}$ 相加後產生一差值累加值 $Diff\ Sum$ ，並將其傳送至一加法器 48 中進行運算，此加法器 48 則將該差值累加值與前一查核節點運算之累加值 (Previous sum) 進行加總，以得到一新累加值；此時，若該新累加值超過原有的資料位元數 (如圖所示之 8 位元)，則會先經過一削減單元 50 來削減其多餘之位元數後，來更新儲存於共用記憶體中之累加值，此即為更新位元節點訊息；最後，利用一第二減法器 52 將已削減位元數之該新累加值與已運算之前一查核節點輸入訊息 (Previous C_j) 相減，進而產生一比較輸入值 (compare input)。其中，previous C_j 為一變數，當本發明平行度只有一個，也就是取的是 C_i 的差值，則 $index\ j > index\ i$ ；若平行度為二，也就是取 C_i 與 C_{i+1} 的差值，則 $index\ j > index\ (i+1)$ 。至此，第一級查核節點運算單元 36 產生之比較輸入值係會傳送至一第二級查核節點運算單元 38，如第 4 圖所示，使其根據該比較輸入值進行運算，以進行運算並輸出已解碼位元；由於第二級查核節點運算單元係不限於第 4 圖所示之電路架構，除此之外，仍可以現有之其他查核節點電路代替之，故於此不再贅述。

其中，在前述實施例中使用第二減法器 52 時，主要係在有至少二個通道之查核節點的訊息被改變時，才需使用此第二減法器 52；當然若只有一個查核極點改變時，則可以省略第二減法器 52，只需要使用第一減法器 42、44 即可。

由於上述實施例係以平行度為二，具有二個通道之查核節點為具體範

例來說明本發明之特徵，當然，查核節點訊息通道亦可增加至 L 個，如第 5 圖所示之第一級查核節點運算單元 36，共有 L 組輸入訊息 $New C_i$ 、 $New C_{i+1}$... 及 $New C_{i+L}$ 與 $Previous C_i$ 、 $Previous C_{i+1}$... 及 $Previous C_{i+L}$ 分別累加至二位補數 (SM to TC)，再分別利用一減法器產生各差值，其中，大部分之步驟皆與前述第 3 圖所示實施例相同，只差別在於位元節點訊息通道數之不同，當然，在本發明中，削減單元 50 係可選擇性使用，故第 5 圖之實施例係為無使用削減單元之範例。

本發明只需要利用原本查核節點的輸入訊息，產生新的位元節點的訊息，且再查核節點執行原本的運算時，也可以同時利用新的查核節點輸出訊息與原本查核節點輸入訊息來更新位元節點的訊息，經由查核節點所得到的訊息，不可僅執行原本查核節點的運算，也可以同時產生出原本位元節點的輸出訊息。如此可以降低 LDPC 解碼器所需要的記憶體數量，也同時減少解碼器解出一個字碼 (code word) 所需之時間；再者，如果有效的排成記憶體的使用頻寬與訊息交換器的使用效率，將所需要讀寫的記憶體數目大幅度減少，因此消耗功率也大幅度的降低，同時增加約 40%~50% 的處理量，尤其是在超長字碼長度的解碼過程中，如果單單採用傳統的 LDPC 解碼方式，更需要耗費更多的記憶體與時間，本發明之設計將會大幅度降低 LDPC 解碼器的硬體複雜度以及消耗的功率，同時提高解碼速度。

以上所述之實施例僅係為說明本發明之技術思想及特點，其目的在使熟習此項技藝之人士能夠瞭解本發明之內容並據以實施，當不能以之限定本發明之專利範圍，即大凡依本發明所揭示之精神所作之均等變化或修

飾，仍應涵蓋在本發明之專利範圍內。

【圖式簡單說明】

第 1 圖為習知之低密度對稱檢查碼 (LDPC) 解碼器之電路方塊示意圖。

第 2 圖為本發明應用之低密度對稱檢查碼 (LDPC) 解碼器的電路方塊示意圖。

第 3 圖為本發明使用之第一級查核節點運算單元的電路架構示意圖。

第 4 圖為本發明使用之第二級查核節點運算單元的電路架構示意圖。

第 5 圖本發明具有 L 個查核節點訊息通道之第一級查核節點運算單元的電路架構示意圖。

【主要元件符號說明】

| | |
|-----------------------|----------------|
| 10 查核節點 | 12 位元節點 |
| 14 CNP 累加訊息記憶體 | 16 BNP 累加訊息記憶體 |
| 20 輸入控制器 | 22 通道值記憶體 |
| 24 查核節點運算器 | 26 共用記憶體 |
| 28 交換訊息單元 | 30 ROM 對照表 |
| 32 查核節點輸出訊息記憶體 | |
| 34 LDPC 解碼控制器 | |
| 36 第一級查核節點運算單元 | |
| 38 第二級查核節點運算單元 | |
| 40 累加至二位補數 (SM to TC) | |
| 42 第一減法器 | 44 第一減法器 |
| 46 差值加法器 | 48 加法器 |

50 削減單元

52 第二減法器

年 月 日修正本
100 3 04

十、申請專利範圍：

1、一種應用於低密度對稱檢查碼（LDPC）解碼器之運算方法，包括：

記錄每一查核節點運算的輸入訊息，該輸入訊息係為一通道序列之累加值；

根據該輸入訊息，該查核節點產生輸出訊息；

根據該輸出訊息與前一次之輸出訊息產生新的位元節點訊息；以及

在該查核節點產生一新輸出訊息時，利用該新輸出訊息與該輸入訊息來更新該位元節點訊息。

2、如申請專利範圍第1項所述之應用於低密度對稱檢查碼解碼器之運算方法，其中該輸入訊息、該輸出訊息以及該位元節點訊息係儲存在一共用記憶體中。

3、如申請專利範圍第1項所述之應用於低密度對稱檢查碼解碼器之運算方法，其中該新輸出訊息係為新檢查節點序列與前一檢查節點序列之差值。

4、一種應用於低密度對稱檢查碼（LDPC）解碼器之運算電路，包括：

一第一級查核節點運算單元，包括：

至少一第一減法器，其係將至少一組通道之查核節點序列訊息與前一查核節點序列訊息相減產生一差值；以及

至少一加法器，將該差值與前一查核節點運算之累加值進行加總，以得到一新累加值，來更新位元節點訊息；以及

一第二級查核節點運算單元，其係根據該新累加值進行運算，並輸出已解碼位元。

5、如申請專利範圍第4項所述之應用於低密度對稱檢查碼（LDPC）解碼器

之運算電路，其中在該第一級查核節點運算單元中，更可同時進行二個通道以上之運算，此時分別利用二組以上之第一減法器，將二組通道之查核節點序列訊息與前一查核節點序列訊息相減而產生二差值；再利用一差值加法器，將該二差值相加後傳送至該加法器中進行運算。

6、如申請專利範圍第 4 項所述之應用於低密度對稱檢查碼 (LDPC) 解碼器之運算電路，其中，在該加法器累加後，若該新累加值超過原有的資料位元數，則會先經過一削減單元來削減其多餘之位元數。

7、如申請專利範圍第 4 項所述之應用於低密度對稱檢查碼 (LDPC) 解碼器之運算電路，其中該查核節點序列訊息係暫時儲存在一個高速之暫存器中。

8、如申請專利範圍第 4 項所述之應用於低密度對稱檢查碼 (LDPC) 解碼器之運算電路，其中該累加值與新累加值等係儲存於同一記憶體中。

9、如申請專利範圍第 4 項所述之應用於低密度對稱檢查碼 (LDPC) 解碼器之運算電路，其中該查核節點序列訊息與該前一查核節點序列訊息在相減之前，會先累加至二位補數。

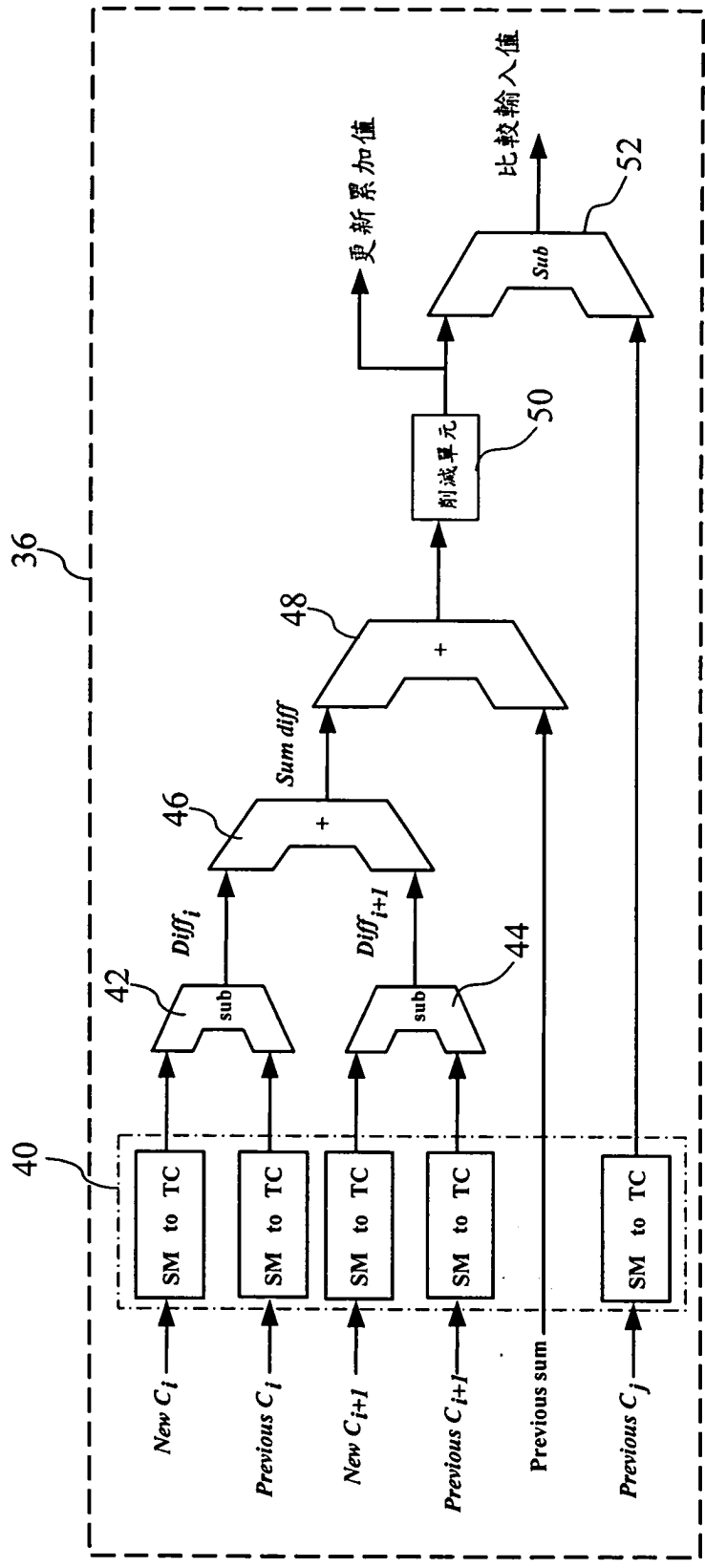
10、如申請專利範圍第 4 項所述之應用於低密度對稱檢查碼 (LDPC) 解碼器之運算電路，其中該第一級查核節點運算單元與該第二級查核節點運算單元係透過至少一交換訊息單元對一共用記憶體進行存取動作。

11、如申請專利範圍第 4 項所述之應用於低密度對稱檢查碼 (LDPC) 解碼器之運算電路，其中該第一級查核節點運算單元與該第二級查核節點運算單元係分別透過一交換訊息單元對一共用記憶體進行存取動作。

12、如申請專利範圍第 10 或第 11 項所述之應用於低密度對稱檢查碼 (LDPC)

解碼器之運算電路，其中該第一級查核節點運算單元與該第二級查核節點運算單元、該交換訊息單元係受一解碼控制器控制。

13、如申請專利範圍第4項所述之應用於低密度對稱檢查碼(LDPC)解碼器之運算電路，其中該第一級查核節點運算單元更包括一第二減法器，用以將該新累加值與已運算之前一查核節點輸入訊息相減，產生一比較輸入值，則該第二級查核節點運算單元會根據該比較輸入值進行運算，並輸出該已解碼位元。



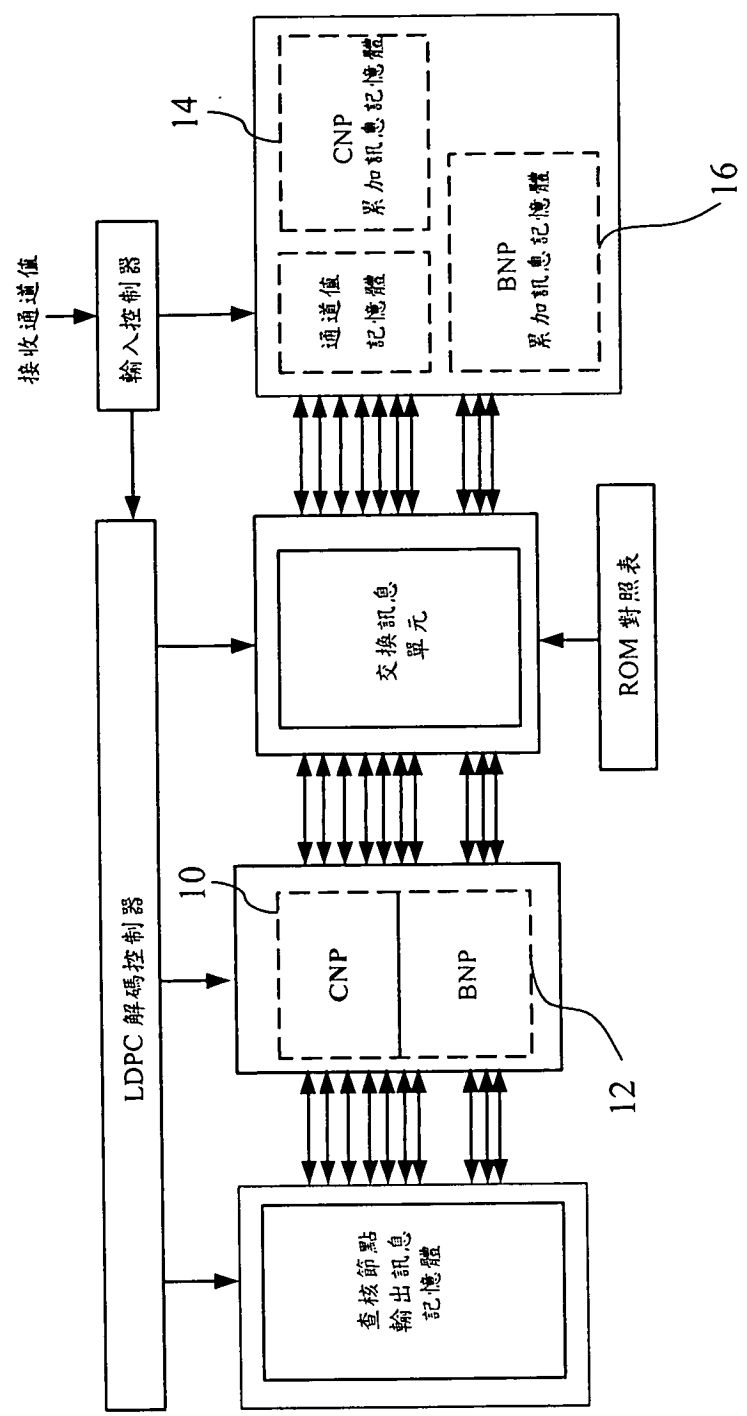
第3圖

算單元 36 與第二級查核極點運算單元 38 係共用輸出訊息與輸入訊息進行運算，所以僅需一個共用記憶體 26 儲存訊息即可。

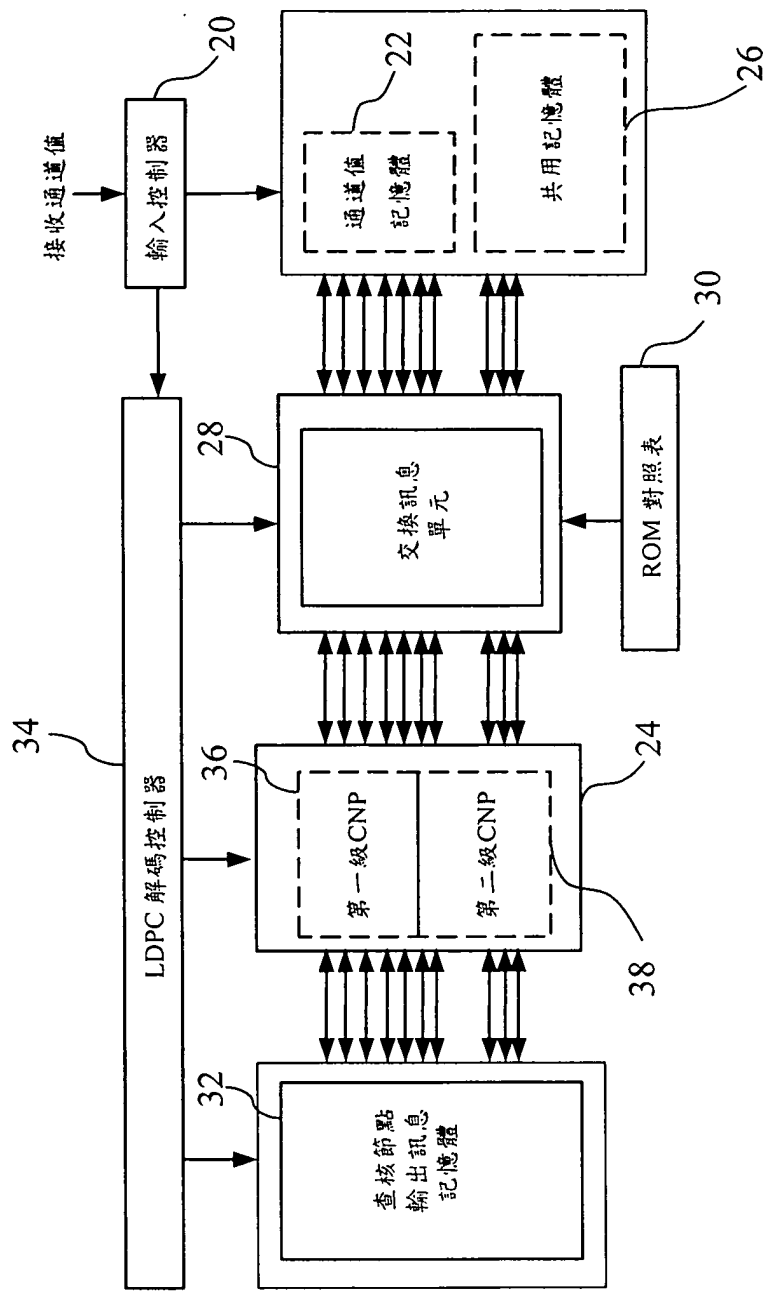
首先，本發明提出之新的查核節點運算方法，包含有四步驟：在執行運算時，先記錄每一查核節點運算的輸入訊息，其主要由第二級查核節點單元運算之；接續在第一級查核節點運算單元中，根據查核節點原本的輸入訊息來產生新的查核節點輸出訊息，並利用新的查核節點輸出訊息與前一次之輸出訊息，產生新的位元節點訊息；其中，當有部份的新查核節點輸出訊息時，馬上利用此新輸出訊息與原本查核節點輸入訊息一併來更新所有位元節點訊息。

續言之，採用上述運算方法之 LDPC 解碼器之運算電路，如第 3 圖所示之第一級查核節點運算單元 36 以及第 4 圖所示之第二級查核節點運算單元 38。首先，先參閱第 3 圖所示之第一級查核節點運算單元 36 電路架構，此實施例係以二組通道運算為例來說明，將暫時儲存在一個高速之暫存器（圖中未示）中之新查核節點序列輸入訊息，圖中所示之 $New C_i$ 及 $New C_{i+1}$ ，分別與前一查核節點序列輸入訊息，圖中所示之 $Previous C_i$ 及 $Previous C_{i+1}$ ，在此係以第 i 和第 $i+1$ 訊息為例來詳加說明本技術，當然此查核節點運算之平行度是可以隨機調整的。此二組輸入訊息 $New C_i$ 及 $New C_{i+1}$ 與 $Previous C_i$ 及 $Previous C_{i+1}$ 分別累加至二位補數（SM to TC）40；再利用一第一減法器 42 將第一組通道之查核節點序列輸入訊息 $New C_i$ 與前一查核節點序列輸入訊息 $Previous C_i$ 相減產生一差值 $Diff_i$ ，同時，另一第一減法器 44 將第二組通道之查核節點序列輸入訊息 $New C_{i+1}$ 與前一查核節點序列輸入訊息

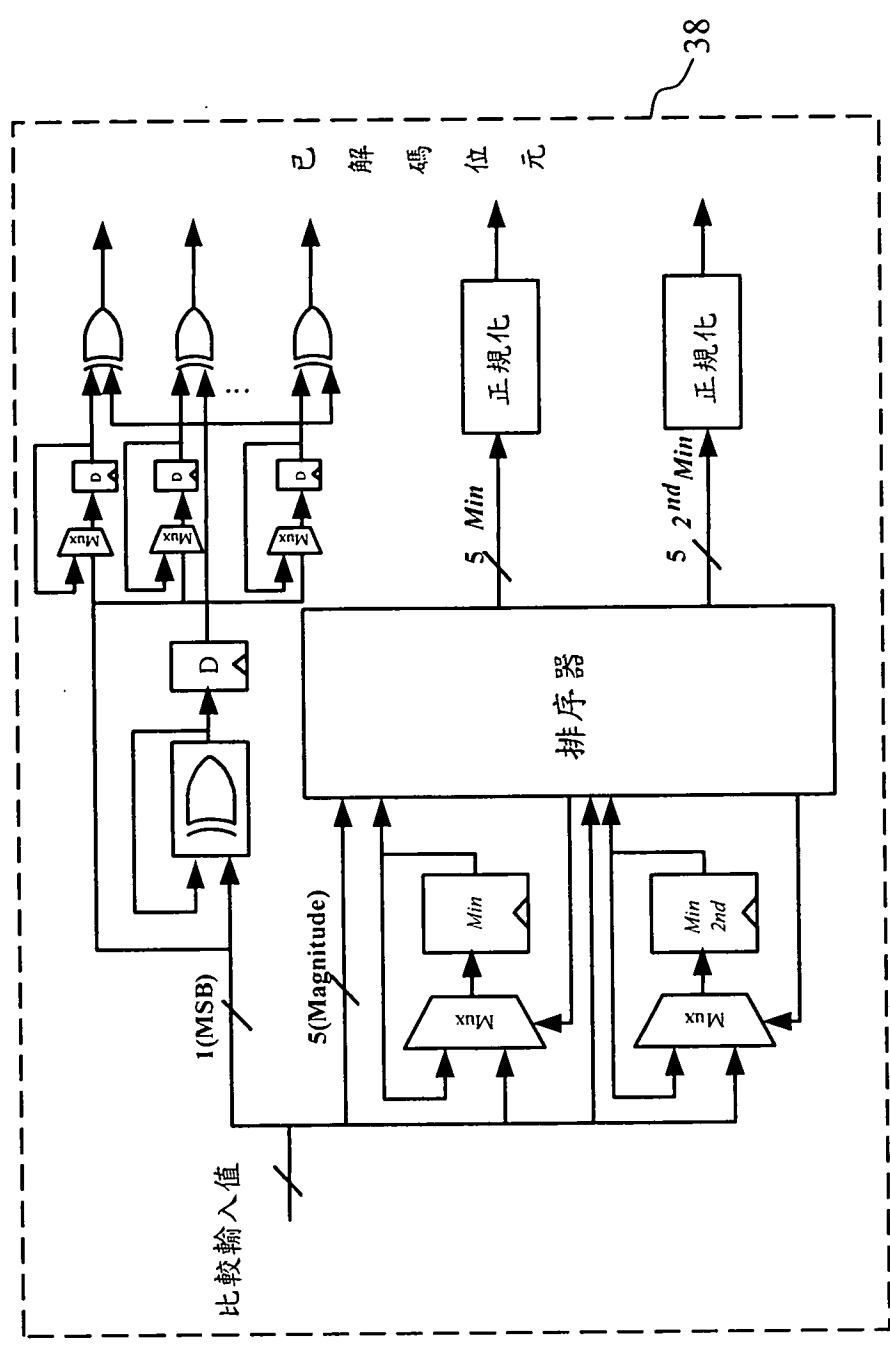
十一、圖式：



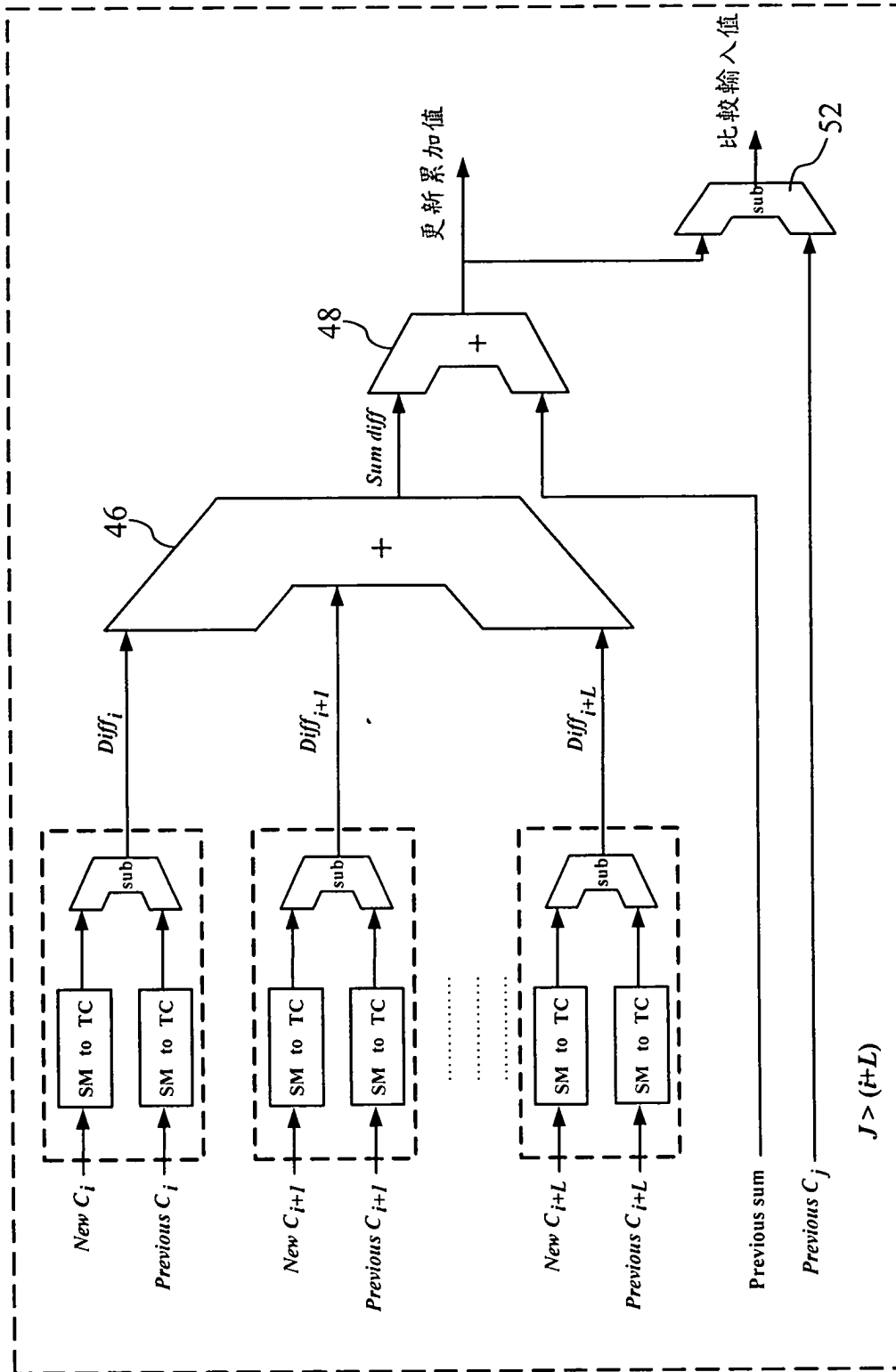
第1圖 (先前技術)



第2圖



第4圖



第5圖