



(21)申請案號：095148384

(22)申請日：中華民國 95 (2006) 年 12 月 22 日

(51)Int. Cl. : G06F12/00 (2006.01)

(71)申請人：國立交通大學(中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)
新竹市大學路 1001 號

(72)發明人：吳奕緯 WU, I WEI (TW)；田濱華 TEIN, BIN HUA (TW)；鍾崇斌 CHUNG, CHUNG PING (TW)；單智君 SHANN, JYH JIUN (TW)

(74)代理人：黃于真；李國光

(56)參考文獻：

TW 539996

US 2005/0204120A1

US 2006/0092712A1

US 2006/0095749A1

申請專利範圍項數：14 項 圖式數：4 共 16 頁

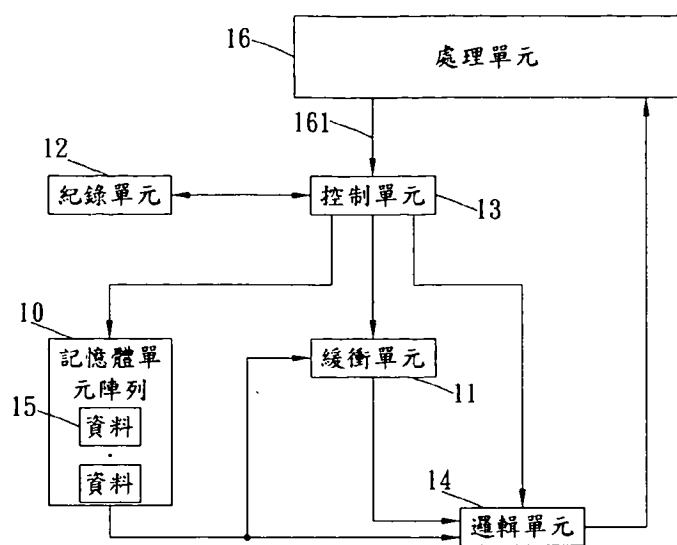
(54)名稱

記憶裝置及其迴圈緩衝器

(57)摘要

本發明係揭露一種記憶裝置及其迴圈緩衝器(loop buffer)。在一實施例中，此迴圈緩衝器包含一緩衝記憶體單元及一支目的緩衝區(BTB)，緩衝記憶體單元可儲存最內層迴圈指令(innermost loop instruction)，而分支目的緩衝區(BTB)可儲存此緩衝記憶體單元內之指令之追跡資料(track)。藉此，此迴圈緩衝器可儲存包含向前分支(forward branch)及函式(subroutine)之迴圈指令，以進一步減少指令提取之耗能。

1



1 . . . 記憶裝置

10 . . . 記憶體單元陣列

11 . . . 緩衝單元

12 . . . 紀錄單元

13 . . . 控制單元

14 . . . 邏輯單元

15 . . . 資料

16 . . . 處理單元

161 . . . 資料提取位址

專利案號：095148384



智專收字第1003145703-0



日期：100年04月26日

DTD版本：1.0.2

公告本

發明專利說明書

※申請案號：095148384

※IPC分類：G06F 12/00 (2006.01)

※申請日：95.12.22

一、發明名稱：

記憶裝置及其迴圈緩衝器

二、中文發明摘要：

本發明係揭露一種記憶裝置及其迴圈緩衝器(loop buffer)。在一實施例中，此迴圈緩衝器包含一緩衝記憶體單元及一支目的緩衝區(BTB)，緩衝記憶體單元可儲存最內層迴圈指令(innermost loop instruction)，而分支目的緩衝區(BTB)可儲存此緩衝記憶體單元內之指令之追跡資料(track)。藉此，此迴圈緩衝器可儲存包含向前分支(forward branch)及函式(subroutine)之迴圈指令，以進一步減少指令提取之耗能。

三、英文發明摘要：

四、指定代表圖：

(一)本案指定代表圖為：第(1)圖。

(二)本代表圖之元件符號簡單說明：

1：記憶裝置；

10：記憶體單元陣列；

11：緩衝單元；

12：紀錄單元；

13：控制單元；

14：邏輯單元；

15：資料；

16：處理單元；以及

161：資料提取位址。

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

六、發明說明：

【發明所屬之技術領域】

[0001] 本發明是有關於一種記憶裝置及其迴圈緩衝器，特別是有關於一種可儲存包含向前分支(forward branch)及函式(subroutine)之迴圈指令之記憶裝置及其迴圈緩衝器。

【先前技術】

[0002] 對嵌入式系統而言，省電機制是系統設計時相當重要的考量因素，尤其處理器的省電機制。在處理器的運作中，指令提取(instruction fetch)消耗佔了不小的比例，約20%~30%之間。因此，若能減少指令提取的耗電量便能減低嵌入式系統的電力消耗。而一般的程式在執行時，大部分的執行時間是花在最內層迴圈(innermost loop)上，因此，在傳統的設計中，指令快取記憶體(instruction cache)及處理器核心之間係增加一容量較小的記憶體，稱為迴圈緩衝儲存器(loop buffer)，用以儲存最內層迴圈指令，來減少處理器核心與指令快取記憶體之間指令提取的次數，進而減少指令提取的耗電量。最內層迴圈指令大多包含向前分支(forward)及函式(subroutine)，然而，傳統的迴圈緩衝儲存器無法儲存向前分支及函式的最內層迴圈指令，使得迴圈緩衝儲存器能節省的耗能有限。

[0003] 有鑑於習知技藝之各項問題，為了能夠兼顧解決之，本發明人基於多年研究開發與諸多實務經驗，提出一種記憶裝置及其迴圈緩衝器，以作為改善上述缺點之實現方

式與依據。

【發明內容】

- [0004] 有鑑於此，本發明之目的就是在提供一種記憶裝置及其迴圈緩衝器，以減少指令提取之耗能。
- [0005] 根據本發明之目的，提出一種記憶裝置，其包含一記憶體單元陣列、一緩衝單元、一紀錄單元、一邏輯單元及一控制單元。記憶體單元陣列係用以儲存複數筆資料，緩衝單元係用以儲存來自該記憶體單元陣列之資料。紀錄單元係用以紀錄一該緩衝單元所儲存之資料之分支預測結果。邏輯單元係用以選擇性輸出該記憶體單元陣列所儲存之資料或該緩衝單元所儲存之資料。控制單元係用以接收一資料提取位址，並根據該資料提取位址及該紀錄單元所紀錄之分支預測結果，以控制該緩衝單元之資料存取、控制該記憶體單元陣列之資料輸出及控制該邏輯單元之資料輸出。
- [0006] 此外，本發明更提出一種迴圈緩衝器，係電性連接一處理器及一記憶體單元陣列，此迴圈緩衝器包含：一緩衝單元、一紀錄單元、一邏輯單元及一控制單元。緩衝單元係用以儲存來自該記憶體單元陣列之資料。紀錄單元係用以紀錄該緩衝單元所儲存之資料之分支預測結果。邏輯單元係用以根據該控制訊號，選擇性輸出該記憶體單元陣列所儲存之資料或該緩衝單元所儲存之資料至該處理器。控制單元係用以根據該資料提取位址及該紀錄單元所紀錄之分支預測結果，以用以控制該緩衝單元之資料存取、控制該記憶體單元陣列之資料輸出及控制該邏

輯單元之資料輸出。

[0007] 茲為使貴審查委員對本發明之技術特徵及所達到之功效有更進一步之瞭解與認識，謹佐以較佳之實施例及配合詳細之說明如後。

【實施方式】

[0008] 以下將參照相關圖式，說明依本發明較佳實施例之記憶裝置及其迴圈緩衝器，為使便於理解，下述實施例中之相同元件係以相同之符號標示來說明。

[0009] 請參閱第1圖，其係為本發明之記憶裝置之方塊圖。圖中，記憶裝置1係電性連接一處理單元16。記憶裝置1包含一記憶體單元陣列10、一緩衝單元11、一紀錄單元12、一控制單元13及一邏輯單元14。記憶體單元陣列10用以儲存複數筆資料15，例如指令(instruction)。緩衝單元11用以儲存來自記憶體單元陣列10之資料，例如最內層迴圈指令。紀錄單元12係紀錄緩衝單元11所儲存之資料之分支預測結果，即為最內層迴圈指令之指令執行路徑，可藉此來指示儲存緩衝單元11之最內層迴圈指令為穿過式(fall-through)或目的式(target)。紀錄單元12可為一支目的緩衝器(branch target buffer)，而分支目的緩衝器之一欄位可紀錄上述之資料分支預測結果。邏輯單元14由控制單元13所控制，以選擇性輸出記憶體單元陣列10所儲存之資料或緩衝單元11所儲存之資料。邏輯單元14可為一多工器。記憶體單元陣列10可為一快取記憶體或是更下階層的記憶體。而緩衝單元11係為一儲存空間，其大小小於快取記憶體，或是更下階

層的記憶體。

[0010] 控制單元13用以接收一處理單元16所產生之資料提取位址161，並根據資料提取位址161及紀錄單元12所紀錄之資料分支預測結果，來控制記憶體單元陣列10輸出對應資料提取位址161之資料。此外，控制單元13亦根據資料提取位址161及紀錄單元12所紀錄之資料分支預測結果，來控制緩衝單元11之資料存取。控制單元13可為一有限狀態機(finite state machine)，其至少包含一閒置狀態(Idle state)、一填入狀態(Fill state)及一運行狀態(Active state)，其中，填入狀態係表示控制單元13控制緩衝單元11儲存記憶體單元陣列10所輸出之資料，而運行狀態係表示控制單元13控制緩衝單元11輸出所儲存之資料，而閒置狀態係表示緩衝單元11無儲存資料或輸出資料之動作。再者，控制單元13亦根據資料提取位址161及紀錄單元12所紀錄之資料分支預測結果，來控制邏輯單元14之資料輸出。

[0011] 請參閱第2圖，其係為本發明之記憶裝置之實施例之方塊圖。圖中，記憶裝置2與處理器核心(CPU core)電性連接。記憶裝置2包含一快取記憶體20、一緩衝記憶體21、一分支目的緩衝器(BTB)22、一控制單元23及一多工器24。快取記憶體20用以儲存複數筆指令25。控制單元23係為一有限狀態機，來控制緩衝記憶體21於閒置狀態(Idle state)、填入狀態(Fill state)及運行狀態(Active state)之間的轉換，如第3圖所示。當處理器核心26初始化或重置(reset)時，控制單元23會進入閒

置狀態，如動作30。在閒置狀態下，控制單元23會不斷偵測最內層迴圈是否出現。其中，控制單元23可依據下列兩個偵測機制：

[0012] (1)當控制單元23判斷所接收到的資料提取位址261所對應之指令為一向後分支指令且此時向後分支指令為發生的(taken)，則表示一最內層迴圈被控制單元23偵測到；

[0013] (2)當控制單元23判斷所接收到的資料提取位址261所對應之指令為向後分支指令且此時向後分支指令已連續發生兩次，則表示一最內層迴圈被控制單元23偵測到。

[0014] 在偵測最內層迴圈時，控制單元23亦要同時確認程式中的最內層迴圈是否已經存在緩衝記憶體中。因此，記憶裝置2可增加一暫存器(register)，用以紀錄最內層迴圈的開始位址及結束位址。

[0015] 當無迴圈被偵測到時，則控制單元23傳送第一控制訊號231及資料提取位址261至快取記憶體20，致使快取記憶體20輸出對應資料提取位址261之指令25至多工器24。且控制單元23傳送第三控制訊號234至多工器24，以控制多工器24輸出指令25予處理器核心26。

[0016] 若一個新的最內層迴圈被偵測到時，則控制單元23進入填入狀態，如動作31，此時控制單元23傳送第一控制訊號231及資料提取位址261至快取記憶體20，致使快取記憶體20輸出對應資料提取位址261之指令25，且控制單元23傳送第二控制訊號232至緩衝記憶體21，以控制緩衝記

憶體21儲存快取記憶體20所輸出之指令。且控制單元23傳送第三控制訊號234至多工器24，以控制多工器24輸出指令25予處理器核心26。在填入狀態時，快取記憶體20所輸出之指令從緩衝記憶體21之第一個存入點(entry)開始循序地填入，並於分支目的緩衝器22之一欄位紀錄每一個分支(branch)的結果，以及於控制單元23之暫存器中紀錄最內層迴圈開始及結束位址，如動作33。緩衝記憶體21內所儲存的為最內層迴圈指令(innermost loop instruction) 211。

- [0017] 當所偵測到的最內層迴圈填完之後，控制單元23便將儲存於緩衝記憶體21之最內層迴圈指令之數目紀錄於一暫存器中，並進入運行模式，如動作34。若所偵測到是一大於緩衝記憶體21容量的最內層迴圈，會造成緩衝記憶體21滿溢的現象，因此當緩衝記憶體21被填滿時，控制單元23進入閒置模式，如動作35。
- [0018] 若已儲存於緩衝記憶體21之最內層迴圈被偵測到時，則控制單元23進入運行狀態，如動作32。此時控制單元23傳送一第二控制訊號232及一緩衝記憶體索引(index)233至緩衝記憶體21，以控制緩衝記憶體21輸出對應緩衝記憶體索引233之最內層迴圈指令211至多工器24。而控制單元23傳送第三控制訊號234至多工器24，以控制多工器24輸出最內層迴圈指令211予處理器核心26。在運行模式時，記憶裝置2持續從緩衝記憶體21輸出最內層迴圈指令211予處理器核心26，如動作36。在運行模式時，控制單元23之計數器會計算處理器核心26已經自

緩衝記憶體21擷取多少指令。在運行模式時，如果發生迴圈緩衝失效(loop buffer miss)、預測錯誤(misprediction)或是已經讀到緩衝記憶體21內最後一道指令時，則控制單元23進入閒置模式，如動作37。

[0019] 如果控制單元23因為讀到緩衝記憶體21內最後一道指令而進入閒置模式，則控制單元23繼續傳送第一控制訊號231及資料提取位址261至快取記憶體20，致使快取記憶體20輸出對應資料提取位址261之指令25，且控制單元23亦傳送第三控制訊號234至多工器24，以控制多工器24輸出指令25至處理器核心26。因此，處理器核心26所擷取到的指令一部分由緩衝記憶體21提供，而其餘部分由快取記憶體20提供。

[0020] 在運行模式時，若發生向前分支預測錯誤(forward branch misprediction)時，則控制單元23進入填入模式，如動作38，而控制單元23傳送第一控制訊號231及資料提取位址261至快取記憶體20，致使快取記憶體20輸出對應資料提取位址261之指令25，且控制單元23亦傳送第三控制訊號234至多工器24，以控制多工器24輸出指令25至處理器核心26。而重新填入指令至緩衝記憶體21可依循下列機制，並請參閱第4圖：

[0021] (1)控制單元23可控制快取記憶體20所輸出之指令從緩衝記憶體21之第一個存入點40重新循序地填入，即表示緩衝記憶體21裡的指令全部清除；

[0022] (2)若發生錯誤之向前分支指令41出現在緩衝記憶體21之

中間位置，則表示在向前分支指令41之前的指令一至指令七為正確的，因此僅需從發生錯誤之向前分支指令41開始重新填入指令即可。

[0023] 已上所述僅為舉例性，而非為限制性者。任何未脫離本發明之精神與範疇，而對其進行之等效修改或變更，均應包含於後附之申請專利範圍中。

【圖式簡單說明】

[0024] 第1圖係為本發明之記憶裝置之方塊圖；
第2圖係為本發明之記憶裝置之實施例之方塊圖；
第3圖係為本發明之記憶裝置之有限狀態機之運作流程圖；
以及
第4圖係為本發明之緩衝記憶體之指令儲存位置示意圖。

【主要元件符號說明】

[0025] 1：記憶裝置；
10：記憶體單元陣列；
11：緩衝單元；
12：紀錄單元；
13：控制單元；
14：邏輯單元；
15：資料；
16：處理單元；
161：資料提取位址；
2：記憶裝置；
20：快取記憶體；
21：緩衝記憶體；

- 211：最內層迴圈指令；
- 22：分支目的緩衝器；
- 23：控制單元；
- 231：第一控制訊號；
- 232：第二控制訊號；
- 233：緩衝記憶體索引；
- 234：第三控制訊號；
- 24：多工器；
- 25：指令；
- 26：處理器核心；
- 261：資料提取位址；
- 30~38：有限狀態機之動作；
- 40：第一個存入點；以及
- 41：向前分支指令。

七、申請專利範圍：

1. 一種記憶裝置，其包含：
 - 一記憶體單元陣列，係儲存複數筆資料；
 - 一緩衝單元，係儲存來自該記憶體單元陣列之資料；
 - 一紀錄單元，係紀錄該緩衝單元所儲存之資料之分支預測結果(branch prediction result)；
 - 一邏輯單元，係選擇性輸出該記憶體單元陣列所儲存之資料或該緩衝單元所儲存之資料；以及
 - 一控制單元，係為一有限狀態機(finite state machine)，該有限狀態機包含一閒置狀態(Idle state)、一填入狀態(Fill state)及一運行狀態(Active state)，該控制單元係接收一資料提取位址，並根據該資料提取位址及該紀錄單元所紀錄之分支預測結果，以控制該緩衝單元之資料存取、控制該記憶體單元陣列之資料輸出及控制該邏輯單元之資料輸出；
其中，該閒置狀態係為該緩衝單元無儲存資料或輸出資料時之狀態，該填入狀態係為該控制單元控制該緩衝單元以儲存該記憶體單元陣列輸出之資料，該運行狀態係為該控制單元控制該緩衝單元輸出所儲存之資料。
2. 如申請專利範圍第1項所述之記憶裝置，其中該記憶體單元陣列係為一快取記憶體，或是更下階層的記憶體。
3. 如申請專利範圍第1項所述之記憶裝置，其中該緩衝單元係為一儲存空間，其大小小於快取記憶體，或是更下階層的記憶體。
4. 如申請專利範圍第3項所述之記憶裝置，其中該記憶體係

為一無標籤之記憶體。

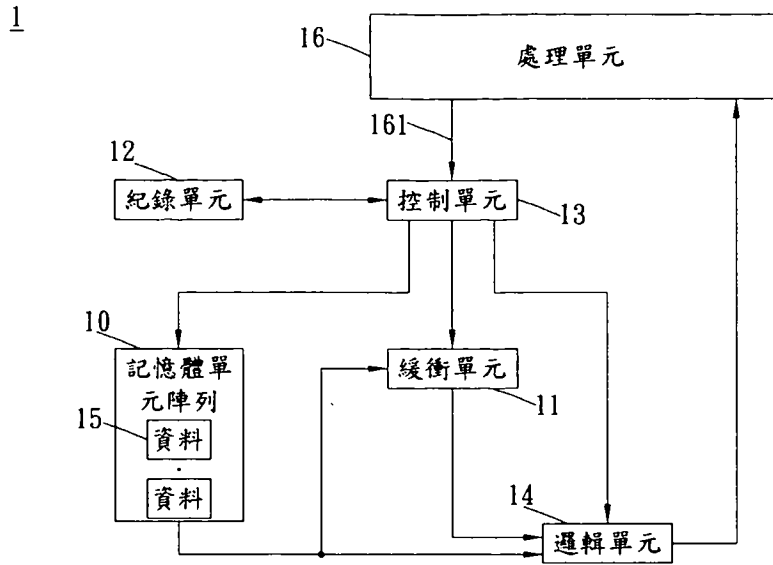
5. 如申請專利範圍第1項所述之記憶裝置，其中該緩衝單元所儲存之資料係為一最內層迴圈指令(innermost loop instruction)。
6. 如申請專利範圍第1項所述之記憶裝置，其中該控制單元處於該閒置狀態時，當該控制單元判斷該資料提取位址所對應之指令為一向後分支指令且該向後分支指令為發生的(taken)，則表示一最內層迴圈被該控制單元偵測到。
7. 如申請專利範圍第1項所述之記憶裝置，其中該控制單元處於該閒置狀態時，當該控制單元判斷該資料提取位址所對應之指令為一向後分支指令且該向後分支指令已連續發生(taken)兩次，則表示一最內層迴圈被該控制單元偵測到。
8. 一種迴圈緩衝器，係電性連接一處理器及一記憶體單元陣列，該迴圈緩衝器包含：
 - 一緩衝單元，係儲存來自該記憶體單元陣列之資料；
 - 一紀錄單元，係紀錄該緩衝單元所儲存之資料之分支預測結果；
 - 一邏輯單元，係選擇性輸出該記憶體單元陣列所儲存之資料或該緩衝單元所儲存之資料至該處理器；
 - 一控制單元，係為一有限狀態機(finite state machine)，該有限狀態機包含一閒置狀態(Idle state)、一填入狀態(Fill state)及一運行狀態(Active state)，該控制單元係根據一資料提取位址及該紀錄單元所紀錄之分支預測結果，以控制該緩衝單元之資料存取、控制該記憶體單元陣列之資料輸出及控制該邏

輯單元之資料輸出；

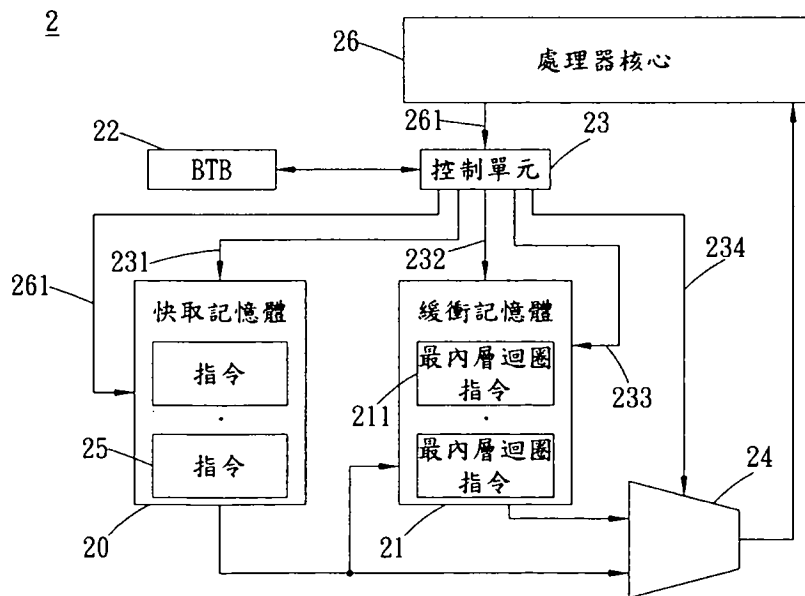
其中，該閒置狀態係為該緩衝單元無儲存資料或輸出資料時之狀態，該填入狀態係為該控制單元控制該緩衝單元以儲存該記憶體單元陣列輸出之資料，該運行狀態係為該控制單元控制該緩衝單元輸出所儲存之資料。

- 9 . 如申請專利範圍第8項所述之迴圈緩衝器，其中該記憶體單元陣列係為一快取記憶體，或是更下階層的記憶體。
- 10 . 如申請專利範圍第8項所述之迴圈緩衝器，其中該緩衝單元係為一儲存空間，其大小小於快取記憶體，或是更下階層的記憶體。
- 11 . 如申請專利範圍第10項所述之迴圈緩衝器，其中該記憶體係為一無標籤之記憶體。
- 12 . 如申請專利範圍第8項所述之迴圈緩衝器，其中該緩衝單元所儲存之資料係為一最內層迴圈指令(innermost loop instruction)。
- 13 . 如申請專利範圍第8項所述之迴圈緩衝器，其中該控制單元處於該閒置狀態時，當該控制單元判斷該資料提取位址所對應之指令為一向後分支指令且該向後分支指令為發生的(taken)，則表示一最內層迴圈被該控制單元偵測到。
- 14 . 如申請專利範圍第8項所述之迴圈緩衝器，其中該控制單元處於該閒置狀態時，當該控制單元判斷該資料提取位址所對應之指令為一向後分支指令且該向後分支指令已連續發生(taken)兩次，則表示一最內層迴圈被該控制單元偵測到。

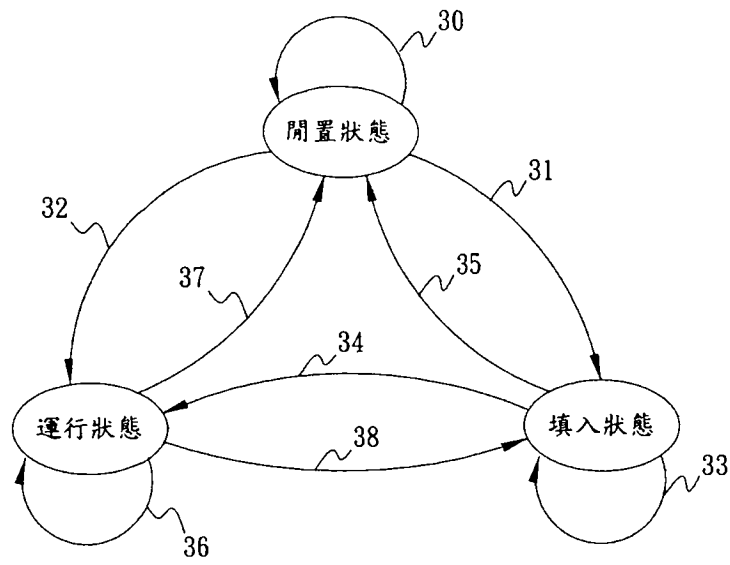
八、圖式：



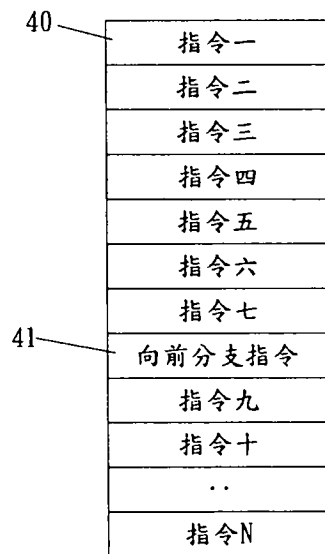
第1圖



第2圖



第 3 圖



第 4 圖