

公告本**發明專利說明書**

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：96149409

※ 申請日期：96.12.21

※IPC 分類：H03M 13/11 (2006.01)

H03M 13/29 (2006.01)

一、發明名稱：(中文/英文)

應用於迭代解碼之多層級網路架構及其傳輸方法

METHOD AND APPARATUS OF MULTI-STAGE NETWORK FOR
ITERATIVE DECODING

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

國立交通大學/NATIONAL CHIAO TUNG UNIVERSITY

代表人：(中文/英文)(簽章) 吳妍華/ LEE WU, YAN-HWA

住居所或營業所地址：(中文/英文)

新竹市大學路 1001 號/No. 1001 Dasyue Road, Hsinchu, Taiwan, R.O.C.

國 籍：(中文/英文) 中華民國/TW

三、發明人：(共 6 人)

姓 名：(中文/英文)

翁政吉/ WONG, CHENG-CHI

李永裕/ LEE, YUNG-YU

賴名威/ LAI, MING-WEI

林建青/ LIN, CHIEN-CHING

張錫嘉/ CHANG, HSIE-CHIA

李鎮宜/ LEE, CHEN-YI

國 籍：(中文/英文)(皆同) 中華民國/TW

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

一種應用於迭代解碼之多層級網路架構及其傳輸方法，其分成數級的結構，每一級根據平行度，採用同數量的 2 對 1 多工器，在這種網路結構中，每一級各個起始端點（包含記憶體輸出埠及多工器輸出埠）都只會有兩條路徑分別接到下一級的兩個多工器，一條會輸入其中一個多工器資料埠 0，另一條則是輸入另一個多工器的資料埠 1，再讓這兩個多工器使用相同的 1 位元資料選擇訊號，不論這個 1 位元的訊號是 0 或 1，各個起始端點只會有一條有效的路徑與下一級相連，因此能確保全部區塊的資料能同時透過這個網路傳送。

六、英文發明摘要：

An apparatus and method of multi-stage network for iterative network are disclosed. The apparatus has M stages, and each stage uses N multiplexers to transmit N sub-block data simultaneously. Every starting terminal, either the output port of memories or multiplexers, has two paths to couple with two different multiplexers at next stage. One path connects the source to the first data port of one multiplexer; the other connects the source to the second data port of another multiplexer. The two multiplexers will be controlled with the same 1-bit signal, so each source has only one valid path to next stage. The invention can guarantee that N sub-block data are transmitted to N SISO decoders without contention.

七、指定代表圖：

(一)、本案代表圖為：第 2 圖

(二)、本案代表圖之元件代表符號簡單說明：

20	多層級網路架構
21	記憶體模組
22	相互連結網路
23	軟輸入軟輸出解碼器

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

九、發明說明：

【發明所屬之技術領域】

本發明係有關一種多層級網路架構，特別是一種應用於迭代解碼之多層級網路架構及其傳輸方法。

【先前技術】

第 1 圖為習知通訊系統的示意圖，資料源 11 之資料經過通道 14 時會受到雜訊影響而發生錯誤，為了使接收端能收到正確之資料，利用前置錯誤更正的技術，先將資料經過渦輪碼編碼器 12 編碼後，再經過調變器 13 調變訊號傳送至通道 14 中，接收端接收訊號後解調器 15 會解調成原來之資料訊號，渦輪碼解碼器 16 再對接收的資料訊號進行解碼成解碼資料 17，藉此降低錯誤發生的機率。

上述系統中，使用渦輪碼具有優異的除錯能力，但受限於交錯器和軟輸入軟輸出解碼器的運算時間，鮮少用於有高速需求的通訊系統。為了能夠兼顧到速度和解碼效能，目前是採用無競爭式交錯器的方法，再搭配高度平行化的架構來實現渦輪解碼器，此架構重點在於連結數個軟輸入軟輸出解碼器與記憶體單元，特別是當平行度越高，連結的複雜度越高，需要考量到繞線複雜度、硬體負載及控制訊號生成等問題。

習知一種渦輪碼解碼器是由記憶體單元、交錯器及一軟輸入軟輸出解碼器所組成，其可透過迭代解碼的方法得到顯著的解碼效能。但在迭代解碼的過程中，必須等到這一回合整個區塊的對數相似比值算出後，才能進行下一回合的解碼動作，當區塊長度越長時，效能增益會越加顯著，但每個解碼回合的運算時間也隨之增加，使得資料傳輸時間受限。

因此，使用迭代解碼（Iterative Decoding）方法的解碼（例如 Turbo 解碼器），其主要透過交錯器（Interleaver）來改變由記憶體單元送至軟輸入軟輸出解碼器（SISO Decoder）的資料順序，同時會將每一個解碼回合得到資訊存回記憶體單元以供下個回合使用，藉此提昇解碼效能。然而交錯器會造成每回合之間存在資料相依性，使得資料傳輸率受到限制；對於大區塊而言，這種情形會更加嚴重，但是小區塊的解碼效能又遜色不少，因此在實作上，往往必須在高速傳輸及解碼效能之間做個取捨。

上述技術在硬體實現上使用多個軟輸入軟輸出解碼器將會造成它們和存放子區塊的記憶單元之間的連線數目過大，在硬體實現上面臨到如何去產生這些連線的控制訊號及複雜的繞線問題。

【發明內容】

為了解決上述問題，本發明目的之一係提出一應用於迭代解碼之多層級網路架構，其使用無競爭式交錯器及多個軟輸入軟輸出解碼器，將資料分成數個子區塊，使每一子區塊中的資料傳送至軟輸入軟輸出解碼器後可進行獨立之運算，使本發明能同時兼顧高速傳輸和優異解碼之效能。

本發明另一目的係提出一應用於迭代解碼之多層級網路架構，其利用區塊間排序（Inter-Block Permutation）及二次排列多項式（Quadratic Permutation Polynomial）實現硬體，能提供卓越的效能，當資料經由記憶體讀出送到軟輸入軟輸出解碼器的過程中，同時完成資料交換的動作，避免造成運算時間延遲，如此不僅能克服大區塊長度所導致的冗長運算時間，亦同時保有相同區塊長度所擁有的錯誤更正能力。

本發明另一目的係提出一在多層級網路架構中之迭代解碼之傳輸方法，其能夠以簡易的排列重組，讓記憶體資料在傳輸的過程中，完成交換的動作，以實現採用平行處理的迭代解碼方法。

為了達到上述目的，本發明一實施例之應用於迭代解碼之多層級網路架構，包括：一記憶體模組接收一輸入資料並將其分割成複數個區塊資料，記憶體模組包含 N 個記憶體單元，且每一記憶體單元儲存一區塊資料；一相互連結網路連接記憶體單元以接收區塊資料；以及複數個軟輸入軟輸出解碼器連接相互連結網路，其中相互連結網路包含 M 階的多工器組使區塊資料都各自具有一路徑傳送至軟輸入軟輸出解碼器最後輸出解碼的資料；以及每一階的多工器組連結至少一控制訊號以控制區塊資料之傳輸路徑。

為了達到上述目的，本發明另一實施例之應用於迭代解碼之多層級網路傳輸方法，包括：將資料分成 N 個大小相等之區塊資料並儲存在 N 個記憶單元中；使 N 個記憶單元經過第一階排列處理後再經過第二階排列處理，一直到第 M 階排列處理，其中每一階排列處理受至少一控制訊號控制；以及將排列處理後之資料傳送至 N 個軟輸入軟輸出解碼器。

【實施方式】

請參閱第 2 圖所示為本發明多層級網路架構之一實施例。多層級網路架構 20 包括一記憶體模組 21、一軟輸入軟輸出解碼器 23 (SISO decoder) 及一相互連結網路 22 (Interconnection Network)。記憶體模組 21 是由數個記憶體單元所組成以儲存要被解碼之資料，資料再經由相互連結網路 22 分割與排列重組分成數個區塊資料最後傳送至軟輸入軟輸出解碼器 23。

每一級各個起始端點（包含記憶體模組 21 的輸出埠及多工器的輸出埠）只會有兩條路徑分別接到下一級的兩個多工器，一條會和其中一個多工器資料埠 0 相接，另一條則是輸入另一個多工器的資料埠 1，再讓這些多工器使用相同的 1 位元資料選擇訊號，不論這個 1 位元的訊號是 0 或 1，各個起始端點只會有一條有效路徑與下一級相連，因此能確保全部區塊資料能同時透過相互連結網路 22 傳送至軟輸入軟輸出解碼器 23。另外，上述的連結網路內，在同一級中，至少每二個多工器會共用一個控制訊號。

本發明同時考量平行網路結構與無競爭式交錯器的相互影響，在區塊資料傳輸時，才能決定網路連結及控制訊號。本發明利用區塊間排序（Inter-Block Permutation）及二次排列多項式（Quadratic Permutation Polynomial）實現硬體，都能提供卓越的效能，不僅能克服大區塊長度所導致的冗長運算時間，同時保有相同區塊長度所擁有的錯誤更正能力。

請參閱第 4 圖所示為依據本發明一實施例之多層級網路及平行解碼器架構示意圖，其網路聯結方式採用蝴蝶網路（butterfly network），可實現採用區塊間排序的交錯器。在第 1 級 S1 裡，第一、三個多工器受 S_{1A} 控制，第二、四個多工器受 S_{1B} 控制；第 2 級 S2 中，第一、二個多工器受 S_{2A} 控制，第三、四個多工器受 S_{2B} 控制。任意一組（ S_{1A} 、 S_{1B} 、 S_{2A} 、 S_{2B} ）可讓四個記憶體 MEM 1、MEM 2、MEM 3、MEM 4 在無危障（hazard）的情形下，各自有一條路徑到達其對應的軟輸入軟輸出解碼器 SISO 1、SISO 2、SISO 3、SISO 4。

在上述實施例中，四個區塊資料的解碼時間僅需要一個區塊在傳統解碼器中的處理時間，同時具有四倍區塊長度所能達到的解碼效能。雖然此實施例僅列出四個區塊資料以方便瞭解本發明之精神，當使用於更多的區塊資料時其效果愈見明顯。

請參閱第 5 圖所示為依據本發明一實施例之多層級網路及平行解碼器架構示意圖，其亦是採用蝴蝶網路 (butterfly network) 之區塊間排序的交錯器。在第 1 級 S1 裡，第一、五個多工器受 S_{1A} 控制，第二、六個多工器受 S_{1B} 控制，第三、七個多工器受 S_{1C} 控制，第四、八個多工器受 S_{1D} 控制；第 2 級 S2 中，第一、三個多工器受 S_{2A} 控制，第二、四個多工器受 S_{2B} 控制，第五、六個多工器受 S_{2C} 控制，第七、八個多工器受 S_{2D} 控制；第 3 級 S3 中，第一、二個多工器受 S_{3A} 控制，第三、四個多工器受 S_{3B} 控制，第五、六個多工器受 S_{3C} 控制，第七、八個多工器受 S_{3D} 控制。任意一組控制訊號可讓八個記憶體 MEM 1、MEM 2、MEM 3、MEM 4、MEM 5、MEM 6、MEM 7、MEM 8 在無危障 (hazard) 的情形下，各自有一條路徑到達其對應的軟輸入軟輸出解碼器 SISO 1、SISO 2、SISO 3、SISO 4、SISO 5、SISO 6、SISO 7、SISO 8。

根據上述，多層級網路及平行解碼器架構是以 N 個蝴蝶網路形成的訊號傳輸電路，每一蝴蝶網路從 N 個記憶單元儲存輸入之資料，N 個記憶單元連接第一階多工器後再連接第二階多工器，一直到第 M 階多工器，且 $N=2^M$ 。每一級多工器將全部資料分成數個資料區塊至各個多工器，使每一多工器僅處理一資料區塊；其中，一控制單元 (圖中未示) 分別連接每一記憶體與各階多工器以控制資料的傳輸路徑。最後一階多工器連接 N 個軟輸入軟輸出解碼器，使每一多工器直接輸出資料至軟輸入軟輸出解碼器。

本發明利用低複雜度的蝴蝶網路將記憶體與軟輸入軟輸出解碼器連結，使儲存在記憶體的資料在傳輸過程中經由蝴蝶網路完成交換的動作，最後送至軟輸入軟輸出解碼器進行處理；蝴蝶網路中可以具有數個級數之多工器組，每一級數的運算單元 (多工器) 會根據控制訊號以選擇資料來源，且僅需計數器或位址產生器等硬體即可產生排列的控制訊號，再搭配高度平行的軟輸入軟輸出解碼器架構，使

整體解碼器的資料傳輸率加倍，以大幅提昇資料輸出量和優異解碼之效能。

請參閱第 6 圖所示為依據本發明另一實施例之平行度為 4 的多層級網路及平行解碼器架構示意圖，其網路聯結方式採用位移網路 (barrel shift network)，可實現二次排列多項式的交錯器。第 1 級 S1 裡，第一、三個多工器受 S_{1A} 控制，第二、四個多工器受 S_{1B} 控制；第 2 級 S2 中四個多工器受同一訊號 S_2 控制。任意一組 (S_{1A}, S_{1B}, S_2) 可讓四個記憶體在無危障的情形下，各自有一條路徑到達其對應的軟輸入軟輸出解碼器 SISO 1、SISO 2、SISO 3、SISO 4。當子區塊資料需經由多層級網路來進行交換時，會隨資料在區塊中的位置而調整控制訊號的生成，進而改變網路狀態。

所以，給定一元二次多項式： $f(x)=f_1x+f_2x^2$ ，在此多項式中的變數 x 代入資料的位址(address)，可得到經交錯器改變後的位址 $f(x)$ ，在此根據不同的資料區塊長度及部分條件設定此多項式式中的二次項係數 f_2 及一次項係數 f_1 ，即可滿足無競爭式交錯器的特質。

根據上述第 6 圖之架構，一種較簡易的方法可產生網路的控制訊號，其可由低複雜度的硬體即可實現。在一實施例中資料區塊有四個子區塊 M1、M2、M3、M4 分別在記憶體 MEM 1、MEM 2、MEM 3、MEM 4 中同時傳送，經二次排列多項式交錯器的網路，能分別送至 SISO 4、SISO 3、SISO 2、SISO 1 四個解碼器，為了讓網路能夠同時建構出子區塊 M1 從 MEM 1 到 SISO 4、子區塊 M2 從 MEM 2 到 SISO 3、子區塊 M3 從 MEM 3 到 SISO 2、子區塊 M4 從 MEM 4 到 SISO 1 的四條路徑，可以只需要知道下列兩個資訊即可決定控制訊號：

- (1) 子區塊 M1 會連到 SISO 4，由硬體編號可透過 (SISO 4-M1)，再除以 4 後取餘數，算出它的區塊位移為 3。

- (1) 子區塊 M1 會連到 SISO 4，由硬體編號可透過 (SISO 4-M1)，再除以 4 後取餘數，算出它的區塊位移為 3。
- (2) 第二是原先相鄰的子區塊 M1 及子區塊 M2，經交錯器後會各別對應到 SISO 4 及 SISO 3，利用子區塊 M2 的對應位置減子區塊 M1 的對應位置，即 (SISO 3-SISO 4)，再除以 4 後取餘數，算出兩者的交錯後位移差距為 3。
- (3) 在第一級 S1 的網路中，具有二個控制訊號 S_{1A} 及 S_{1B} ， S_{1A} 可將區塊位移 3，除以 4 取餘數求得，餘數為 3，其中 3 的二位元二進位表示法為 11，而 11 的最高有效位元為 1，可得 S_{1A} 為 1； S_{1B} 也是將交錯後位移差距 3，減去 1 後，接著再加上區塊位移 3，最後再除以 4 取餘數，其值為 1，而 1 的二位元二進位表示法為 01，其中 01 的最高有效位元為 0，可得 S_{1B} 為 0。
- (4) 第二級 S2 的網路中，具有一個控制訊號 S_2 ， S_2 可將區塊位移 3，除以 2 取餘數求得，其值為 1，而 1 的一位元二進位表示法為 1，可得 S_2 為 1。

若是有 N 個子區塊，採用二次多項式交錯器的方法，本實施例的網路將有 $\log_2 N$ 個層級，將存放子區塊資料的記憶體 MEM 1、MEM 2、MEM 3、... 到 MEM N 做為網路起點，處理子區塊資料的 SISO 1、SISO 2、SISO 3、... 到 SISO N 解碼器做為網路終點，可得到下列一共同的運算步驟，請同時參閱第 7 圖為傳輸路徑示意圖：

- (1) 第 1 個記憶體 71 將傳送資料到第 P 個 SISO 解碼器 72，第 2 個記憶體 71 將傳送資料到第 Q 個 SISO 解碼器 72；先求得第 1 個記憶體 71 的「區塊位移」，即 $(P-1) \bmod N$ ，接著算出頭兩個子區塊的「交錯後位移差距」，即 $(Q-P) \bmod N$ 。
- (2) 網路的第一層級需要 $(N/2)$ 個位元 (BIT) 的控制訊號，其中第一個 S_{1A} 將「交錯後位移差距」減去 1 之後，乘上 0，再加上「區塊位移」，最後除以 N 取餘數；第二個 S_{1B} 將「交

之後要乘上的數值不同，這個乘數依序由 0 遞增到 $(N/2)-1$ ，這個數列的等差為 1。

- (3) 網路的第二層級需要 $(N/4)$ 個位元 (BIT) 的控制訊號，其中第一個 S_{2A} 將「交錯後位移差距」減去 1 之後，乘上 0，再加上「區塊位移」，最後除以 $(N/2)$ 取餘數；第二個 S_{2B} 將「交錯後位移差距」減去 1 之後，乘上 1，再加上「區塊位移」，最後除以 $(N/2)$ 取餘數；以此類推直到第二層中的第 $(N/4)$ 個控制訊號為止。和前一層級的差別在於最後取餘數的步驟時，所使用的除數不相同，第一層級使用 (N) ，第二層級使用 $(N/2)$ ，第三層級使用 $(N/4)$ ，以此類推；從第二層級開始，所使用的除數將是前一級除數的一半。

請參閱第 8 圖所示為依據本發明一實施例之平行度為 8 的多層級網路及平行解碼器架構示意圖，其網路聯結方式亦是位移網路 (barrel shift network)，可實現二次排列多項式的交錯器。第 1 級 $S1$ 裡，第一、五個多工器受 S_{1A} 控制，第二、六個多工器受 S_{1B} 控制，第三、七個多工器受 S_{1C} 控制，第四、八個多工器受 S_{1D} 控制；第 2 級 $S2$ 裡，第一、三、五、七個多工器受 S_{2A} 控制，第二、四、六、八個多工器受 S_{2B} 控制；第 3 級 $S3$ 裡，八個多工器受同一訊號 S_3 控制。以上任意一組訊號可讓四個記憶體在無危障的情形下，各自有一條路徑到達其對應的軟輸入軟輸出解碼器 SISO 1、SISO 2、SISO 3、SISO 4、SISO 5、SISO 6、SISO 7、SISO 8。當子區塊資料需經由多層級網路來進行交換時，會隨資料在區塊中的位置而調整控制訊號的生成，進而改變網路狀態。

根據上述，當解碼器採用無競爭式交錯器以及平行化架構時，能同時兼顧高速傳輸和優異解碼效能；它可以應用於使用迭代解碼方式的解碼器上 (例如 Turbo 解碼器、LDPC 解碼器)。對於採用無競爭式交錯器的平行解碼器架構，能有效降低記憶體和軟輸入軟輸出解碼器 (SISO) 之間的繞線複雜度。

請參閱第 9 圖所示為根據本發明一實施例之在多層級網路架構中之迭代解碼之傳輸方法，步驟 S81 將資料分成 N 個大小相等之區塊資料並儲存在 N 個記憶單元中；步驟 S82 使 N 個記憶單元經過第一階排列處理後再經過第二階排列處理，一直到第 M 階排列處理，且 $N=2^M$ ；步驟 S83 排列處理後之資料傳送至 N 個軟輸入軟輸出解碼器。在步驟 S82 中，從第一階至第 M 階排列處理為多層級網路及平行解碼的方式，其可使用蝴蝶網路 (butterfly network) 或位移網路 (barrel shift network) 即可實現，但亦不限於此兩種處理方式，其處理的細節如上述之實施例。

根據上述，本發明提出一種多層級網路傳輸方法及架構，能夠以簡易的排列重組，讓記憶體資料在傳輸的過程中，完成交換的動作。此網路設置只需使用基本的邏輯電路 (多工器)，再加上規律的網路連結，透過外部訊號來控制資料的傳輸，使得數筆同時由平行架構的記憶體中讀取的資料，能夠根據所使用的無競爭式交錯器，傳送到各自對應的軟輸入軟輸出解碼器。本方法能以低複雜度的多層級網路架構，來實現採用平行架構的迭代解碼方法。

綜合上述，本發明使用一多層級網路，透過多層級網路將記憶體和 SISO 解碼器連結起來，每一級只需數個由外部訊號控制的多工器來決定傳輸路徑；而且網路內部連線的方法可確保各個區塊資料在每一級的傳輸中，都只有一條路徑會到達下一級。因主要硬體架構為基本的多工器，再加上其控制訊號只有一個位元，對於採用平行架構、迭代解碼的解碼器在硬體實現上提供一個低複雜度的解決方式。

以上所述之實施例僅係為說明本發明之技術思想及特點，其目的在使熟習此項技藝之人士能夠瞭解本發明之內容並據以實施，當不能以之限定本發明之專利範圍，即大凡依本發明所揭示之精神所作之均等變化或修飾，仍應涵蓋在本發明之專利範圍內。

【圖式簡單說明】

第 1 圖為習知通訊系統的示意圖。

第 2 圖所示為根據本發明一實施例之多層級網路架構。

第 3 圖所示為根據本發明一實施例之相互連結網路架構示意圖。

第 4 圖所示為根據本發明一實施例之平行度為 4 的多層級網路及平行解碼器架構示意圖。

第 5 圖所示為依據本發明一實施例之平行度為 8 的多層級網路及平行解碼器架構示意圖

第 6 圖所示為依據本發明另一實施例之平行度為 4 的多層級網路及平行解碼器架構示意圖。

第 7 圖所示為根據本發明一實施例之在多層級網路架構中之迭代解碼之傳輸路徑示意圖。

第 8 圖所示為依據本發明一實施例之平行度為 8 的多層級網路及平行解碼器架構示意圖。

第 9 圖所示為根據本發明一實施例之在多層級網路架構中之迭代解碼之傳輸方法。

【主要元件符號說明】

11	資料源
12	渦輪碼編碼器
13	調變器
14	通道
15	解調器

16	渦輪碼解碼器
17	解碼資料
20	多層級網路架構
21	記憶體模組
22	相互連結網路
23	軟輸入軟輸出解碼器
71	記憶體
72	SISO 解碼器
S81-S83	流程步驟

十、申請專利範圍：

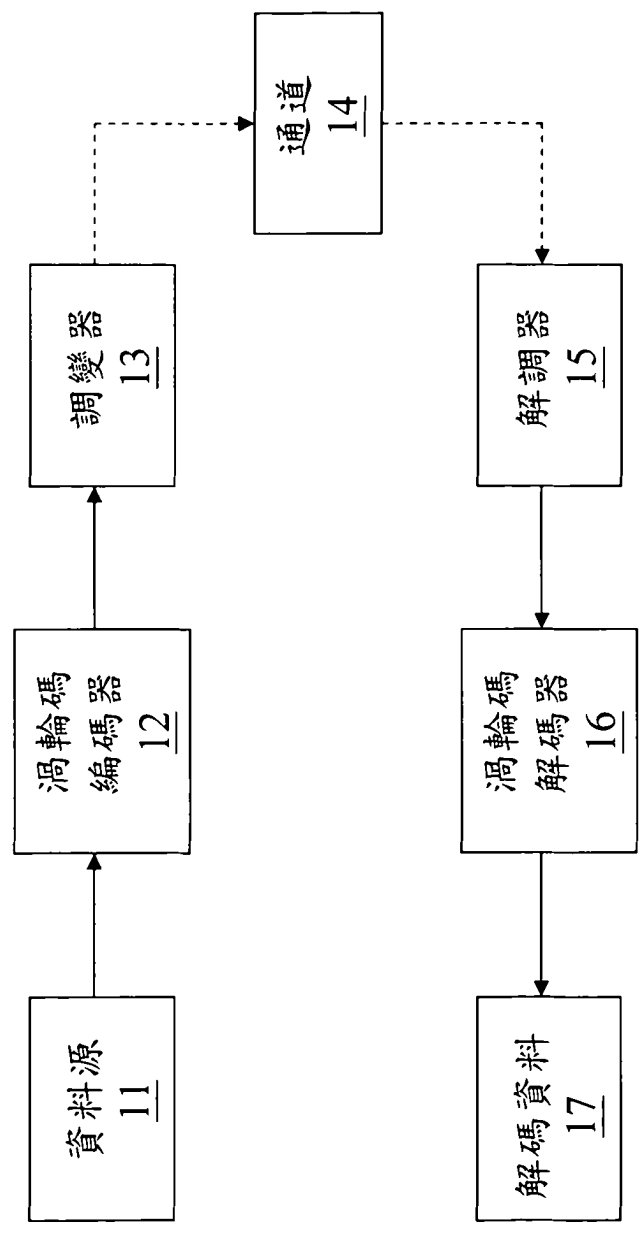
1. 一種應用於迭代解碼之多層級網路架構，包括：
 - 一記憶體模組，係接收一輸入資料並將其分割成複數個區塊資料，該記憶體模組包含 N 個記憶體單元，且每一該記憶體單元儲存每一該區塊資料；
 - 一相互連結網路，係連接該些記憶體單元以接收該些區塊資料；以及
 - 複數個軟輸入軟輸出解碼器，係連接該相互連結網路，其中
 - 該相互連結網路包含 M 階的多工器組使該些區塊資料都各自具有一路徑傳送至該些軟輸入軟輸出解碼器，最後輸出解碼的資料；以及
 - 該些每一階的多工器組連結至少一控制訊號以控制該些區塊資料之傳輸路徑。
2. 如請求項 1 所述之應用於迭代解碼之多層級網路架構，其中該些 N 個記憶體單元與該些 M 階的多工器組的關係為 $N=2^M$ 。
3. 如請求項 1 所述之應用於迭代解碼之多層級網路架構，其中該些每一階的多工器組都具有相同數量之 2 對 1 多工器，每一該些記憶體的輸出埠或該些多工器的輸出埠有兩條路徑分別接到下一階的兩個多工器。
4. 如請求項 1 所述之應用於迭代解碼之多層級網路架構，其中該相互連結網路為一蝴蝶網路。
5. 如請求項 4 所述之應用於迭代解碼之多層級網路架構，其中該蝴蝶網路為一區塊間排序的交錯器。
6. 如請求項 1 所述之應用於迭代解碼之多層級網路架構，其中該相互連結網路為一位移網路。
7. 如請求項 6 所述之應用於迭代解碼之多層級網路架構，其中該位移網路為一二次排列多項式的交錯器。
8. 一種應用於迭代解碼之多層級網路傳輸方法，包括：

將資料分成 N 個大小相等之區塊資料並儲存在 N 個記憶單元中；

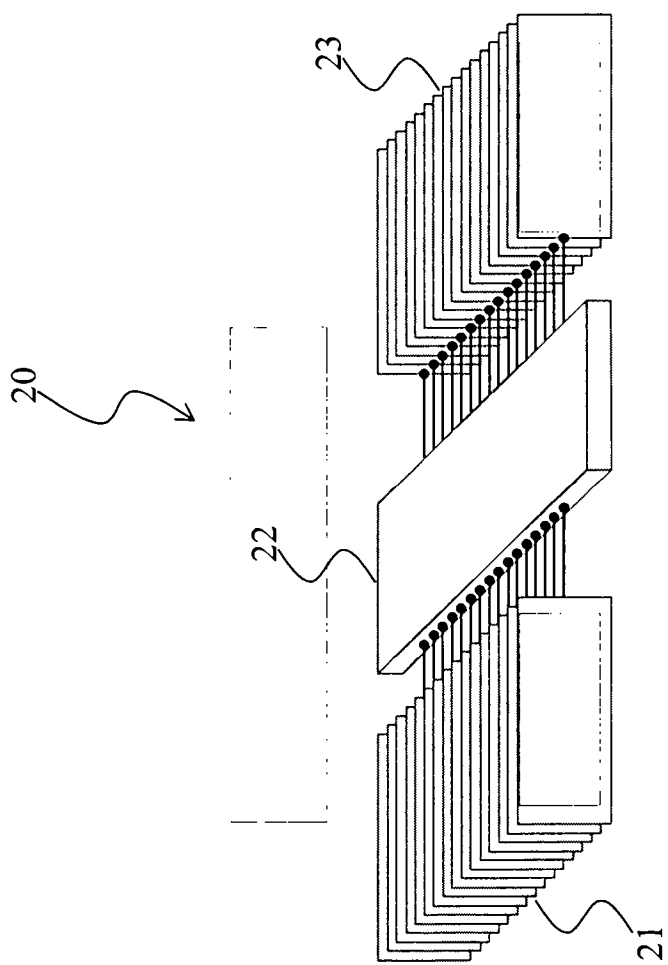
使 N 個記憶單元經過第一階排列處理後再經過第二階排列處理，一直到第 M 階排列處理，其中該些每一階排列處理受至少一控制訊號控制；以及

將排列處理後之資料傳送至 N 個軟輸入軟輸出解碼器。

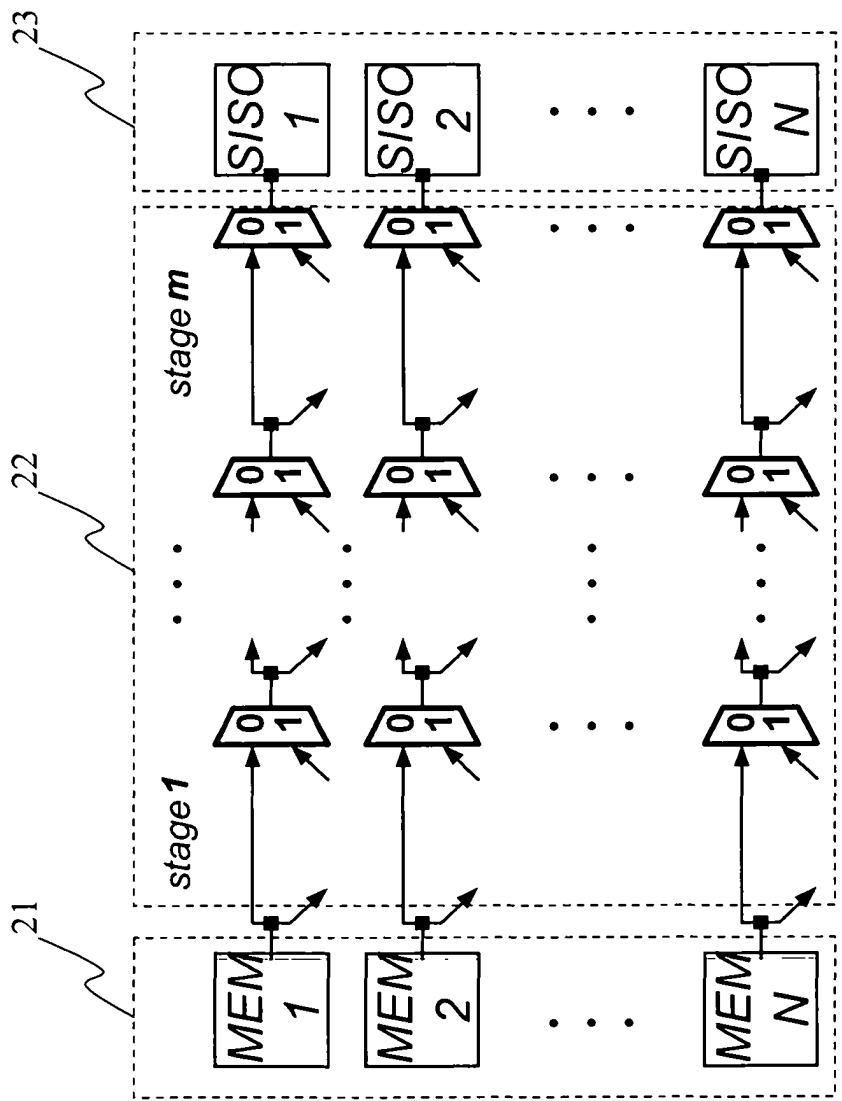
9. 如請求項 8 所述之應用於迭代解碼之多層級網路傳輸方法，其中該些 N 個記憶體單元與該些 M 階的多工器組的關係為 $N=2^M$ 。
10. 如請求項 8 所述之應用於迭代解碼之多層級網路傳輸方法，其中從第一階排列處理一直到第 M 階排列處理為一區塊間排序的交錯方式。
11. 如請求項 8 所述之應用於迭代解碼之多層級網路傳輸方法，其中從第一階排列處理一直到第 M 階排列處理為一二次排列多項式的交錯方式。
12. 一種應用於多層級網路架構之迭代解碼方法，包括：
 - 接收 N 個子區塊之資料至 N 個記憶體單元；
 - 求得第一個子區塊的區塊位移(= X)以及前面二個子區塊的交錯後位移差距(= Y)之資訊；
 - 對第 m 級之網路，需要 $(N/2^m)$ 位元的控制訊號，每一控制訊號為 $[(Y-1) \times n + X] \bmod (N/m)$ ， n 從 0 至 $(N/2^m)-1$ 且為整數；及
 - 該些 N 個子區塊之資料經由該些控制訊號交錯排列至 N 個軟輸入軟輸出解碼器。
13. 如請求項 12 所述之應用於多層級網路架構之迭代解碼方法，該區塊位移為 $X = (P-1) \bmod N$ ， P 為該些 N 個子區塊之第一子區塊位址。
14. 如請求項 12 所述之應用於多層級網路架構之迭代解碼方法，該交錯後位移差距為 $Y = (Q-P) \bmod N$ ， P 、 Q 分別為該些 N 個子區塊之第一與第二子區塊位址。



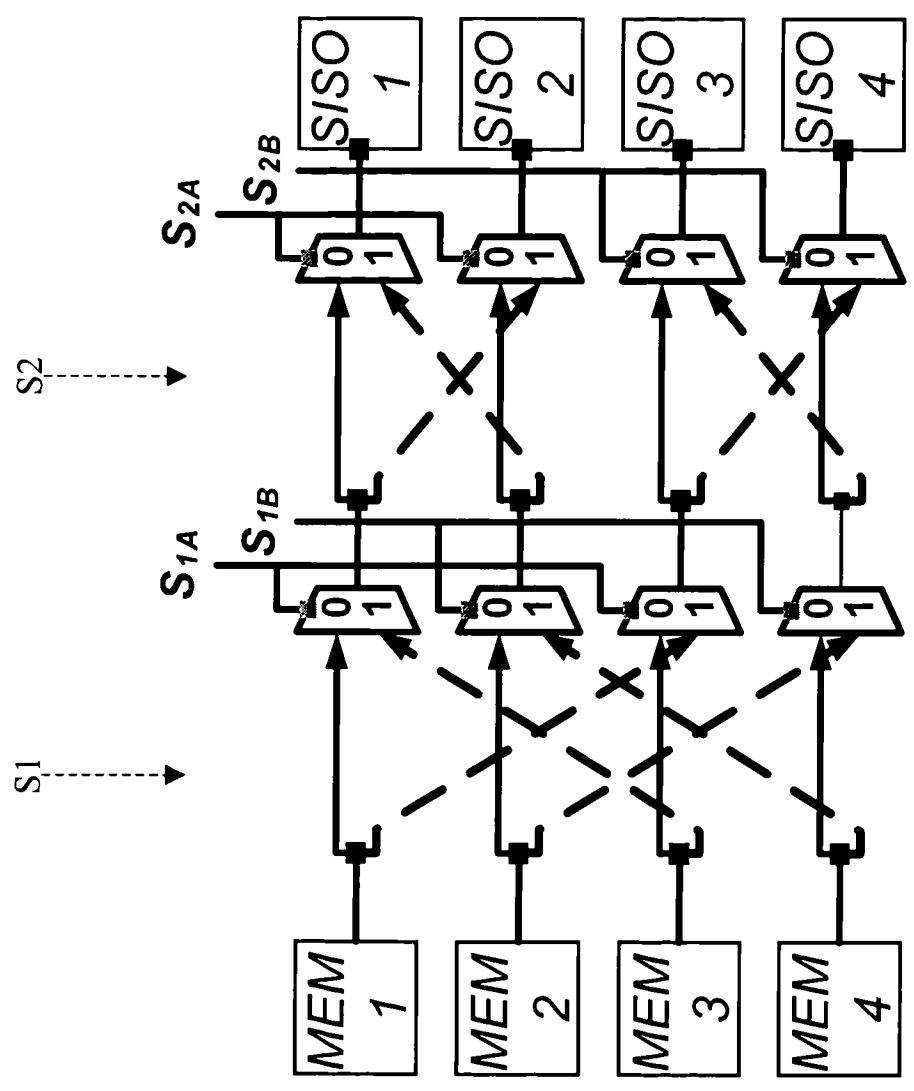
第1圖(習知技術)



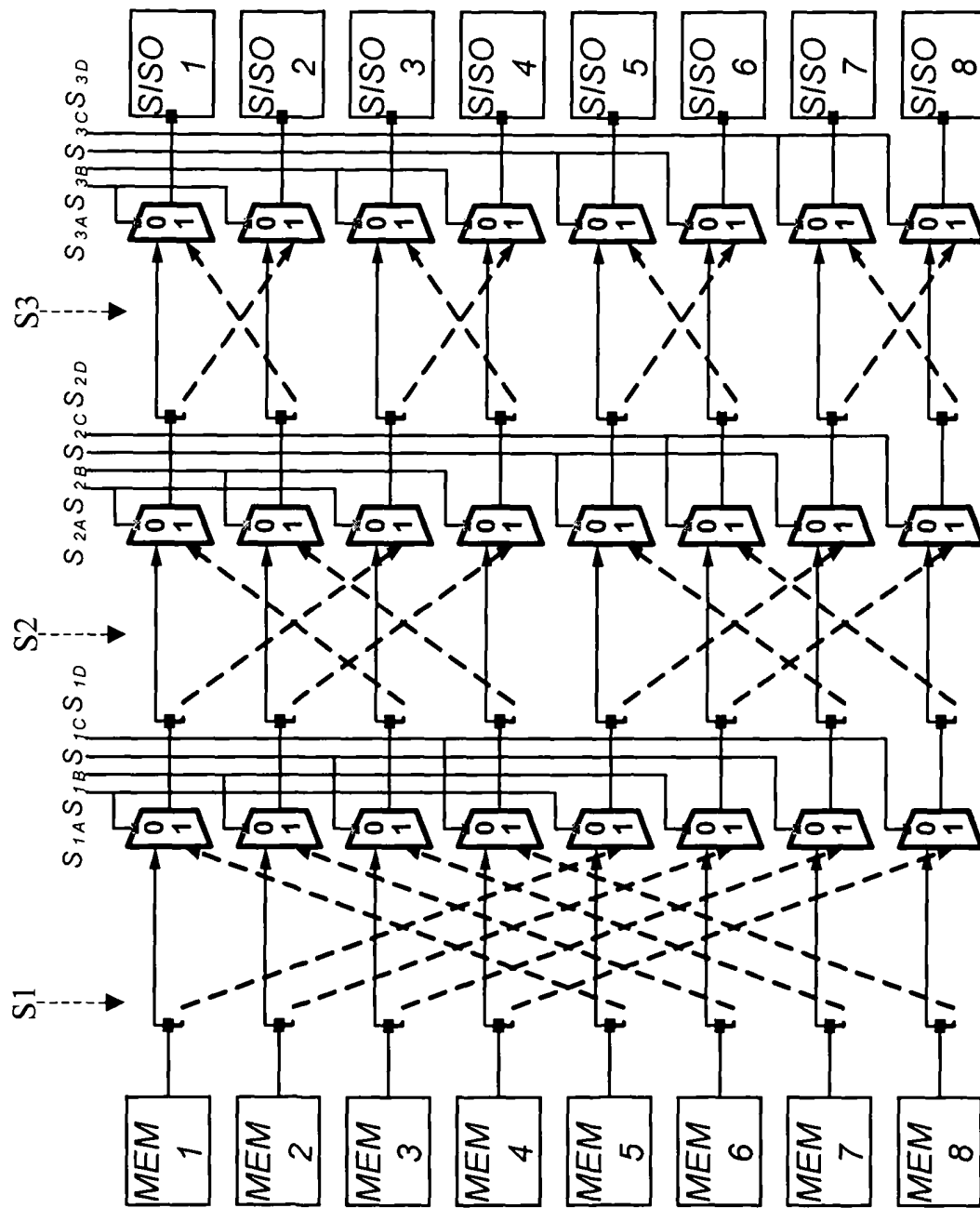
第2圖



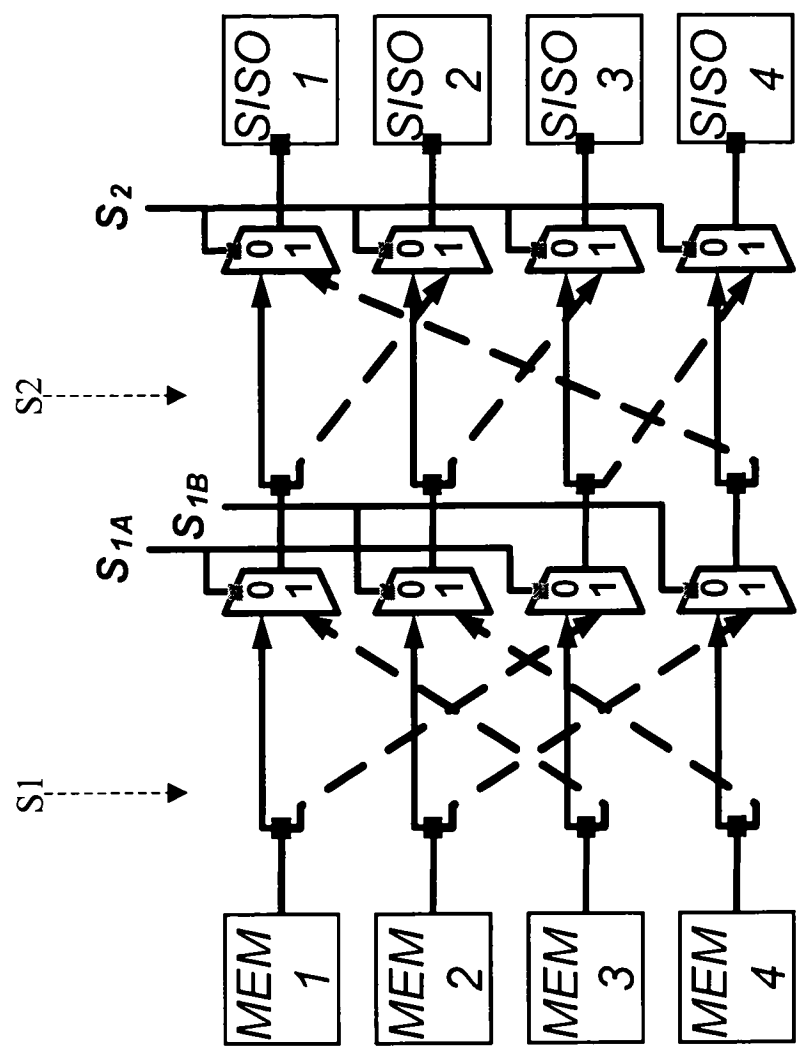
第3圖



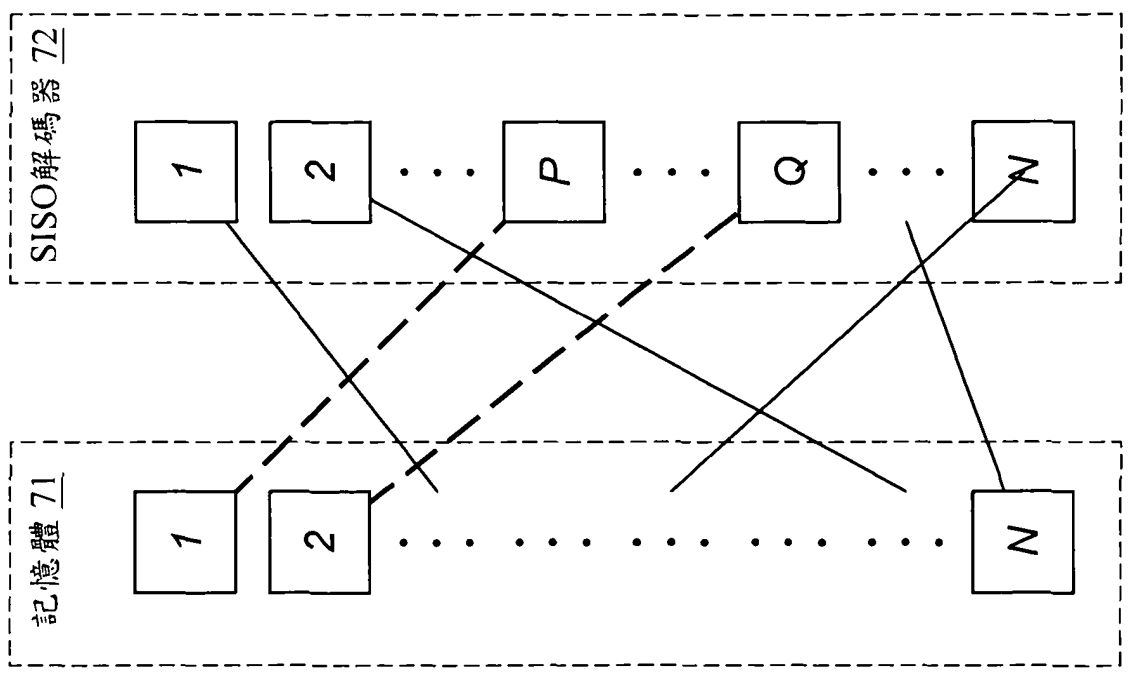
第4圖



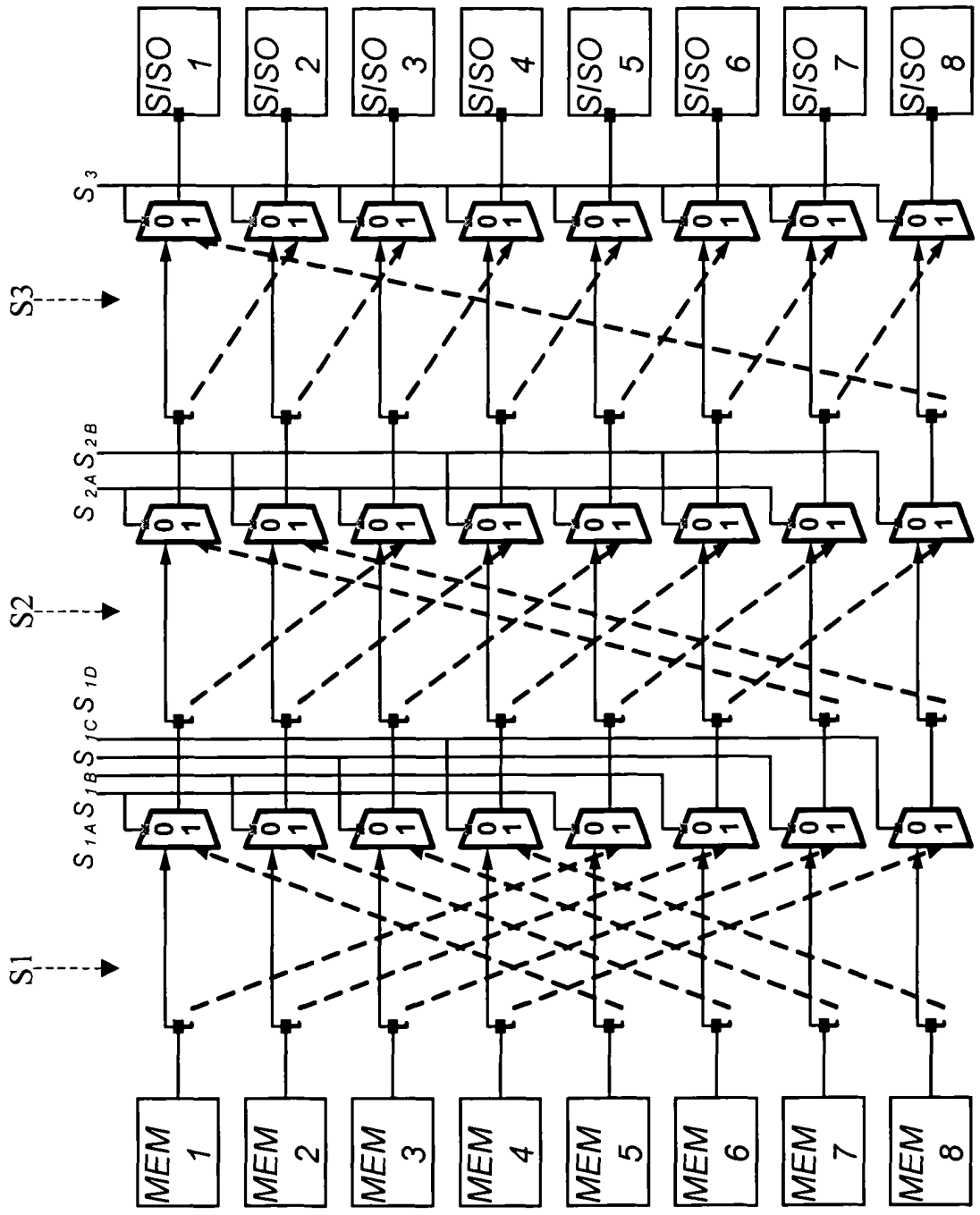
第5圖



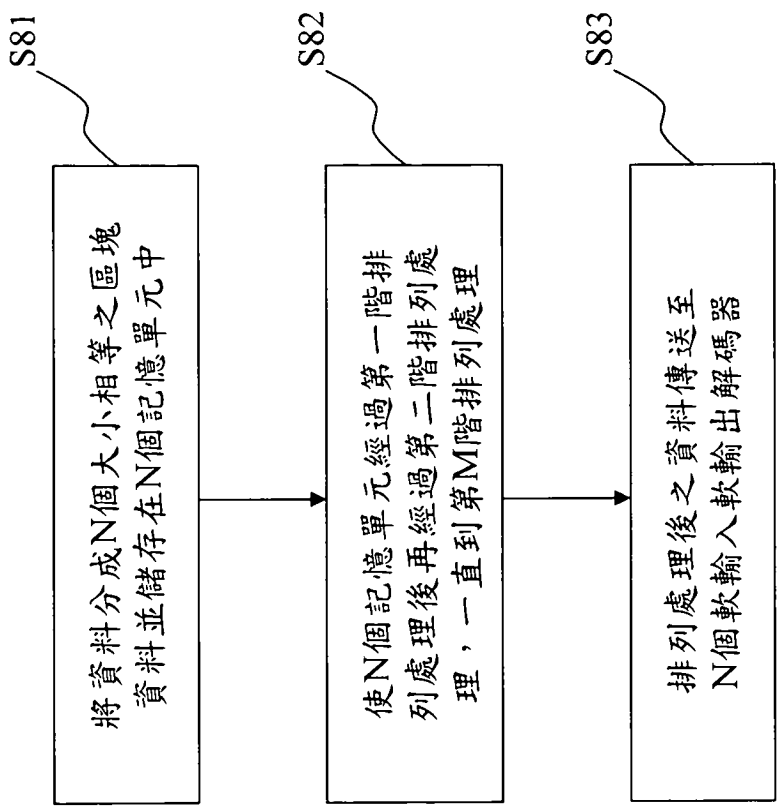
第6圖



第7圖



第8圖



第9圖