



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I455138 B

(45) 公告日：中華民國 103 (2014) 年 10 月 01 日

(21) 申請案號：100120717

(22) 申請日：中華民國 100 (2011) 年 06 月 14 日

(51) Int. Cl. : **G11C16/12 (2006.01)****H01L21/8247(2006.01)****H01L27/115 (2006.01)**

(71) 申請人：國立交通大學(中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)

新竹市大學路 1001 號

(72) 發明人：林鴻志 LIN, HORNG CHIH (TW)；林哲民 LIN, ZER MING (TW)

(74) 代理人：林火泉

(56) 參考文獻：

TW I288929

TW I325605

US 2005/0280061A1

US 2007/0252201A1

US 2009/0184360A1

US 2010/0020617A1

US 2010/0140685A1

審查人員：謝志偉

申請專利範圍項數：16 項 圖式數：5 共 0 頁

(54) 名稱

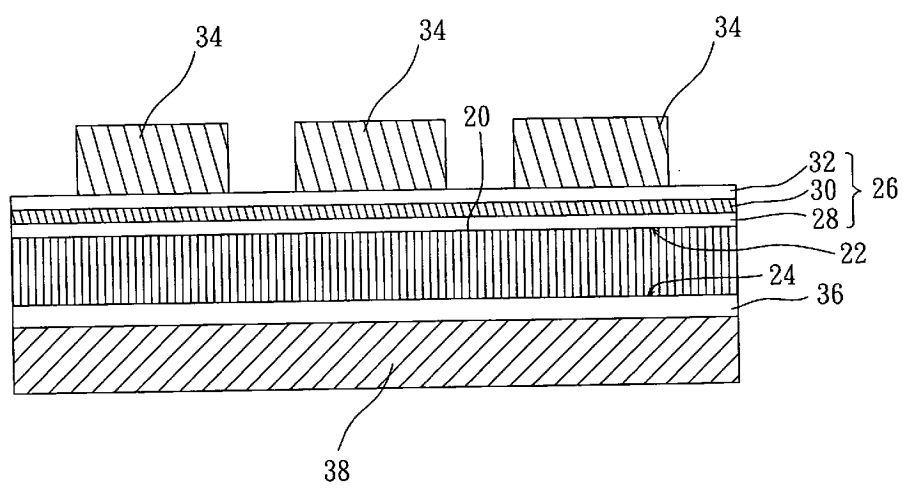
非揮發性半導體記憶體裝置

NONVOLATILE SEMICONDUCTOR MEMORY DEVICE

(57) 摘要

本發明提供一種非揮發性半導體記憶體裝置，具有共用背閘極的獨立雙閘極 SONOS 記憶胞陣列的非揮發性記憶體結構，可應用於三維積成的快閃記憶體上。此種結構由於獨立雙閘極的控制，具有改善短通道效應、高寫入或抹移除效率，及有效避免讀取干擾等操作特性上的優點，藉由共用背閘極以及無接面的特性，可大幅簡化製程。

This invention discloses a nonvolatile semiconductor memory device which contains at least a string of SONOS cells with an independent double-gate (IDG) configuration. One of the double gates in one of the cells in the string with a storage ONO gate dielectric is isolated from the gates of other cells. The other gate in one of the cells in the string with an oxide gate dielectric is common and shared with other cells in the string. Such a scheme can retain the inherent merits associated with the IDG configuration, such as good control over the short-channel effects, improved P/E efficiency, and suppressed read disturb. Furthermore, the implementation of the common back-gate and junction-free features can greatly simplify the device fabrication, and thus advancing the feasibility of poly-Si NW devices for 3D nonvolatile memory manufacturing.



- 20 . . . 第一半導體通道層
- 22 . . . 第一表面
- 24 . . . 第二表面
- 26 . . . 第一介面層
- 28 . . . 氧化矽
- 30 . . . 氮化矽
- 32 . . . 氧化矽
- 34 . . . 第一閘極
- 36 . . . 第二介面層
- 38 . . . 第二閘極

第 2 圖

發明專利說明書

公告本

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：100120717 G11C 16/2 (2006.01)
 ※申請日：100. 6. 14 ※IPC 分類：H01L 21/824 (2006.01)
 一、發明名稱：(中文/英文) 27/115 (2006.01)

非揮發性半導體記憶體裝置 / nonvolatile semiconductor memory device

二、中文發明摘要：

本發明提供一種非揮發性半導體記憶體裝置，具有共用背閘極的獨立雙閘極 SONOS 記憶胞陣列的非揮發性記憶體結構，可應用於三維積成的快閃記憶體上。此種結構由於獨立雙閘極的控制，具有改善短通道效應、高寫入或抹移除效率，及有效避免讀取干擾等操作特性上的優點，藉由共用背閘極以及無接面的特性，可大幅簡化製程。

三、英文發明摘要：

This invention discloses a nonvolatile semiconductor memory device which contains at least a string of SONOS cells with an independent double-gate (IDG) configuration. One of the double gates in one of the cells in the string with a storage ONO gate dielectric is isolated from the gates of other cells. The other gate in one of the cells in the string with an oxide gate dielectric is common and shared with other cells in the string. Such a scheme can retain the inherent merits associated with the IDG configuration, such as good control over the short-channel effects, improved P/E efficiency, and suppressed read disturb. Furthermore, the implementation of the common back-gate and junction-free features can greatly simplify the device fabrication, and thus advancing the feasibility of poly-Si NW devices for 3D nonvolatile memory manufacturing.

四、指定代表圖：

(一)本案指定代表圖為：第(2)圖。

(二)本代表圖之元件符號簡單說明：

20 第一半導體通道層

22 第一表面

24 第二表面

26 第一介面層

28 氧化矽

30 氮化矽

32 氧化矽

34 第一閘極

36 第二介面層

38 第二閘極

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

六、發明說明：

【發明所屬之技術領域】

本發明係有關一種非揮發性半導體記憶體裝置，特別是指一種具有共用背閘極的雙閘極之非揮發性半導體記憶體裝置。

【先前技術】

隨著時代的進步，大量電器或電子產品已經是生活不可或缺的輔助工具，這些產品基本架構是都須要微處理器來執行運算功能，而一個微處理器又通常伴隨多個記憶體使用，這些記憶體負責儲存微處理器運算時所需的程式碼或者儲存使用者的資料。微處理器所需要的程式以及需要永久保存的資料，則必須存放在非揮發性記憶體（Non Volatile Memory, NVM）或稱為唯讀記憶體（Read Only Memory）中。此類記憶體在電源中斷後資料仍得以繼續保存，例如應用於資料儲存的快閃記憶體，以反及閘（NAND）結構為例，其體積小、耐震；省電及存取速度快，進而成為近年來最受矚目的記憶體元件，並且廣泛應用於電子、電腦以及通訊產品中。

如第 1 圖所示，傳統的快閃記憶體裝置包括配置有複數個快閃記憶體單元 10 之控制閘極 12 與源極/汲極之半導體層 14，兩者之間沈積有一電荷儲存層 16。讀取時，常受限於低的讀取電流，除了施加讀取偏壓於欲讀取單元（cell）的控制閘極 12 上，為減低寄生電阻，必須施加一相當大的讀取通過電壓（Vread-pass）於同一列快閃記憶體單元 10 的控制閘極 12；如此一來，易造成嚴重的讀取干擾（read disturb）。針對此問題，有人提出獨立雙閘極元件結構來加以改善，如圖一所示，於半導體層 14 之另一側製作對應每一控制閘極 12 的獨立背閘極 18，使控制閘極 12 與背閘極 18 為一對一

配置結構，運作時，除了施加讀取偏壓於欲讀取單元 (cell) 的控制閘極 12 上，同時可將讀取通過電壓施加於相對應的背閘極 18 上，以避免讀取干擾。但此結構的製作步驟相對複雜甚多，包括兩獨立閘極間存在微影時互相對準的問題，造成製程上的困難度，在實際量產時相當不易達成，且價格相當的昂貴。

有鑑於此，本發明遂針對上述先前技術之缺失，提出一種非揮發性半導體記憶體裝置，以有效克服上述之該等問題。

【發明內容】

本發明之主要目的在提供一種非揮發性半導體記憶體裝置，其有效改善短通道效應 (Short Channel Effect)，有利於元件的微縮，亦可有效的消除讀取干擾 (read-pass disturb) 的問題。

本發明之次要目的在提供一種非揮發性半導體記憶體裝置，可將雙閘極記憶元件利用堆疊方式增加儲存容量，可因應市場需求，極具產業競爭優勢。

本發明之另一目的在提供一種非揮發性半導體記憶體裝置，可藉著施加寫入或抹除導通電壓於共用閘，可以有效提升電荷穿隧進電荷存取層的效率，進而提升非揮發性記憶體的寫入/移除效率。

本發明之再一目的在提供一種非揮發性半導體記憶體裝置，使用低溫多晶矽薄膜電晶體 (poly-Si TFT) 製程製造，可有效應用於三維製程整合 (monolithic 3-D integration) 之上，可大量提升非揮發性記憶體的元件密度。

本發明之又一目的在提供一種非揮發性半導體記憶體裝置，使用共用背閘極的獨立雙閘極，可解決先前獨立雙閘極元件結構技術對準不易的問

題。

為達上述之目的，本發明提供一種非揮發性半導體記憶體裝置，適用於製作具有獨立雙閘極的反及閘（NAND）矽-氧化矽-氮化矽-氧化矽-矽（Silicon-Oxide-Nitride-Oxide Silicon, SONOS）記憶體元件或反及閘金屬-氧化層-氮化層-氧化層-矽（Metal Oxide Nitride Oxide Silicon, MONOS）記憶體元件的結構，非揮發性半導體記憶體裝置包括一第一半導體通道層，包含相對之一第一表面及一第二表面，於第一表面上沈積一具有儲存電荷的第一介面層；將複數個第一閘極間隔設置於第一介面層上；再將不具電荷存取之一第二介面層設置於第二表面上；一第二閘極位於第二介面層上，作為此些第一閘極之共用閘，故不需要考慮製作第二閘極時要對準每一個第一閘極的問題，又可作為獨立雙閘極使用；其中，上述元件係設置於一具有絕緣層的基板上。

本發明提供另一種非揮發性半導體記憶體裝置，適用於製作三維結構之非揮發性半導體記憶體裝置，包括一呈管狀之第一半導體通道層，其包含外側的第一表面及內側的第二表面，將具有儲存電荷能力之一第一介面層形成於第一表面上，一第二介面層係形成於第二表面上，即可形成一中空體；接續將複數個第一閘極係間隔設置於第一介面層上，使此些第一閘極位於中空體的外側；一第二閘極係位於第二介面層上，使第二閘極位於中空體的內側，並作為此些第一閘極之共用閘，如此一來，即可製作出三維結構之非揮發性半導體記憶體裝置。

底下藉由具體實施例詳加說明，當更容易瞭解本發明之目的、技術內容、特點及其所達成之功效。

【實施方式】

近年來，非揮發性記憶體之半導體記憶體元件的發展與應用上，所扮演的角色是越來越重要，因具有非揮發性、高積集度、快速寫入/讀取/抹除及低消耗功率等優點，隨著可攜式產品例如筆記型電腦、數位相機、手機、隨身碟、數位電子產品的記憶卡或固態硬碟等的普及化，逐漸成為市場應用的主流，但是目前非揮發性記憶體於製程仍有一些無法克服之困難度，因此，本發明提供一種新穎的非揮發性半導體記憶體裝置，除了可因應市場需求，又可克服先前技術之製程缺失。

如第 2 圖所示，為本發明之第一實施例示意圖，非揮發性半導體記憶體裝置包括一第一半導體通道層 20，例如單晶矽層或多晶矽層，包含相對之一第一表面 22 及一第二表面 24。於第一表面 22 上設置一第一介面層 26，第一介面層 26 可由一氧化矽 28、一氮化矽 30、一氧化矽 32 (Oxide-Nitride-Oxide, ONO) 依序堆疊而成之電荷儲存介電層，由於氮化矽具有較深層的陷阱能階，而使得穿隧氧化層具有微縮的可能性，故有利於元件的微縮以及有效改善短通道效應，因此本發明使用的第一介面層 26 以 ONO 電荷儲存介電層為例說明，當然，亦可使用由一氧化矽、一多晶矽、一氧化矽 (Oxide-Poly Silicon-Oxide) 依序堆疊而成之電荷儲存介電層。複數個第一閘極 34 係間隔設置於第一介面層 26 上。於第一半導體通道層 20 之第二表面 24 設置一第二介面層 36，例如氧化矽層，再於第二介面層 36 設置一第二閘極 38，作為此複數個第一閘極 34 之共用閘。

其中，每一第一閘極 34 可獨立施加一偏壓，第二閘極 38 之導通電壓係提供此些第一閘極 34 之共用輔助電壓。舉例來說，於寫入或抹除時，施

加負偏壓於選擇寫入或抹除的第一閘極 34 上，此時其他第一閘極 34 是保持浮動或低電壓狀態，再施加一適當的導通電壓於第二閘極 38 上，協助加速半導體通道層 20 中的電荷在量子穿隧機制下進入氮化矽 30 中，而氧化矽 28、32 可將電荷包覆於氮化矽 30 中，如此即可完成二位元的操作。換言之，本發明只要施加寫入或抹除導通電壓於第二閘極 38（共用閘），再加上使用具較低的寫入/抹除電壓特性的 ONO 之電荷儲存介電層，故可有效提升電荷穿隧進電荷存取層的效率，進而提升非揮發性記憶體之寫入或抹除效率。於讀取時，可施加正偏壓於選擇讀取的第一閘極 34 上，此時其他第一閘極 34 是保持浮動或低電壓狀態，再施加導通電壓於第二閘極 38 上，藉由判斷導通電壓的位準以讀取資料。因此，可改善單個閘極記憶體元件之讀取干擾問題。

其中，特別要說明的是，先前技術製作的獨立雙閘極（控制閘極與背閘極）記憶體元件，存在微影時互相對準的問題，造成製程上的困難度，在實際量產時相當不易達成，且價格相當的昂貴；而本發明是將先前技術使用複數個背閘極全部相連接，也就是說製作一整層第二閘極 38 作為複數個第一閘極 34 的共用閘，如此即可解決獨立雙閘極互相對準之困難度。此外，非揮發性半導體記憶體裝置之製作方法，可由下而上依序沈積第二閘極 38、第二介面層 36、第一半導體通道層 20、第一介面層 26 及複數個第一閘極 34 而成。上述的實施例中，未提及對半導體通道層所進行的摻雜（doping）步驟，但是若有需要，可摻雜該半導體通道層使之達到一最佳的摻質濃度；或更可執行一進行自我對準離子佈植之步驟，將摻質以離子型態植入第一半導體通道層 20 的特定區域上，例如源極與汲極，以獲得精確

的電子特性。由於製作非揮發性半導體記憶體裝置之方法多如繁星，故本發明不侷限於製作方法，在此僅舉例說明本發明的結構於製程上較佳的製作流程。

本發明除了具有高密度及高資料保存能力之外，更可製作增加儲存資料容量之結構，假設第一實施例之結構可製作出 64G 容量的記憶體，只要再堆疊至少一層相同結構及容量的記憶體元件，即可製作出 128G 容量的記憶體晶片，甚至更大容量的記憶體晶片。舉例來說，請同時參閱第 2 圖及第 3 圖，第 3 圖為本發明之第二實施例示意圖，只要在此些第一閘極 34 上設有至少一第三介電層 40，例如氧化矽層，再利用化學機械研磨 (Chemical-Mechanical Polishing, CMP) 進行研磨第三介電層 40 於微影製程中所產生的高低差，達到全面性的平坦化。後續再將第三介電層 40 上設置至少一第一堆疊記憶體單元 42，其中第一堆疊記憶體單元 42 係包含由下至上依序沈積的第三閘極 44、第四介面層 (如氧化矽層) 46、第二半導體通道層 48、第五介面層 (如 ONO 的電荷儲存介電層) 50 及間隔設置於第五介面層 50 上之複數個第四閘極 52，第三閘極 44 連接第三介電層 40；其中，第三閘極 44 作為此些第四閘極 52 之共用閘。值得注意的是，第一堆疊記憶體單元 42 之組成結構與第一實施例之結構相同，因此將相同的記憶體結構如上述方式以此類推的堆疊，即可獲得大容量的非揮發性半導體記憶體裝置，進而能克服目前無法製作大容量非揮發性記憶體元件的困難度，使本發明之進步性得以突顯。

除了上述製作增加儲存資料容量之結構方式之外，請同時參閱第 3 圖及第 4 圖，第 4 圖為本發明之第三實施例示意圖，非揮發性半導體記憶體

裝置更包括一基板 54 及位於基板 54 上之一第六介電層 56，於第六介電層 56 上依序設有複數個第一閘極 34、第一介面層（如 ONO 的電荷儲存介電層）26、第一半導體通道層 20、第二介面層 36 及第二閘極 38；再於第二閘極 38 上依序設有第七介電層（如氧化矽層）58、第三半導體通道層 60、第八介電層（如 ONO 的電荷儲存介電層）62、間隔設置於第八介電層 62 上之複數個第五閘極 64，以在基板 54 上形成一第二記憶體堆疊單元 66。值得注意的是，第二閘極 38 是作為此些第一閘極 34 及此些第五閘極 64 之共用閘，相較於第二實施例，可省略一層共用閘，不僅能利用堆疊方式製作倍增的記憶體容量，又可達到簡化製程的優點。再者，第二記憶體堆疊單元 66 上可再堆疊至少另一第二記憶體堆疊單元，堆疊的數量可依需求而決定。

此外，本發明更可製作三維結構之非揮發性半導體記憶體裝置，請同時參閱第 2 圖及第 5 圖，第 5 圖為本發明之第四實施例示意圖。非揮發性半導體記憶體裝置包括由外至內依序沈積第一介面層（如 ONO 的電荷儲存介電層）26、第一半導體通道層 20 及第二介面層 36 形成一中空體 68，例如圓柱體，將複數個第一閘極以串列方式上下間隔設置於第一介面層 26 之外側；第二閘極 38 係位於中空體 68 之內側，據以形成一三維結構之非揮發性半導體記憶體裝置。其中，第二閘極 38 是作為此些第一閘極 34 之共用閘，因此可改善先前技術製作獨立雙閘極元件的製程複雜度，又可提升三維結構量產的可行性，故極具應用潛力。

唯以上所述者，僅為本發明之較佳實施例而已，並非用來限定本發明實施之範圍。故即凡依本發明申請範圍所述之特徵及精神所為之均等變化

或修飾，均應包括於本發明之申請專利範圍內。

【圖式簡單說明】

第 1 圖為先前技術之快閃記憶體裝置示意圖。

第 2 圖為本發明之第一實施例之結構示意圖。

第 3 圖為本發明之第二實施例之結構示意圖。

第 4 圖為本發明之第三實施例之結構示意圖。

第 5 圖為本發明之第四實施例之三維立體示意圖。

【主要元件符號說明】

- 10 快閃記憶體單元
- 12 控制閘極
- 14 半導體層
- 16 電荷儲存層
- 18 背閘極
- 20 第一半導體通道層
- 22 第一表面
- 24 第二表面
- 26 第一介面層
- 28 氧化矽
- 30 氮化矽
- 32 氧化矽
- 34 第一閘極
- 36 第二介面層

- 38 第二閘極
- 40 第三介電層
- 42 第一堆疊記憶體單元
- 44 第三閘極
- 46 第四介面層
- 48 第二半導體通道層
- 50 第五介面層
- 52 第四閘極
- 54 基板
- 56 第六介電層
- 58 第七介電層
- 60 第三半導體通道層
- 62 第八介電層
- 64 第五閘極
- 66 第二記憶體堆疊單元
- 68 中空體

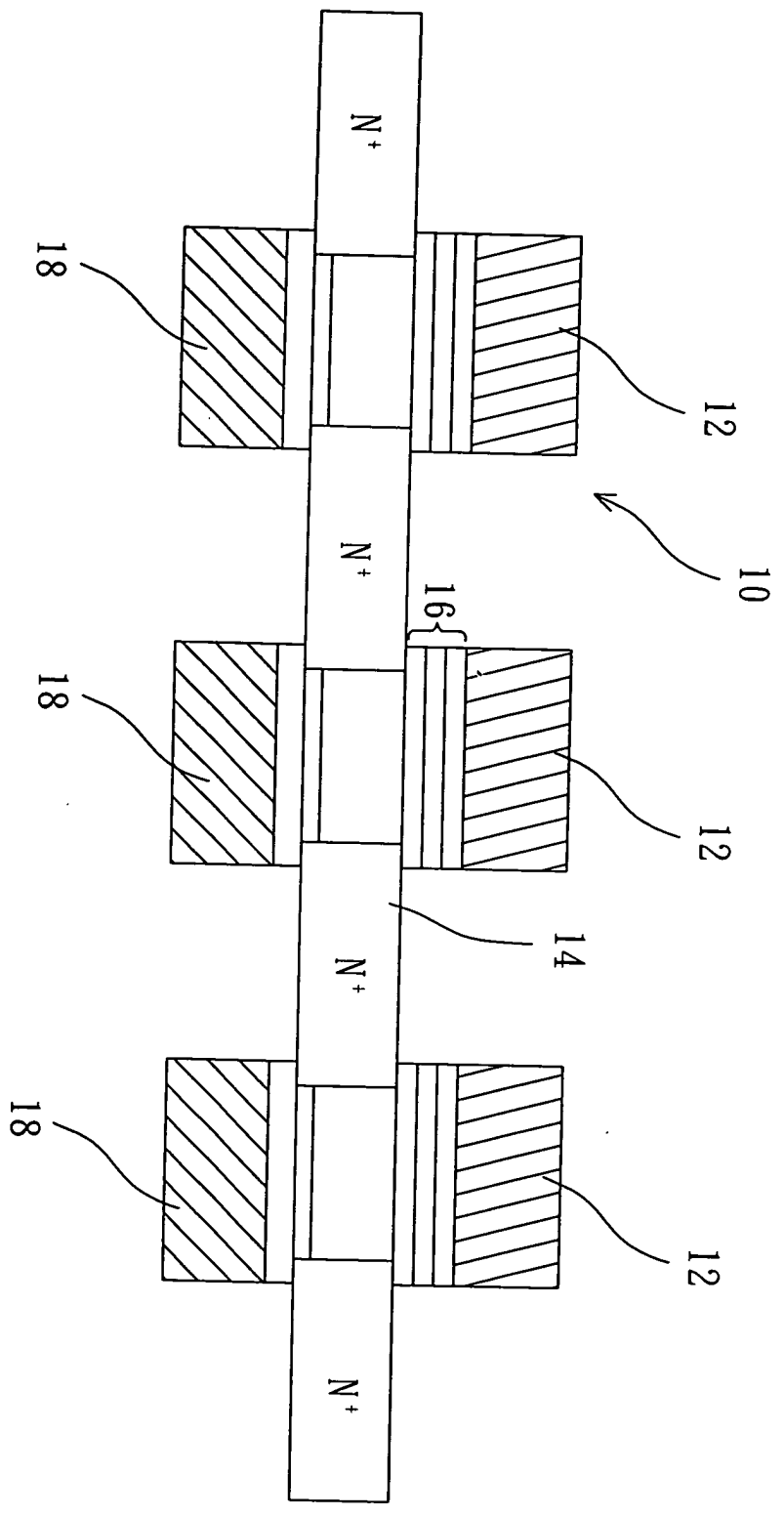
七、申請專利範圍：

1. 一種非揮發性半導體記憶體裝置，包括：
 - 一第一半導體通道層，包含相對之一第一表面及一第二表面；
 - 一第一介面層，係位於該第一表面上；
 - 複數個第一閘極，係間隔設置於該第一介面層上；
 - 一第二介面層，係位於該第二表面上；及
 - 一第二閘極，係位於該第二介面層上，作為該些第一閘極之共用閘。
2. 如請求項 1 所述非揮發性半導體記憶體裝置，其中該每一該第一閘極可獨立施加一偏壓，該第二閘極之導通電壓係提供該些第一閘極之共用輔助電壓。
3. 如請求項 1 所述非揮發性半導體記憶體裝置，其中該第一半導體通道層為一單晶矽層或一多晶矽層。
4. 如請求項 1 所述非揮發性半導體記憶體裝置，其中該第一介面層係由一氧化矽、一氮化矽、一氧化矽依序堆疊而成之電荷儲存介電層。
5. 如請求項 1 所述非揮發性半導體記憶體裝置，其中該第一介面層係由一氧化矽、一多晶矽、一氧化矽依序堆疊而成之電荷儲存介電層。
6. 如請求項 1 所述非揮發性半導體記憶體裝置，其中該第二介面層為一氧化矽層。
7. 如請求項 1 所述之非揮發性半導體記憶體裝置，其中該些第一閘極上更設有至少一第三介電層，其上設置至少一第一記憶體堆疊單元。
8. 如請求項 7 所述之非揮發性半導體記憶體裝置，其中該第一記憶體堆疊單元係包含由下至上依序沈積的第三閘極、第四介面層、第二半導體通

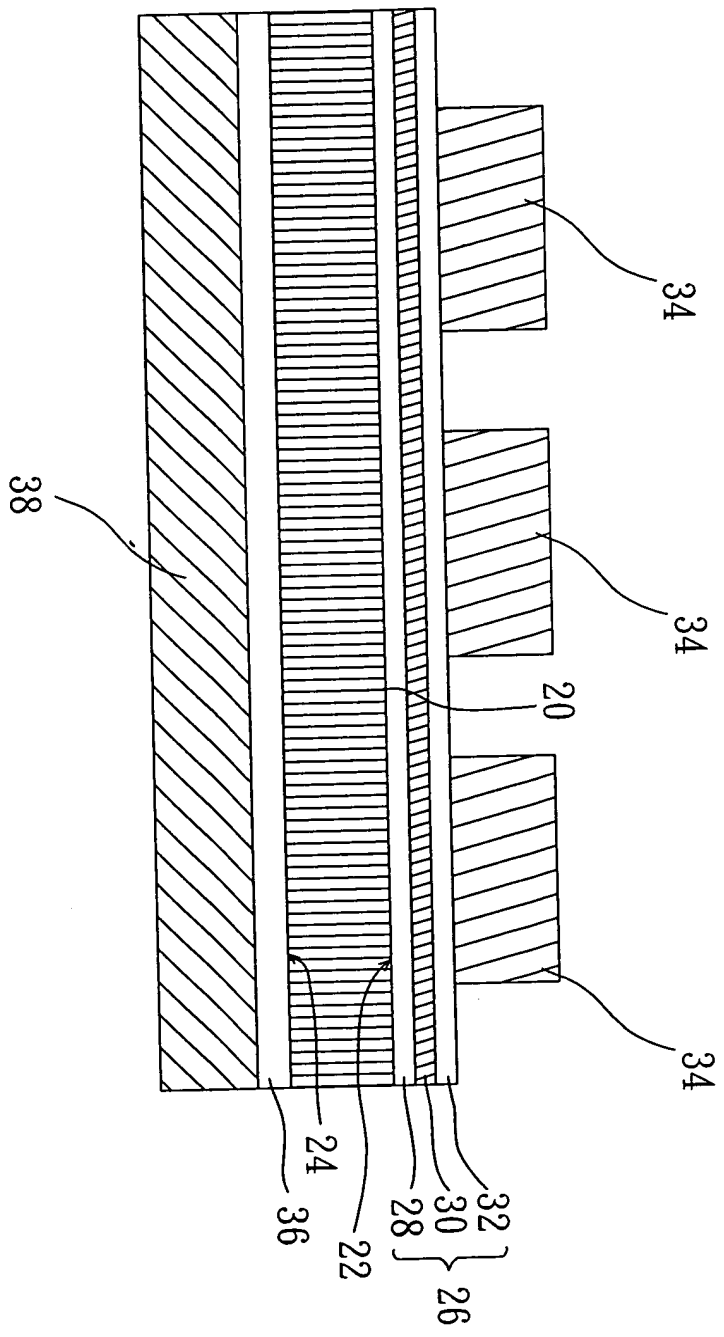
- 道層、具有儲存電荷能力之第五介面層及複數個第四閘極，該第三閘極連接該第三介電層。
9. 如請求項 1 所述之非揮發性半導體記憶體裝置，更包括一基板及位於該基板上之一第六介電層，該第一閘極位於該第六介電層上，該第一閘極上依序設有一第七介電層、一第三半導體通道層、一第八介電層及間隔設置於該第八介電層上之複數個第五閘極，以在該基板上形成一第二記憶體堆疊單元。
10. 如請求項 9 所述之非揮發性半導體記憶體裝置，其中該第二記憶體堆疊單元上可設置至少另一該第二記憶體堆疊單元。
11. 一種非揮發性半導體記憶體裝置，包括：
- 一呈管狀之第一半導體通道層，包含外側的第一表面及內側的第二表面；
 - 一第一介面層，係位於該第一表面上；
 - 複數個第一閘極，係間隔設置於該第一介面層上；
 - 一第二介面層，係位於該第二表面上；及
 - 一第二閘極，係位於該第二介面層上，作為該些第一閘極之共用閘。
12. 如請求項 11 所述非揮發性半導體記憶體裝置，其中該每一該第一閘極可獨立施加一偏壓，該第二閘極之導通電壓係提供該些第一閘極之共用輔助電壓。
13. 如請求項 11 所述非揮發性半導體記憶體裝置，其中該第一半導體通道層為一單晶矽層或一多晶矽層。
14. 如請求項 11 所述非揮發性半導體記憶體裝置，其中該第一介面層係由一氧化矽、一氮化矽、一氧化矽依序堆疊而成之電荷儲存介電層。

15. 如請求項 11 所述非揮發性半導體記憶體裝置，其中該第一介面層係由一氧化矽、一多晶矽、一氧化矽依序堆疊而成之電荷儲存介電層。
16. 如請求項 11 所述非揮發性半導體記憶體裝置，其中該第二介面層為一氧化矽層。

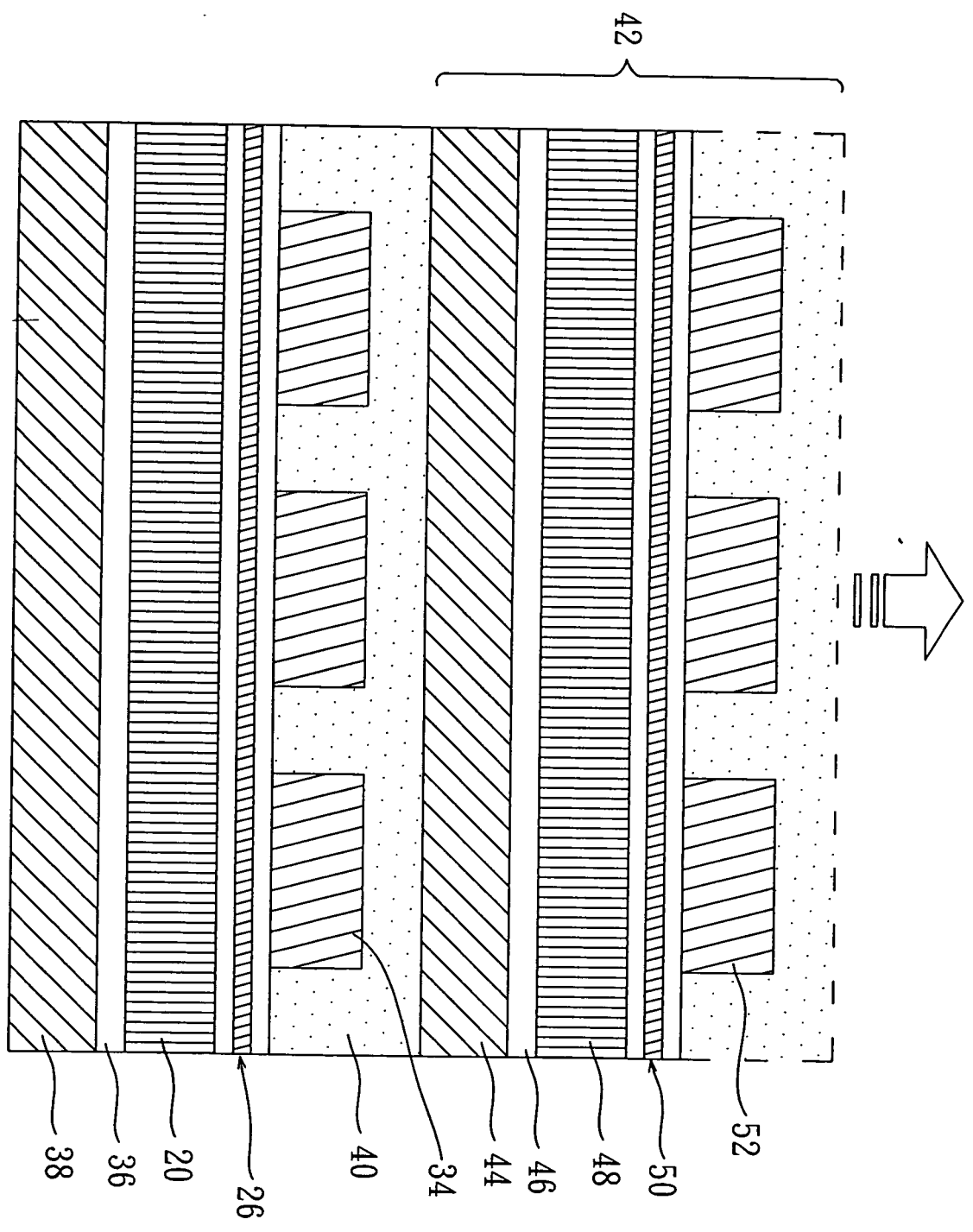
八、圖式：



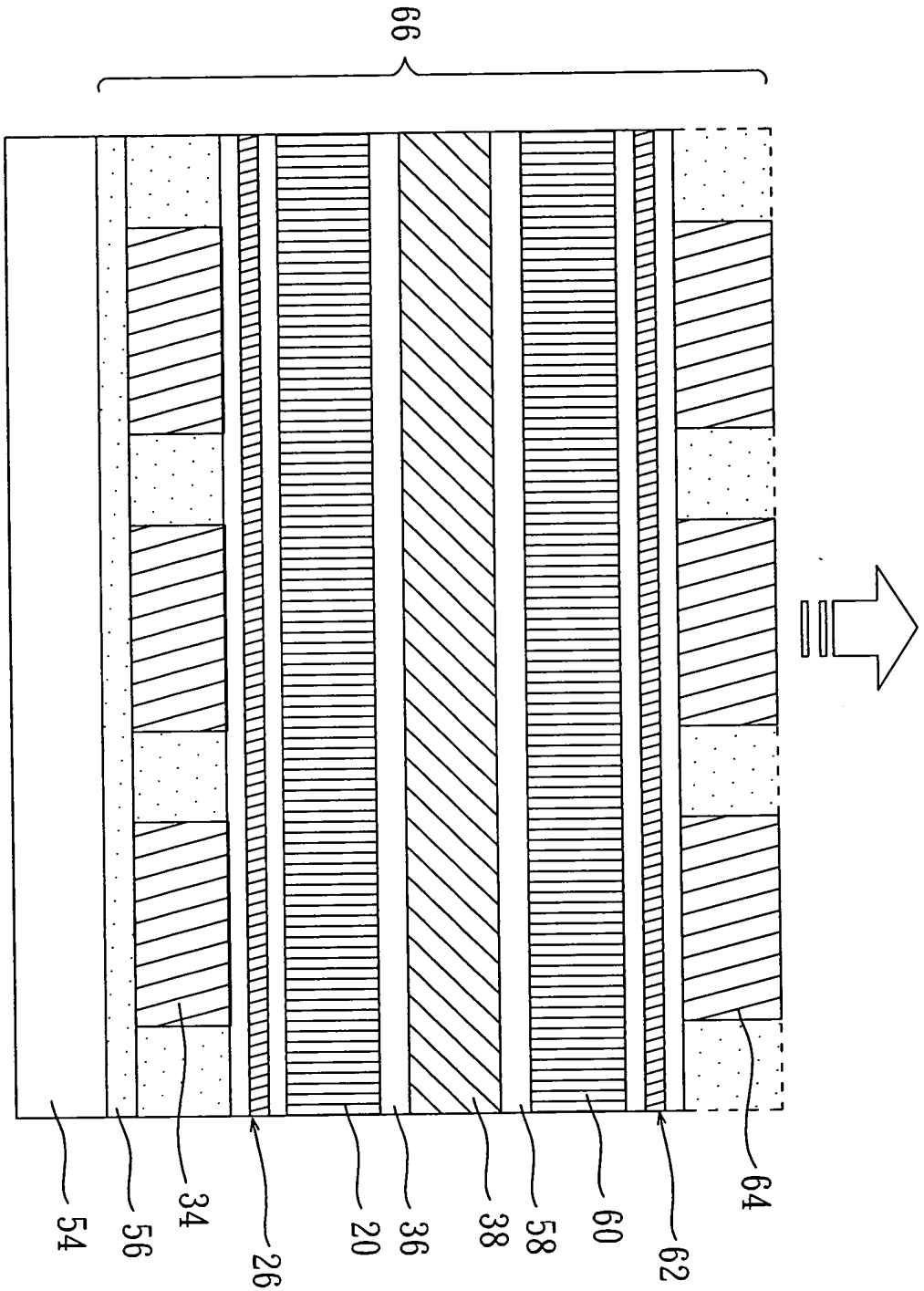
第 1 圖



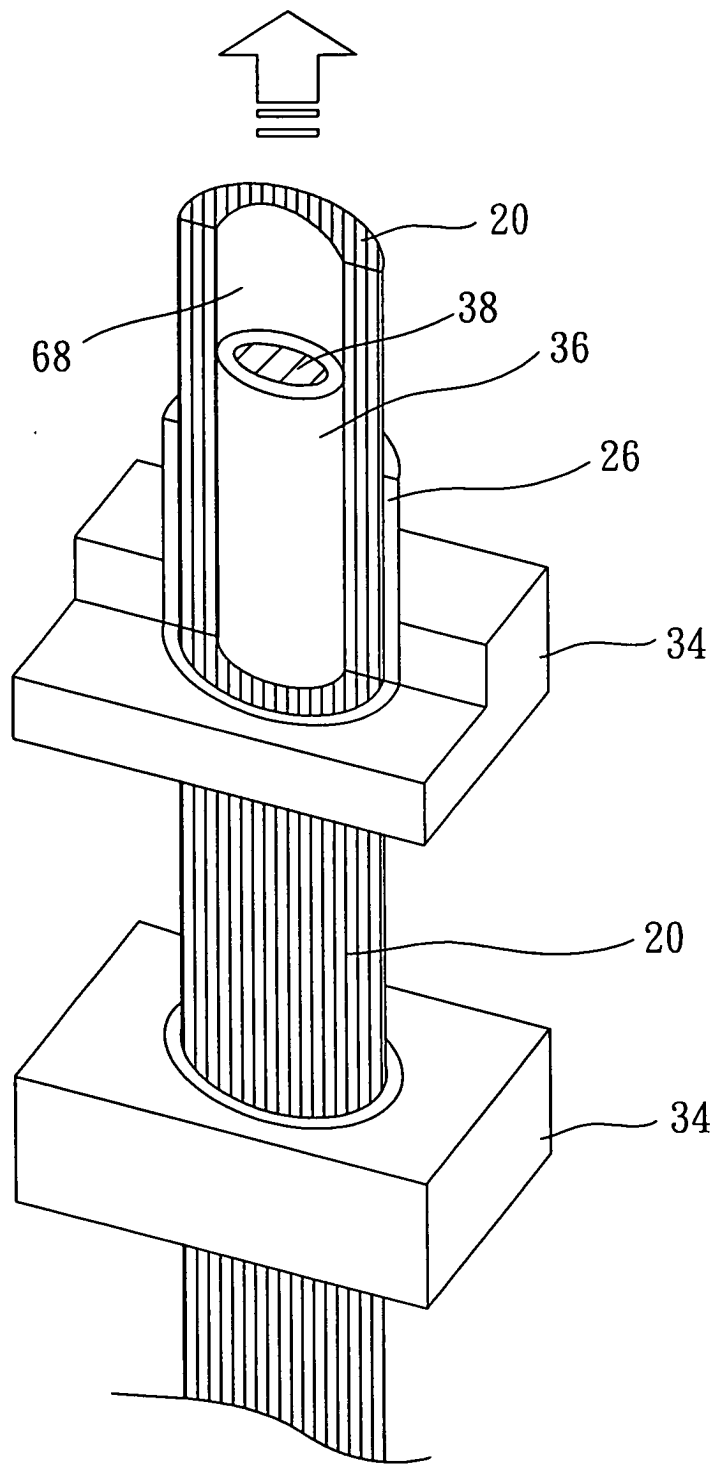
第 2 圖



第 3 圖



第 4 圖



第 5 圖