

發明專利說明書

PD1061232

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：95149774

※申請日期：95.12.29

※IPC 分類：G06F7/52(2006.01)
G06F17/10(2006.01)**一、發明名稱：**(中文/英文)

乘法器進位位元之估計方法與裝置

METHOD AND APPARATUS FOR CARRY ESTIMATION

二、申請人：(共1人)

姓名或名稱：(中文/英文)

國立交通大學

NATIONAL CHIAO TUNG UNIVERSITY

代表人：(中文/英文)

黃威/HUANG, WEI

住居所或營業所地址：(中文/英文)

新竹市大學路 1001 號

1001 Ta-Hsueh Rd., Hsinchu, Taiwan R.O.C.

國籍：(中文/英文)

中華民國/R.O.C

三、發明人：(共2人)

姓名：(中文/英文)

1. 廖彥欽/LIAO, YEN-CHIN

2. 張錫嘉/CHANG, HSIE-CHIA

國 籍：(中文/英文)

1.~2. 中華民國/R.O.C

四、聲明事項：

主張專利法第二十二條第二項第一款或第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家(地區)申請專利：

【格式請依：受理國家(地區)、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

本發明提供一種低誤差縮減寬度乘法器之設計，其係根據乘法器之輸入數值來動態補償誤差，且同時提供動態補償值分析與產生方式，使不同類型之乘法器可針對乘法器之輸入信號之統計特性來選擇最適當之補償值。

六、英文發明摘要：

A low-error reduced-width multiplier is provided by the present invention. The multiplier can dynamically compensate the truncation error. The compensation value is derived by the dependencies among the multiplier partial products, and thus, can be analyzed according to the multiplication type and the multiplier input statistics.

七、指定代表圖：

(一)本案指定代表圖為：第 2 圖。

(二)本代表圖之元件符號簡單說明：

200 乘法器

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

九、發明說明：

【發明所屬之技術領域】

本發明有關一種乘法器及其運算方法，且更特別地有關一種低誤差之縮減寬度乘法器及其運算方法。

【先前技術】

乘法為數位信號處理當中最常見的基本運算之一，在數位信號處理時，為了避免資料之位元寬度隨著運算增加而產生溢位，因此，乘法運算具備縮減(或固定)寬度的特性，以避免運算過程中之數值溢位的情形產生。一般來說，大多採用後截取(post-truncated)乘法器來實現上述縮減寬度之特性，其中在乘法器之輸出端執行後截取之動作，以保持固定位元之寬度。相對於後截取乘法器，直接截取(direct-truncated)乘法器係僅執行欲保留乘法輸出位元部分之部分乘積累加來降低計算複雜度，但往往會造成相當大的誤差。

在直接截取之固定寬度乘法器中，輸入/輸出之位元寬度為相同，而固定寬度乘法器之誤差藉由加上一個數值來補償，然而，習知技術所提之補償誤差之方法只針對單一部分乘積產生方式之乘法器，且大多需要搭配大量的模擬輔助補償項之取得。由於缺乏有效的分析方式，故不易進一步套用於系統層面之分析，所以習知直接截取乘法器僅實現截取後之對應部分的部分乘積累加。

第 1 圖描繪習知乘法器之電路方塊圖，其中輸入資料之 A 位元寬度為 n_1 位元以及輸入資料 B 之位元寬度為 n_2

位元，該兩輸入之乘積的位元寬度為 $(n_1 + n_2)$ 位元，此乘積需經過截取器 101(以 T 表示)來予以截取，以維持資料為 n 位元寬度 $(n \leq n_1 + n_2)$ 而避免溢位。

雖已有各種文獻也提出多種補償此誤差之方法，但均僅適用於某一特定部分乘積產生方法的乘法器。在此茲檢索與本案相關之專利文獻及非專利文獻資料並分析如下所述：

- 1、 中華民國 89 年 7 月 1 日第 396321 號專利，”低誤差固定寬度二補數平行乘法器”。該案只針對二補數固定寬度乘法器之補償，雖可隨乘法器輸入數值動態產生補償量，但缺乏理論分析，無法根據輸入資料之統計特性改善誤差。亦不適用於以其他不同 partial products 產生方式乘法器。
- 2、 中華民國 91 年 4 月 21 日第 484092 號專利，”一種可縮減位元長度低錯誤乘法器”。該案針對二補數與 modified Booth 乘法器提出動態補償方式，補償值之產生機制簡單，但無法有效補償誤差。
- 3、 K.K.Parhi, J.G.Chung, K.C.Lee, and K.J.Cho, ”Low-error Fixed-Width Modified Booth Multiplier, ”2005 年 12 月 20 日美國專利第 US006978426B2 號。該案針對 modified Booth 乘法器提出動態補償方式，可有效補償誤差，但產生補償量之硬體複雜度隨乘法器輸入之寬度增加。
- 4、 Y.C.Lim, ”Single-precision multiplier with reduced

circuit complexity for signal processing applications,
 "IEEE Trans. Computers, vol.41, pp.1333-1336, Oct.1992

。此非專利文獻資料提出藉由事先分析以產生一常數補償項，亦點出了動態補償之觀念，但缺乏詳細且具體分析與實現方法。

5、 M.J.Schulte and E.S.Jr., "Truncated multiplication with correction constant," in *Workshop on VLSI Signal Processing*, Oct. 1993, pp.388-396.

6、 S.S.Kidambi, F.El-Guibaly, and A.Antoniou, "Area-efficient multipliers for digital signal processing applications," *IEEE, Trans. Circuits Syst. II*, vol.43, pp.90-95, Feb.1996.

(A) 上述第 5、6 項非專利文獻資料皆提出了常數補償方式，未能有效補償誤差。

(B) 上述第 4 至 6 項非專利文獻資料著重於常數補償方式，除了無法有效補償誤差，且分析方式不易根據不同 partial products(部分誤差)產生方式而改變。

7、 T.B.Juang and S.F.Hsiao, "Low-error carry-free fixed-width multipliers with low-cost compensation circuits," *IEEE, Trans. Circuits Syst. II*, vol.52, no.6, pp.299-303, Jun.2005.。此非專利文獻資料單針對 signed-magnitude modified Booth 乘法器提出了動態補償機制，未提出其他不同 partial products 產生方

式之乘法器補償方法。

- 8、L.D.Van and C.C.Yang, "Generalized low-error area-efficient fixed-width multipliers," *IEEE Trans. Circuits Syst. I*, vol. 52, no.8, pp.1608-1619, Aug.2005.。此非專利文獻資料可視為上述第 1 項之專利文獻之衍生，但此兩設計只針對二補數固定寬度乘法器，不適用於其他不同 partial products 產生方式乘法器。

【發明內容】

本發明之一目的在於提供一種低誤差之縮減寬度乘法器的運算方法，用以降低計算複雜度及補償截取誤差，並適用於不同類型之乘法器。

本發明之另一目的在於提供一種低誤差之縮減寬度乘法器，用以降低計算複雜度及補償截取誤差。

為達成上述目的，根據本發明之一觀點，提供一種低誤差之縮減寬度乘法器的運算方法，用以降低計算複雜度及補償截取誤差，包含以下步驟：以一乘法器之輸入值來動態產生一補償項；以及省略該乘法器之設定為截取部分的一累加運算來縮減寬度，而使用該補償項來予以補償。

進一步地，為達成上述目的，根據本發明之另一觀點，提供一種低誤差之縮減寬度乘法器，該乘法器係藉由省略設定為截取部分的累加運算來縮減寬度，而使用藉由輸入值所動態產生之補償項來予以補償。

因此，本發明藉由採用動態產生補償項來補償設定為

截取部分之累加運算，所以可降低計算複雜度及補償截取誤差，且可適用於不同類型之乘法器。

爲了讓本發明之上述和其他目的、特徵及優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下。

【實施方式】

本發明揭示可適用於不同位元寬度且不同部分之乘積產生法的乘法器之動態補償量的產生與估計分析方式，藉由此分析方式，可進一步提供系統層面之分析，以提供設計時之複雜度與補償準確度等成本的取捨。根據本發明，爲達到低複雜度，採用直接截取乘法器加上一動態產生補償量之補償電路，且此動態補償量產生機制仍維持低誤差、低複雜度之要求。針對該些需求，利用分佈乘積當中各元素間之關連性，藉由觀察部分的部分乘積來計算及整理部分乘積的狀態期望值以作爲動態補償所需之補償量，因而，根據本發明之此分析方式之複雜度低，且適用於各種不同部分乘積產生法之乘法器。所以，在已知乘法器輸入信號之統計特性時，可提供更準確之補償，且可進一步提供系統層面截取誤差之分析。

本發明可應用 LAN\WAN、DVB-T/H、xDSL 以及高速低功率之訊號處理器(如 FFT(快速傅立葉轉換)之核心運算器或數位濾波器、等化器)。

第 2 圖描繪根據本發明實施例的 n 位元低複雜度之縮減寬度乘法器 200 的電路方塊圖。如第 2 圖中所示， n_1 位

元之 A 及 n_2 位元之 B 直接產生 n 位元寬之乘積，同時加上一補償量 C 來修正由於降低複雜度所產生之誤差。低複雜度之縮減寬度乘法器 200 藉由省略最末部分位元所對應之部分乘積累加，以減少運算複雜度及硬體成本。第 3 圖描繪 n 位元低複雜度之縮減寬度乘法器 200 之部分乘積產生

圖，以 $A \times B$ 為例，若 $A = -a_{n-1}2^{n-1} + \sum_{j=0}^{n-2} a_j 2^j$ ， $B = -b_{n-1}2^{n-1} + \sum_{i=0}^{n-2} b_i 2^i$

且 $P_{ij} = a_j b_i$ 。則乘法之結果可表示成爲以下運算式：

$$A \times B = \text{MSP} + 2^n \left(\left[\frac{\beta}{2} + \lambda \right]_r \right) \approx \text{MSP} + 2^n \left(\left[\frac{1}{2} (2\beta + 2\lambda - 1) \right]_r \right)$$

上述的 $[]_r$ 代表四捨五入。

本發明所提供之乘法器 200 藉由省略了 λ 之部分乘積累加運算以減少複雜度，並加上 λ 之估計值以補償此化簡所造成之誤差。由於構成部分乘積的任意兩元素 $P_{i,j}^1 = a_j b_i^1$ ， $P_{ij} = a_j b_i$ 皆與 a_j 相關，且 $P_{ij}^1 = a_j^1 b_i^1$ ， $P_{ij} = a_j b_i$ 與 b_i 相關，藉由觀察第 n 位元之部分乘積累加值

$$(B = P_{0,n-1} + P_{n-1,0} + \sum_{i=1}^{n-2} P_{i,n-i-1} = P_{0,n-1} + P_{n-1,0} + \sum_{i=1}^{n-2} P_{n-j-1,j})$$
，並且以 $E[P_{ij} | P_{i,n-i-1}]$

取代構成 λ 之 P_{ij} ，或以 $E[P_{ij} | P_{n-j-1,j}]$ 取代構成 λ 之 P_{ij} ，可估計出被省略之 λ 值進而補償此誤差，本發明提供之補償量乃經由觀察 β 所得，相當於一個根據乘法器輸入而動態改變之補償量。

本發明提供之乘法器，可根據其應用或系統要求之誤差量與複雜度之需求，改變部分乘積省略之比例。第 4 圖

描繪 n 位元乘法器 200 之另一部分乘積產生圖，其 λ 值所佔之比例可由參數 z 來決定。本發明提供之補償值估計法，可適用在不同的 z 參數下，本發明並以二補數乘法器與修正之布斯(modified Booth)乘法器為例，各提出三種型態之補償估計法，第 5 圖及第 6 圖分別描繪不同位元寬度二補數乘法器之三種補償值產生公式圖，第 7 圖描繪不同位元寬度的修正之布斯乘法器之三種補償值產生公式圖。本發明更提供根據乘法器輸入信號 A 、 B 統計特性之補償量 C 的分析方法。

第 8 圖描繪一簡化之正交分頻多工系統之電路方塊圖，其中將資訊源輸入至調變器 801，經過 IFFT(反傅立葉轉換)單元 802，由 RF(射頻)單元 803 經由通道 804 傳輸至 RF 單元 805，再經由數位濾波器 806 及同步器 807 而輸入至 FFT 單元 808，藉由等化器 809 調節該信號之頻率，再由解調變器 810 處理後，而產生所接收之資料。其中，在上述系統中之數位濾波器、等化器、同步器之時序同步所需之相互關係計算以及頻率偏移量之計算與補償，所需之大量複數乘法器，皆可以本發明所提供之低複雜度、低誤差乘法器來加以實施。

綜上所述，在本發明之低誤差之縮減寬度乘法器及其運算方法，由於採用動態產生補償項來補償設定為截取部分之累加運算，可降低計算複雜度且可補償截取誤差，因而，可適用於不同位元寬度且不同部分乘積產生法之乘法器。

雖然本發明已以多個實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝之人士，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

第 1 圖描繪習知乘法器之電路方塊圖。

第 2 圖描繪本發明實施例的 n 位元低複雜度之縮減寬度乘法器 200 的電路方塊圖。

第 3 圖描繪 n 位元低複雜度之縮減寬度乘法器 200 之部分乘積產生圖。

第 4 圖描繪 n 位元乘法器 200 之另一部分乘積產生圖。

。

第 5 圖及第 6 圖分別描繪不同位元寬度二補數乘法器之三種補償值產生公式圖。

第 7 圖描繪不同位元寬度的修正之布斯乘法器之三種補償值產生公式圖。

第 8 圖描繪一簡化之正交分頻多工系統之電路方塊圖。

。

【主要元件符號說明】

101	截取器
200	乘法器
801	調變器
802	IFFT 單元
803, 805	RF 單元

804	通道
806	數位濾波器
807	同步器
808	FFT 單元
809	等化器
810	解調變器

第 095149774 號「乘法器進位位元之估計方法與裝置」專利案

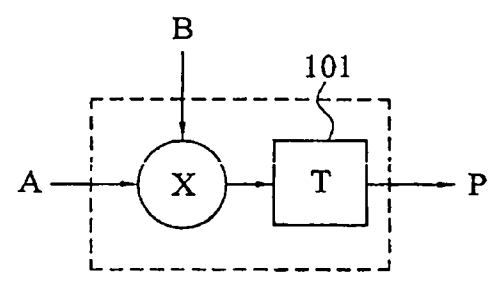
(2010 年 12 月 10 日修正)

十、申請專利範圍：

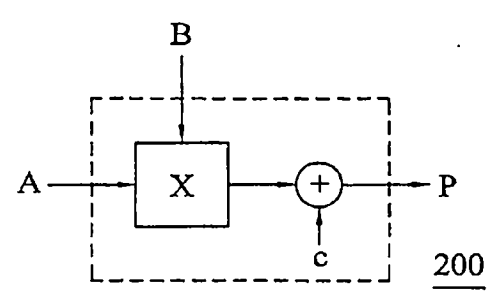
1. 一種乘法器進位位元之估計方法，用以降低計算複雜度及補償截取誤差，包含以下步驟：
以一乘法器之輸入值來動態產生一補償項；以及
省略該乘法器之設定為截取部分的一累加運算來縮減寬度，而使用該補償項來予以補償。
2. 如申請專利範圍第 1 項之乘法器進位位元之估計方法，其中又包含以下步驟：
藉由分析該乘法器之輸入值的統計特性來產生該補償項，其中該統計特性係藉由頻率偏移量及相互關係 (correlation) 計算來予以取得。
3. 如申請專利範圍第 1 項之乘法器進位位元之估計方法，其中又包含以下步驟：
藉由分析該乘法器之輸入值運算所獲得的部分乘積，來產生該補償項。
4. 如申請專利範圍第 1 項之乘法器進位位元之估計方法，其中該乘法器為二補數乘法器。
5. 如申請專利範圍第 1 項之乘法器進位位元之估計方法，其中該乘法器為修正之布斯 (modified Booth) 乘法器。
6. 如申請專利範圍第 1 項之乘法器進位位元之估計方法，其中該估計方法適用於一複數乘法器，其運算方法係藉由使用該補償項來補償該複數乘法器之一實部運算，且

- 補償該複數乘法器之一虛部運算。
7. 一種用於複數乘法之乘法器進位位元之估計裝置，其中利用如申請專利範圍第 1 至 3 項中任一項之估計方法，該補償項之運算可與複數乘法中之實部或虛部加法合併。
 8. 一種乘法器進位位元之估計裝置，適用於如申請專利範圍第 1 至 6 項中任一項之乘法器進位位元之估計方法，該乘法器係藉由省略設定為截取部分之累加運算來縮減寬度，而使用藉由輸入值所動態產生之補償項來予以補償。
 9. 一種應用於包含連續乘法與加法應用之乘法器進位位元之估計裝置之錯誤補償產生方法，其中利用如申請專利範圍第 1 至 3 項中任一項之估計方法所產生之各乘法器對應需要之補償項，再合併實施於單一加法運算。

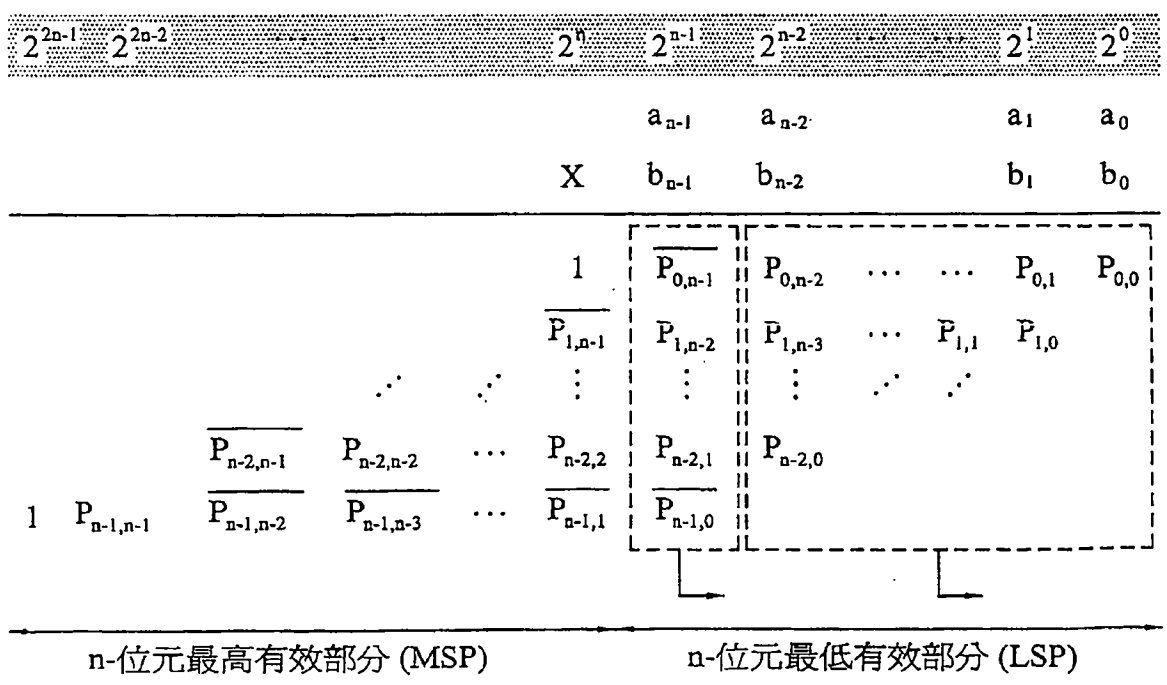
十一、圖式：



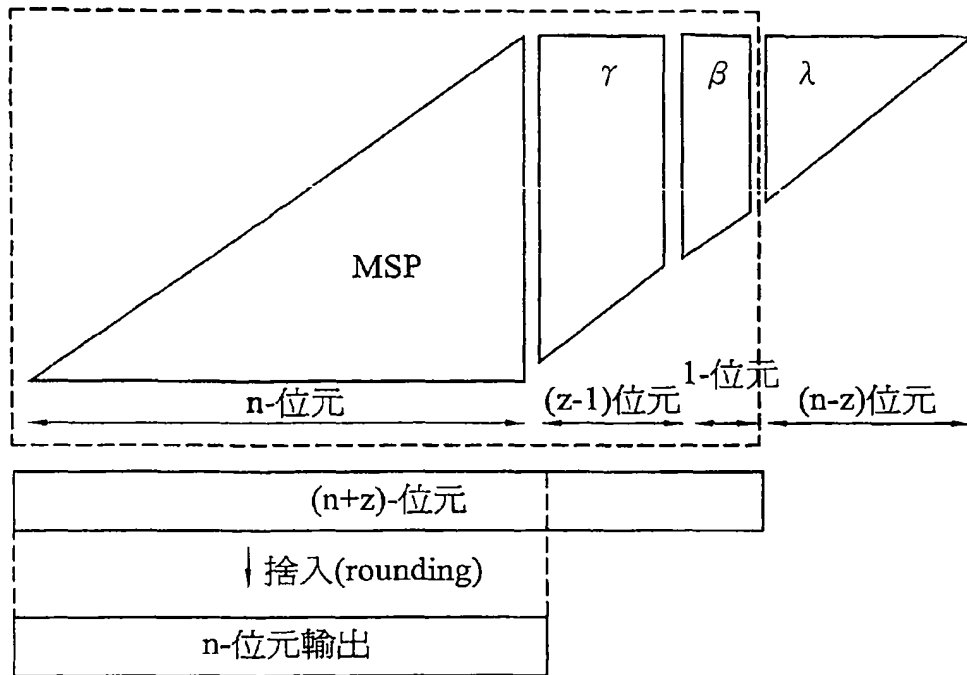
第 1 圖



第 2 圖



第 3 圖



第 4 圖

方式	λ 值估計	備註
第一, a 型	$2^{-z} \sum_{j=0}^{n-z-1} a_j$	$A = -a_{n-1} 2^{n-1} + \sum_{j=0}^{n-2} a_j 2^j$
第一, b 型	$2^{-z} \sum_{i=0}^{n-z-1} b_i$	$B = -b_{n-1} 2^{n-1} + \sum_{i=0}^{n-2} b_i 2^i$
第二, α 型	$2^{-z} \sum_{j=0}^{n-z-1} \left(\frac{\alpha_j}{3} + \frac{1}{6} \right) (1 - 2^{-(n-z-j)})$	$\beta = P_{0,n-z} + P_{n-z,0} + \sum_{i=1}^{n-z-1} P_{i,n-i-1}$
第二, β 型	$2^{-z} \sum_{i=0}^{n-z-1} \left(\frac{\beta_i}{3} + \frac{1}{6} \right) (1 - 2^{-(n-z-i)})$	$= P_{0,n-z} + P_{n-z,0} + \sum_{j=0}^{n-z-1} P_{n-j-z,j}$ $\alpha_j = P_{n-j-z,j}, \beta_i = P_{i,n-i-z}$

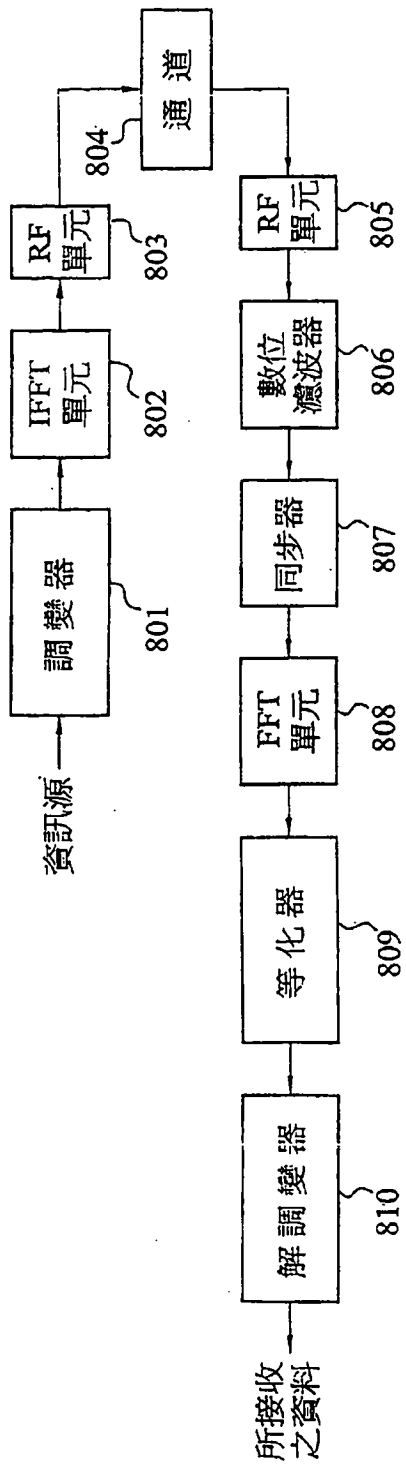
第 5 圖

位元寬度 (n)	Z=1	Z=2	Z=3
8	$\lfloor \frac{1}{2}(\beta - \beta_{n-1} + 1) \rfloor$	0, 若 $\beta - \beta_{n-z} = 0$ $\lfloor \frac{1}{2}(\beta - \beta_{n-z} + 1) \rfloor$, 其他	$\lfloor \frac{1}{2}(\beta - \beta_{n-z}) \rfloor$
10	0, 若 $\beta - \beta_{n-1} = 0$ $\lfloor \frac{1}{2}(\beta - \beta_{n-1} + 2) \rfloor$, 其他	$\lfloor \frac{1}{2}(\beta - \beta_{n-z}) \rfloor$ $+ \text{mod}(\beta - \beta_{n-z}, 2)$	1, 若 $\beta - \beta_{n-z} = 1$ $\lfloor \frac{1}{2}(\beta - \beta_{n-z}) \rfloor$, 其他
12	$\lfloor \frac{1}{2}(\beta - \beta_{n-1} + 2) \rfloor$	$\lfloor \frac{1}{2}(\beta - \beta_{n-z} + 2) \rfloor$	$\lfloor \frac{1}{2}(\beta - \beta_{n-z}) \rfloor$, 若 $\beta - \beta_{n-z} > 3$ $\lfloor \frac{1}{2}(\beta - \beta_{n-z} + 1) \rfloor$, 其他
14	$\lfloor \frac{1}{2}(\beta - \beta_{n-1} + 3) \rfloor$	$\lfloor \frac{1}{2}(\beta - \beta_{n-z} + 2) \rfloor$, 若 $0 \leq \beta - \beta_{n-z} < 4$; $\lfloor \frac{1}{2}(\beta - \beta_{n-z} + 1) \rfloor$, 若 $4 \leq \beta - \beta_{n-z} < 9$; $\lfloor \frac{1}{2}(\beta - \beta_{n-z}) \rfloor$, 其他	$\lfloor \frac{1}{2}(\beta - \beta_{n-z} + 2) \rfloor$, 若 $0 \leq \beta - \beta_{n-z} < 2$; $\lfloor \frac{1}{2}(\beta - \beta_{n-z} + 1) \rfloor$, 若 $2 \leq \beta - \beta_{n-z} < 7$; $\lfloor \frac{1}{2}(\beta - \beta_{n-z}) \rfloor$, 其他
16	$\lfloor \frac{1}{2}(\beta - \beta_{n-1} + 3) \rfloor$	$\lfloor \frac{1}{2}(\beta - \beta_{n-z} + 2) \rfloor$	$\lfloor \frac{1}{2}(\beta - \beta_{n-z} + 2) \rfloor$

第 6 圖

方式	λ 值估計
第一型	$2^{-(z+1)} \sum_{i=0}^{\lfloor n/2 \rfloor - \lfloor z/2 \rfloor} y_i, y_i = \begin{cases} 1, & \text{若 } \text{En}(b_{2i-1}, b_{2i}, b_{2i-1}) \neq 0 \\ 0, & \text{其他} \end{cases}$ 上式 $\text{En}()$ 代表布斯(Booth)編碼
第二型	$2^{-z} \left(\frac{\beta}{10} + \frac{3}{20} \lceil \frac{n}{2} \rceil \right)$
第三型	$2^{-z} \left(\frac{3}{8} \lceil \frac{n}{2} \rceil \right)$

第 7 圖



第 8 圖