

# 發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號： 95148385

※申請日期： 95.12.22

※IPC 分類： G06F 12/00(2006.01)

## 一、發明名稱：(中文/英文)

記憶裝置及其資料提供方法

## 二、申請人：(共 1 人)

姓名或名稱：(中文/英文)(簽章)

國立交通大學/NATIONAL CHIAO TUNG UNIVERSITY

指定 為應受送達人

代表人：(中文/英文)(簽章) 吳重雨/WU CHUNG-YU

住居所或營業所地址：(中文/英文)

新竹市大學路 1001 號/NO.1001 DASYUE Road, Hsinchu CITY 300-10,  
Taiwan(R. O. C)

國 籍：(中文/英文) 中華民國 / ROC

電話/傳真/手機：

E-MAIL：

## 三、發明人：(共 3 人)

姓 名：(中文/英文)

1. 楊惠親/ HUI-CHIN YANG
2. 鍾崇斌/ CHUNG-PING CHUNG
3. 單智君/ JYH-JIUN SHANN

國 籍：(中文/英文)

1. 中華民國/ ROC
2. 中華民國/ ROC
3. 中華民國/ ROC

#### 四、聲明事項：

主張專利法第二十二條第二項第一款或第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

## 五、中文發明摘要：

本發明係揭露一種記憶裝置及其資料提供方法，此記憶裝置接收一處理器所發送之初始指令位址之後，便可動態預測及產生下一個指令之位址，並以所產生之位址至記憶單元陣列提取指令，將此指令傳送予處理器。藉此，記憶裝置可自主性地向處理器傳送指令，不需等待處理器提供指令位址，因此本發明之記憶裝置及其資料提供方法可大幅地減少指令位址傳輸量。

## 六、英文發明摘要：

## 七、指定代表圖：

(一)本案指定代表圖為：第(2)圖。

(二)本代表圖之元件符號簡單說明：

- 2：記憶裝置；
- 21：記憶單元陣列；
- 210, 211：指令資料；
- 22：第一邏輯單元；
- 23：分支指令預測單元；
- 231：預測結果；
- 232：目標位址預測；
- 24：位址累加單元；
- 241：第二位址；
- 25：第二邏輯單元；
- 251：第三位址；
- 26：記憶體；
- 261：第一位址；
- 262：控制訊號；以及
- 27：匯流排。

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

## 九、發明說明：

### 【發明所屬之技術領域】

本發明是有關於一種記憶裝置及其資料提供方法，特別是有關於一種可自主性傳送指令至處理器之記憶裝置。

### 【先前技術】

微電腦裝置是現今科技發達的社會中很常見的一種電子之裝置，不論是行動電話、DVD撥放機或是其他電子裝置，大多包含某些類型的微電腦裝置。在微電腦裝置中，微處理器(processor)可執行儲存於記憶體內的指令，其主要工作是執行指令。通常微處理器並沒有辦法追蹤(track)其在程式內的執行過程，而爲了要讓微處理器可以在程式內從一指令跳到另一指令，微電腦裝置中通常都會包含有耦接於微處理器的程式計數器。程式計數器儲存一程式計數值，並隨著每次的指令解碼而更改程式計數值，讓微處理器可以更容易從一指令跳到另一指令。程式計數值通常會指向下一個要被執行的指令。舉例來說，若程式計數值等於1，就表示需提取(fetch)第1個指令；若程式計數值等於N，就表示需提取第N個指令。如此一來，微處理器即有辦法以正確的順序執行一程式中所包含的指令。通常，大部分的指令皆為循序執行，但是若所執行的是分支指令，則下一個執行的指令有可能不會是循序的。爲了提高處理器的效率，目前的處理器大多會耦接一分支指令預測單元，例如分支標的緩衝器(Branch target buffer, BTB)，以預測下一個執行的

指令位址。

請參閱第 1 圖，其繪示習知技藝之微電腦架構之方塊圖。圖中，此微電腦架構包含一處理單元 10、一匯流排 19、一記憶體 11 及一分支標的緩衝器 13。記憶體 11 儲存複數個指令 12。處理單元 10 係將一目前執行的指令位址 14 透過匯流排 19 傳送至分支標的緩衝器 13，以詢問下一個執行的指令位址。根據處理單元 10 曾經執行過的指令的歷史資料，分支標的緩衝器 13 內紀錄了一分支預測以及所有可能的目的位址。分支標的緩衝器 13 將收到指令位址 14 與所儲存之資料比對，並將預測結果 16 及一標的指令位址 15 回傳予處理單元 10。處理單元 10 根據預測結果 16 來決定下一個執行的指令位址 17。若預測結果 16 表示有指令流程改變的現象，則處理單元 10 以標地指令位址 15 作為下一個執行的指令位址 17，若否，則處理單元 10 根據指令位址 14 累加 4 來產生下一個執行的指令位址 17。接著，處理單元 10 透過匯流排 19 傳送下一個執行的指令位址 17 至記憶體 11，以提取下一個執行的指令 18。

由上述過程中可發現，每一次處理單元要提取指令時，皆須與分支標的緩衝器 13 進行一指令位址詢問動作，而處理單元 10 與分支標的緩衝器 13 之間的指令位址匯流排的耗能往往是微電腦系統中最大的。此外，習知的微電腦架構係由處理單元傳送指令位址至記憶體，此架構設計亦造成處理單元的程式計數器的扇出負載 (fan-out) 太高，容易造成資料提取延遲 (access delay) 的現象。

有鑑於習知技藝之各項問題，為了能夠兼顧解決之，本發明人基於多年研究開發與諸多實務經驗，提出一種記憶裝置及其資料提供方法，以作為改善上述缺點之實現方式與依據。

### 【發明內容】

有鑑於此，本發明之目的就是在提供一種記憶裝置及其資料提供方法，以降低微電腦系統的耗能以及節省指令擷取之時間。

根據本發明之目的，提出一種記憶裝置，用以提供一資料予一微處理器，該微處理器係傳送一第一位址及一控制訊號至該記憶裝置，該記憶裝置包含一記憶單元陣列、一第一邏輯單元、一分支指令預測單元、一位址累加單元及一第二邏輯單元。記憶單元陣列用以儲存資料，而第一邏輯單元接收此第一位址及一第二位址，並根據該控制訊號以選擇性地輸出該第一位址或該第二位址。分支指令預測單元接收第一邏輯單元之一輸出位址，並判斷對應此輸出位址之指令是否為一分支指令，以輸出一預測結果及一分支指令之目標位址預測。位址累加單元根據此第二位址累加一預設值，以產生一第三位址。第二邏輯單元接收此預測結果、目標位址預測及第三位址，並根據此預測結果以選擇性地輸出目標位址預測或第三位址至記憶單元陣列作為一提取位址，以傳送一對應此提取位址之資料至微處理器，並以此提取位址取代第二位址。

此外，本發明更提出一種資料提供方法，是適用於一

具有一記憶單元陣列及一分支指令預測單元之記憶裝置，該記憶體儲存複數個資料，該方法包含下列步驟：接收一第一位址及一控制訊號；將一第二位址累加一預設值，以產生一第三位址；根據該控制訊號以選擇性地傳送該第一位址或該第二位址至該分支指令預測單元；根據輸入至該分支指令預測單元之位址，以產生一預測結果及一該輸入位址之目標位址預測；根據該預測結果以選擇性地以該目標位址預測或該第三位址作為一提取位址，並以該提取位址取代該第二位址；自該記憶單元陣列輸出對應該提取位址之資料。

茲為使 貴審查委員對本發明之技術特徵及所達到之功效有更進一步之瞭解與認識，謹佐以較佳之實施例及配合詳細之說明如後。

### 【實施方式】

以下將參照相關圖式，說明依本發明較佳實施例之記憶裝置及其資料提供方法，為使便於理解，下述實施例中之相同元件係以相同之符號標示來說明。

請參閱第 2 圖，其係為本發明之記憶裝置之方塊圖。圖中，記憶裝置 2 用以提供一資料予一微處理器 26，微處理器係 26 透過一匯流排 27 傳送一第一位址 261 及一控制訊號 262 至記憶裝置 2，記憶裝置 2 包含一記憶單元陣列 21、一第一邏輯單元 22、分支指令預測單元 23、位址累加單元 24 及第二邏輯單元 25。記憶單元陣列 21 用以儲存複數個指令資料 210。第一邏輯單元 22 接收第一位址 261 及一第二位址 251，並根據控制訊號 262 以選擇性地輸出第一位址 261 或第



二位址 251。分支指令預測單元 23 根據第一邏輯單元 22 之一輸出位址，以產生一預測結果 231 及一目標位址預測 232。在此，分支指令預測單元 23 可為一分支標的緩衝器(Branch target buffer, BTB)或其他可預測分支標地位址之裝置。分支預測技術為此領域者所熟知，在此不再贅述。

位址累加單元 24 係根據第二位址 251 累加一預設值，例如累加 4，以產生一第三位址 241。第二邏輯單元 24 接收預測結果 231、目標位址預測 232 及第三位址 241，並根據預測結果 231 以選擇性地輸出目標位址預測 232 或第三位址 241 以作為第二位址 251，並傳送第二位址 251 至記憶單元陣列 21 作為一提取位址。記憶單元陣列 21 透過匯流排 27 輸出對應此提取位址之指令資料 211 至微處理器。此外，記憶裝置 2 視需要可包含一位址儲存單元，用以暫存第三位址 241。當指令資料預測錯誤時，位址儲存單元所儲存之位址可用於回復記憶裝置 2。

其中，上述控制訊號有下列幾種狀態：

(1)強制設定狀態(compulsory)，當微處理器 26 開始執行程式，首次向記憶裝置提取(fetch)指令資料時，微處理器 26 可傳送此狀態之控制訊號 262 來對記憶裝置 2 進行初始化，當第一邏輯單元 22 接收到此狀態之控制訊號 262 時，則第一邏輯單元 22 係以第一位址 261 作為輸出位址。

(2)自主運作狀態(autonomous)，記憶裝置 2 經過初始化後，微處理器 26 可傳送此狀態之控制訊號 262 來設定記憶裝置 2 自主運作，當第一邏輯單元 22 接收到此狀態之控制訊號 262 時，則第一邏輯單元 22 係以記憶裝置 2 自行產生之第二

位址 251 作為輸出位址。在此狀態下，記憶裝置 2 不需微處理器 26 提供其執行的指令位址，記憶裝置 2 可自主性地產生位址，並將指令資料傳送至微處理器。

(3)管線延遲狀態(pipeline stall)，當微處理器 26 發生管線延遲現象時，則微處理器 26 傳送此狀態之控制訊號 262 及更新的第一位址 261 至第一邏輯單元 22，第一邏輯單元 22 係以此更新的第一位址 261 作為輸出位址。

(4)指令預測錯誤狀態，當微處理器 26 發現記憶裝置 2 自主性提供的指令資料錯誤時，例如分支指令預測單元 23 預測錯誤所造成，微處理器 26 可傳送此狀態之控制訊號 261 來回復記憶裝置 2。記憶裝置 2 可用位址儲存單元所儲存之位址來取代第二位址 251，並作為提取位址傳送至記憶單元陣列，由記憶單元陣列 210 透過匯流排 27 輸出對應此提取位址之指令資料 211 至微處理器 26。

上述之邏輯單元較佳的是一多工器(Multiplexer, MUX)，而第一邏輯單元 22 及第二邏輯單元 24 可分別用兩個多工器來實現或是用一較大的多工器來實現。位址較佳的是程式計數值(Program Counter, PC)，位址儲存單元較佳的是一先入先出緩衝器(FIFO)。記憶單元陣列 21 較佳的是一外取記憶體(Cache memory)、一晶片內建記憶體(on-chip memory)或一外接記憶體(off-chip memory)。

請參閱第 3 圖，其係為本發明之記憶裝置之實施例之方塊圖。圖中，記憶裝置 3 包含一快取記憶體 31、一第一多工器 32、分支標地緩衝器(BTB)33、程式計數(PC)值累加器 34、先入先出緩衝器(FIFO)38 及第二多工器 35。快取記

記憶體 31 用以儲存複數個指令資料 310。第一多工器 32 接收一微處理器 36 所輸出之第一程式計數值 361、控制訊號 362 及第二多工器 35 所輸出之第二程式計數值 351，當控制訊號 362 係表示為強制設定狀態、管線延遲狀態或指令預測錯誤狀態時，第一多工器 32 輸出第一程式計數值 361 至分支標地緩衝器(BTB)33。當控制訊號 362 係表示為自主運作狀態時，則第一多工器 32 輸出第二程式計數值 351 至分支標地緩衝器(BTB)33 及先入先出緩衝器(FIFO)38。經過第一多工器 32 之輸出程式計數值與分支標的緩衝器(BTB)33 所儲存之分支指令紀錄表比對後，便可得知此程式計數值所對應之指令是否為曾經執行過之分支指令，若是，則分支標的緩衝器(BTB)33 輸出紀錄表中對應此分支指令之標的程式計數值 332 至第二多工器 35。分支標的緩衝器(BTB)33 亦將比對結果 331 傳送至微處理器 36 及第二多工器 35。

程式計數(PC)值累加器 34 將第二程式計數值 351 加 4，以產生第三程式計數值 341 並傳送至第二多工器 35。當比對結果 331 表示有比對到分支指令且預測結果為執行時，則第二多工器 35 輸出標的程式計數值 332 作為第二程式計數值 351，若比對結果 331 表示無比對到分支指令或預測結果為不執行時，則第二多工器 35 輸出第三程式計數值 341 作為第二程式計數值 351。第二多工器 35 將第二程式數值 351 傳送至 PC 值累加器 34、第一多工器 32 及快取記憶體 31。快取記憶體 31 透過匯流排 37 將對應第二程式數值 351 之指令資料 310 傳送至微處理器 36。藉由上述過程得知，當 PC 值累加器 34 所產生的程式計數值無對應到分支指令時，則第二程式計數值 351 可循序累加，則記憶裝置 3 便循序傳送指令資料至微

處理器 36，而不需微處理器 36 傳送程式計數值至記憶裝置。與習知的微電腦架構相比，本發明可大幅減少匯流排傳送程式計數值的次數以及微處理器 36 的程式計數器的扇出負載 (fan-out)，進而達到減少耗能的功效。

當控制訊號 362 係表示為指令預測錯誤狀態，微處理器可傳送更新的第一程式計數值 361 至記憶裝置 3 來強制取得更新的指令資料，亦或可用先進先出緩衝器 38 所儲存之程式計數值來提取快取記憶體內的指令資料。

請參閱第 4 圖，其係為本發明之資料提供方法之實施例之步驟流程圖。圖中，此方法係對應第 3 圖所示之記憶裝置 3，此方法包含下列步驟：

步驟 40：由微處理器 36 傳送一第一程式計數 361 及表示強制設定狀態之控制訊號 362 至記憶裝置 3，對記憶裝置 3 進行初始化，在初始化階段中，多工器 32 以第一程式計數 361 作為輸出程式計數，並傳送至分支標的緩衝器，由於是初始化階段，因此分支標的緩衝器亦輸出第一程式計數 361 至多工器 35，且控制多工器 35 以第一程式計數 361 作為輸出程式計數，即為第二程式計數 351，記憶裝置 3 傳送動應第一程式計數 361 之指令資料予微處理器 36，而 PC 值累加器 34 將第二程式計數 35 加 4 以產生第三程式計數 341；

步驟 41：判斷控制訊號 362 是否表示自主運作狀態，若是，則執行步驟 42，若否，則執行步驟 40；

步驟 42：控制第一多工器 32 以第二程式計數 351 作為輸出程式計數，並傳送至分支標的緩衝器 33；

步驟 43：於分支標的緩衝器 33 所儲存之分支指令紀錄表中查詢，以判斷是否有對應第一多工器 32 之輸出程式計數之分支指令且預測為執行時，若是，則執行步驟 44，若否，則執行步驟 45；

步驟 44：輸出紀錄表中對應此分支指令之標的程式計數值 332 至第二多工器 35，並控制第二多工器 35 輸出標的程式計數值 332，作為第二程式計數 351；

步驟 45：控制第二多工器 35 輸出第三程式計數 341，作為第二程式計數 351；

步驟 46：使用 PC 值累加器 34 將第二程式計數 35 加 4 以產生第三程式計數 341，並傳送至第二多工器 35；

步驟 47：自快取記憶體中輸出對應第二程式計數 35 之指令資料。

此外，此方法更包含當控制訊號 362 係表示為指令預測錯誤狀態，則以先進先出緩衝器 38 所儲存之程式計數值於分支標的緩衝器 33 所儲存之分支指令紀錄表中查詢。

根據上述過程可知，執行完步驟 40 之後，微處理器 36 可傳送表示自主運作狀態之控制訊號予記憶裝置 3，則記憶裝置 3 便可自行產生程式計數，並自主性地傳送指令給處理器。

已上所述僅為舉例性，而非為限制性者。任何未脫離本發明之精神與範疇，而對其進行之等效修改或變更，均應包含於後附之申請專利範圍中。

**【圖式簡單說明】**

第1圖 係為習知技藝之微電腦架構之方塊圖；

第2圖 係為本發明之記憶裝置之方塊圖；

第3圖 係為本發明之記憶裝置之實施例之方塊圖；以及

第4圖 係為本發明之資料提供方法之實施例之步驟流程圖。

**【主要元件符號說明】**

10：處理單元；

11：記憶體；

12：指令資料；

13：分支標的緩衝器；

14：指令位址；

15：標的指令位址；

16：預測結果；

17：下一個執行的指令位址；

18：下一個執行的指令；

19：匯流排；

2：記憶裝置；

21：記憶單元陣列；

210, 211：指令資料；

22：第一邏輯單元；

23：分支指令預測單元；

231：預測結果；

232：目標位址預測；

24：位址累加單元；

- 241：第二位址；
- 25：第二邏輯單元；
- 251：第三位址；
- 26：記憶體；
- 261：第一位址；
- 262：控制訊號；
- 27：匯流排；
- 3：記憶裝置；
- 31：快取記憶體；
- 310：指令資料；
- 32：第一多工器；
- 33：分支標的緩衝器；
- 331：比對結果；
- 332：標的程式計數值；
- 34：程式計數值累加器；
- 341：第三程式計數值；
- 35：第二多工器；
- 351：第二程式數值
- 36：微處理器；
- 361：第一程式計數值；
- 362：控制訊號；
- 37：匯流排；
- 38：先入先出緩衝器；以及
- 40~47：步驟流程。

## 十、申請專利範圍：

- 1、一種記憶裝置，用以提供一資料予一微處理器，該微處理器係傳送一第一位址及一控制訊號至該記憶裝置，該記憶裝置包含：
  - 一記憶單元陣列，用以儲存資料；
  - 一第一邏輯單元，係接收該第一位址及一第二位址，並根據該控制訊號以選擇性地輸出該第一位址或該第二位址；
  - 一分支指令預測單元，係根據該第一邏輯單元之一輸出位址，以產生一預測結果及一分支指令之目標位址預測；
  - 一位址累加單元，係根據該第二位址累加一預設值，以產生一第三位址；以及
  - 一第二邏輯單元，係接收該預測結果、該目標位址預測及該第三位址，並根據該預測結果以選擇性地輸出該目標位址預測或該第三位址至該記憶單元陣列作為一提取位址，以傳送對應該提取位址之資料至該微處理器，並以該提取位址取代該第二位址。
- 2、如申請專利範圍第1項所述之記憶裝置，其中該記憶單元陣列係為一快取記憶體、一晶片內建記憶體(on-chip memory)或一外接記憶體(off-chip memory)。
- 3、如申請專利範圍第1項所述之記憶裝置，其中該控制訊號係代表強制設定狀態(compulsory)、自主運作狀態(autonomous)、管線延遲狀態(pipeline stall)或指令預測錯誤狀態。
- 4、如申請專利範圍第3項所述之記憶裝置，其中該控制訊號係代表該強制設定狀態、該管線延遲狀態(pipeline stall)或該指令預測錯誤狀態時，該第一邏輯單元係輸出該第一



- 位址。
- 5、如申請專利範圍第3項所述之記憶裝置，其中該控制訊號係代表該自主運作狀態時，該第一邏輯單元係輸出該第二位址。
  - 6、如申請專利範圍第1項所述之記憶裝置，其中該第一位址、第二位址及第三位址係為程式計數值。
  - 7、如申請專利範圍第1項所述之記憶裝置，其中該第一邏輯單元係為一多工器。
  - 8、如申請專利範圍第1項所述之記憶裝置，其中該第二邏輯單元係為一多工器。
  - 9、如申請專利範圍第1項所述之記憶裝置，其中該第一邏輯單元及第二邏輯單元可分別用兩個多工器來實現或是用一較大的多工器來實現。
  - 10、如申請專利範圍第1項所述之記憶裝置，其中更包含一先入先出緩衝器(FIFO)，用以儲存該第三位址，且當該控制訊號係代表一指令預測錯誤狀態時，該先入先出緩衝器係將所儲存之位址傳送至該分支指令預測單元。
  - 11、如申請專利範圍第1項所述之記憶裝置，其中該分支指令預測單元係為一分支標的緩衝器(Branch Target Buffer, BTB)。
  - 12、如申請專利範圍第1項所述之記憶裝置，其中該預設值係為4。
  - 13、一種資料提供方法，是適用於一具有一記憶單元陣列及一分支指令預測單元之記憶裝置，該記憶單元陣列儲存複數個資料，該方法包含下列步驟：  
接收一第一位址及一控制訊號；  
將一第二位址累加一預設值，以產生一第三位址；

根據該控制訊號以選擇性地傳送該第一位址或該第二位址至該分支指令預測單元；

根據輸入至該分支指令預測單元之位址，以產生一預測結果及一輸入位址之目標位址預測；

根據該預測結果以選擇性地以該目標位址預測或該第三位址作為一提取位址，並以該提取位址取代該第二位址；以及

自該記憶單元陣列輸出對應該提取位址之資料。

14、如申請專利範圍第 13 項所述之資料提供方法，其中該記憶單元陣列係為一快取記憶體、一晶片內建記憶體或一外接記憶體。

15、如申請專利範圍第 13 項所述之資料提供方法，其中該控制訊號係代表強制設定狀態(compulsory)、自主運作狀態(autonomous)、管線延遲狀態(pipeline stall)或指令預測錯誤狀態。

16、如申請專利範圍第 15 項所述之資料提供方法，其中當該控制訊號係代表一強制設定狀態時，藉由一第一邏輯單元輸出該第一位址。

17、如申請專利範圍第 15 項所述之資料提供方法，其中當該控制訊號係代表一自主運作狀態時，藉由一第一邏輯單元輸出該第二位址。

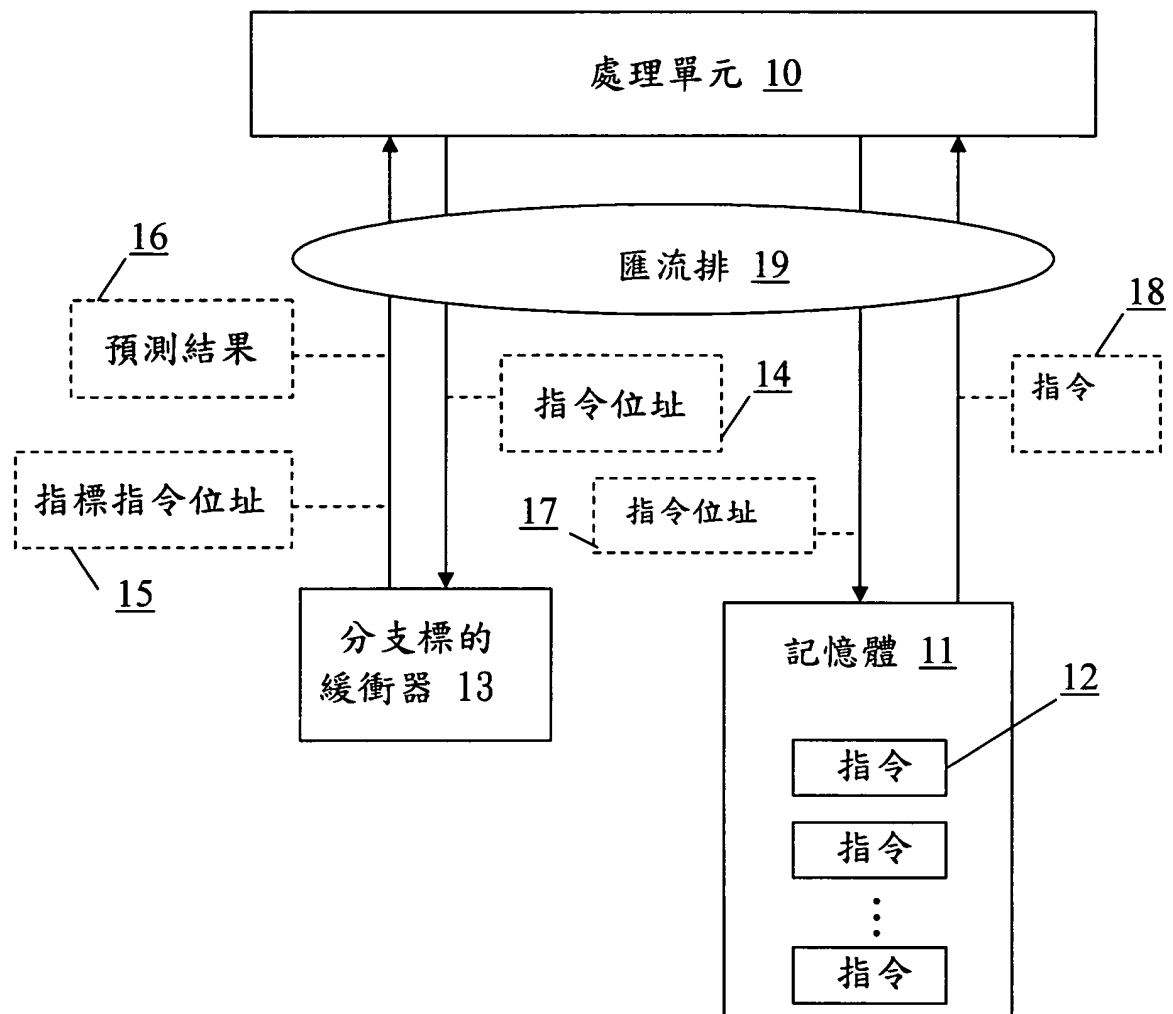
18、如申請專利範圍第 13 項所述之資料提供方法，其中該第一位址、第二位址及第三位址係為程式計數值。

19、如申請專利範圍第 13 項所述之資料提供方法，其中該記憶裝置更具有第一邏輯單元，該第一邏輯單元係為一多工器。

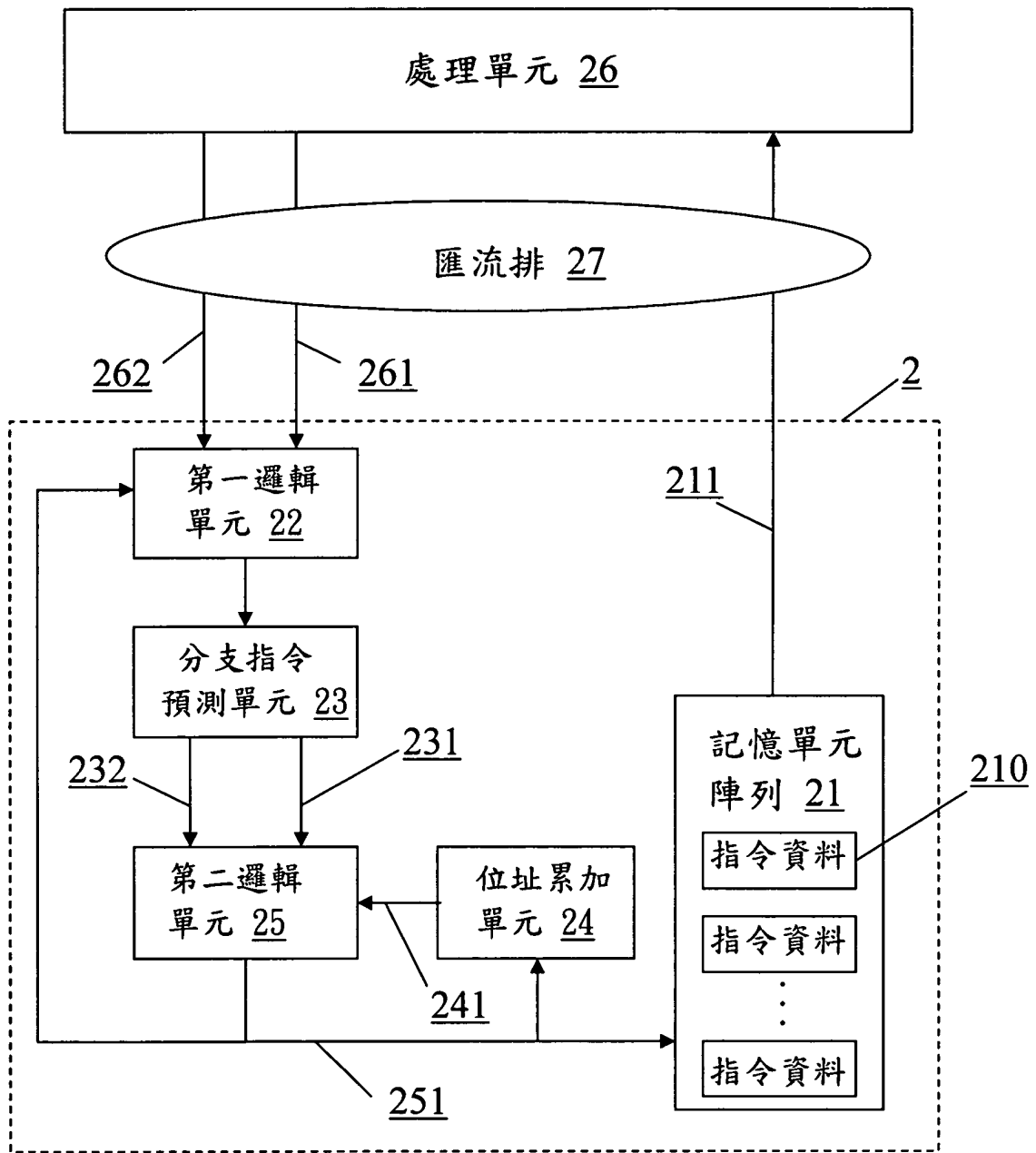
20、如申請專利範圍第 13 項所述之資料提供方法，其中該記憶裝置更具有第二邏輯單元，該第二邏輯單元係為一多工器。

- 21、如申請專利範圍第 13 項所述之資料提供方法，其中該記憶裝置更具有一第一邏輯單元及一第二邏輯單元，係可分別用兩個多工器來實現或是用一較大的多工器來實現。
- 22、如申請專利範圍第 13 項所述之資料提供方法，其中更包含一先入先出緩衝器(FIFO)，用以儲存該第三位址。
- 23、如申請專利範圍第 22 項所述之資料提供方法，其中當該控制訊號係代表指令預測錯誤狀態時，將該先入先出緩衝器所儲存之位址傳送至該分支指令預測單元。
- 24、如申請專利範圍第 13 項所述之資料提供方法，其中該分支指令預測單元係為一分支標的緩衝器(Branch Target Buffer, BTB)。
- 25、如申請專利範圍第 13 項所述之資料提供方法，其中該預設值係為 4。

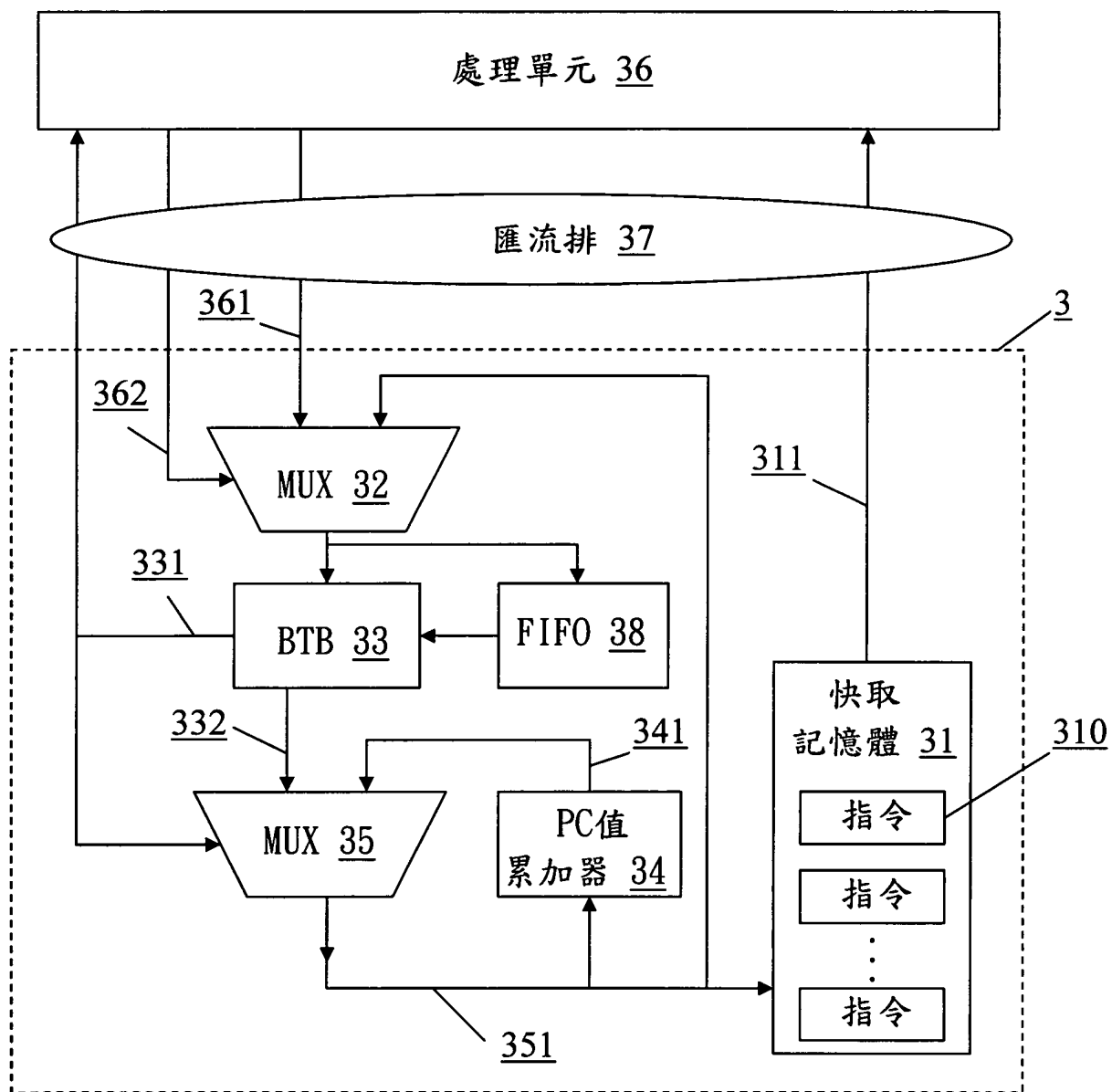
十一、圖式：



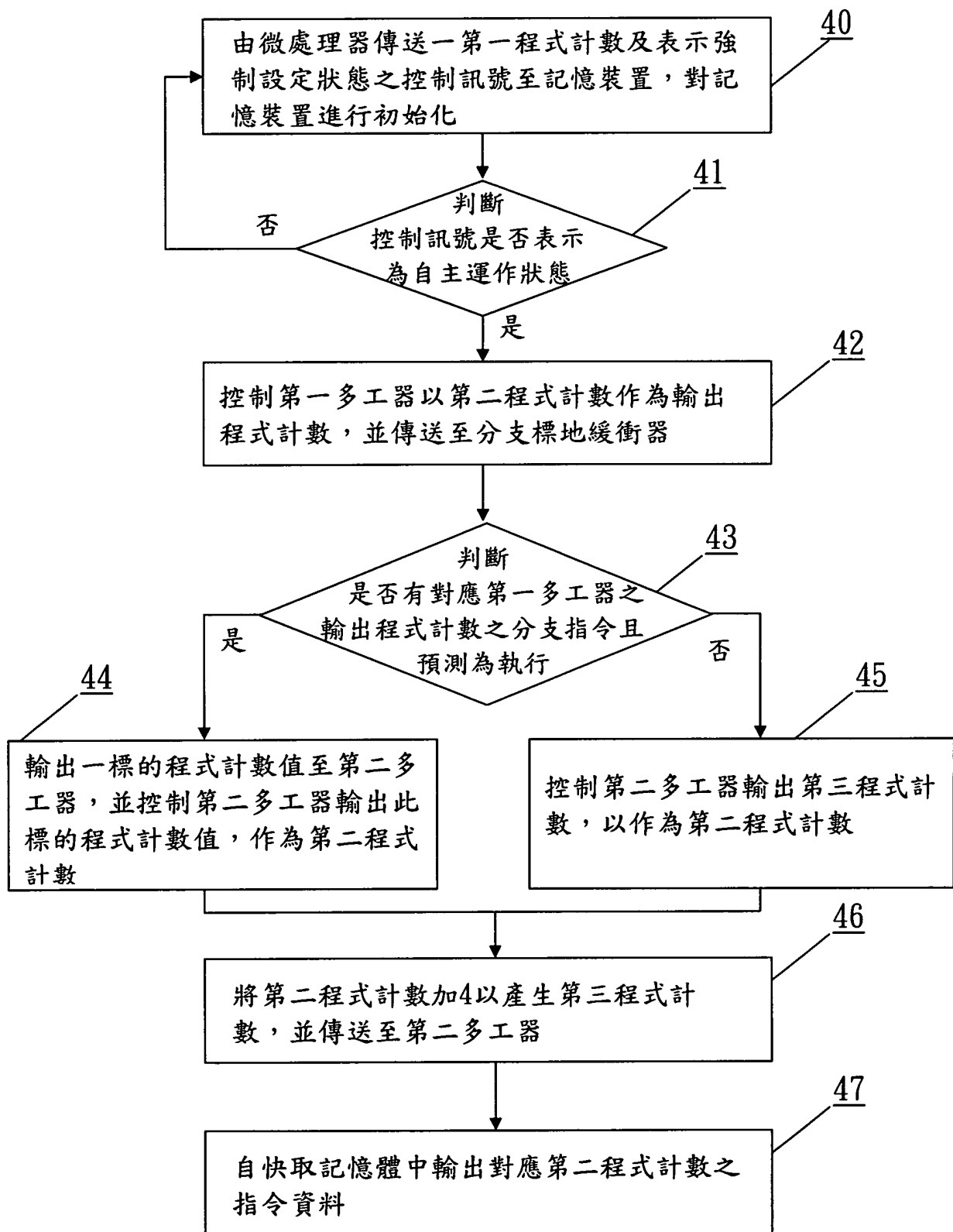
第 1 圖



第 2 圖



第 3 圖



第 4 圖