

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：95100731

(2009年3月17日修正)

※ 申請日期：95.1.9

※IPC 分類：H01L 29/186

H01L 21/02

一、發明名稱：(中文/英文)

堆疊式源/汲極與薄通道之複晶矽薄膜電晶體之製作方法

METHOD FOR FABRICATING A STRAGGERED SOURCE/DRAIN AND THIN-CHANNEL

TFT

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

國立交通大學

NATIONAL CHIAO TUNG UNIVERSITY

代表人：(中文/英文)

張俊彥/CHANG, CHUN-YEN

住居所或營業所地址：(中文/英文)

新竹市大學路 1001 號

1001 TA-HSUEH RD., HSINCHU, TAIWAN R.O.C.

國 籍：(中文/英文)

中華民國/R.O.C

三、發明人：(共 2 人)

姓 名：(中文/英文)

1. 張國明/CHANG, KOW-MING

2. 林俊銘/LIN, GIN-MIN

國 籍：(中文/英文)

1. ~ 2. 中華民國/R.O.C

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

本案未在國外申請專利

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

本發明提供堆疊式源/汲極複晶矽薄膜電晶體結構之製造方法，其簡化了習知製作堆疊式源/汲極複晶矽薄膜電晶體結構之光罩數量且可有效降低汲極附近的高電場並具有降低漏電電流的功效。本發明步驟包括：(1) 將非晶矽層再結晶為複晶矽層(02)之步驟；先於基板上沈積一非晶矽層，再進行一般曝光微影以及利用 RIE 蝕刻技術以定義出具有高區間與低區間之非晶矽島狀物，其中蝕刻後之非晶矽薄通道區剩餘厚度約 5-200nm，然後再進行退火以使該非晶矽層再結晶為複晶矽層(02)；(2) 定義閘極區(05)、源/汲極區(07)與通道區之步驟；(3) 佈植步驟；以及(4) 接線步驟。

六、英文發明摘要：

This invention provides a process for fabricating a staggered source/drain and thin-channel TFT structure, which simplifies the conventional process for fabricating the structure by decreasing the number of mask steps and achieving better results at suppressing the electric field near the drain junction and reducing the leakage current. The process comprises (1) re-crystallizing a-Si into poly-Si, which is performed by depositing an a-Si layer on a substrate then applying a general photolithographic step and a R.I.E. etching step for defining the amorphous Si islands provided with higher regions and lower regions, wherein the residual width of thin-channel of the a-Si is about 5~200 nm after etching; then the a-Si is changed into poly-Si after a subsequent annealing;(2)defining the gate region, source/drain region and the channel ;(3)applying the implantation; and (4)applying the metallization.

七、指定代表圖：

(一)本案指定代表圖為：第 2(a)~2(e) 圖。

(二)本代表圖之元件符號簡單說明：

| | |
|-------------|---------|
| 12,12',12'' | 複晶矽 (層) |
| 03 | 光阻 |
| 04 | 閘氧化物 |
| 05 | 閘極區 |
| 06 | 源極區 |
| 07 | 汲極區 |
| 08 | 摻雜複晶矽 |
| 09 | 被動氧化物 |
| 11 | 玻璃基板 |
| 13 | 鋁導線 |
| 14 | 接觸窗 |

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

九、發明說明：

【發明所屬之技術領域】

本發明關於堆疊式源/汲極複晶矽薄膜電晶體之製造方法，可應用在各種傳統的非晶矽或複晶矽薄膜電晶體領域中，以大幅地改善電晶體之電氣特性與可靠度，而獲得低漏電電流與高場效移動率之薄膜電晶體。

【先前技術】

關於複晶矽與非晶矽(a-Si)薄膜電晶體領域中，對於高場效移動率需求之周邊裝置，例如錄影掃描器(videoscanner)而言，複晶矽薄膜電晶體顯然佔有明顯的優勢。

傳統之低溫複晶矽薄膜電晶體因為本身具有較大的結晶顆粒而具有較高之電子移動率，然而，同時也使得在通道截止時產生較高的漏電電流，且該複晶矽薄膜電晶體之漏電電流，相較非晶矽之薄膜電晶體，已超過應用在液晶顯示器上可被接受的程度。

探討傳統低溫複晶矽薄膜電晶體結構發生漏電電流的原因在於其晶粒邊界缺陷，藉由在汲極附近的高電場產生額外的電子電洞流所產生，因此，減少晶粒邊界缺陷與降低汲極附近的高電場應可達到抑制漏電電流的目的。

目前習知技術用以解決上述問題之技術方案，包括(1)閘極抵銷(offset gate)結構；(2)使用輕度摻雜汲極(lightly dopant drain or LDD)結構；以及(3)堆疊式源/汲極(stagger source/drain)電晶體結構，例如 Po-Sheng Shih 等人 (“A novel lightly doped drain polysilicon thin-film transistor

with oxide sidewall spacer formed by one-step selective liquid phase deposition,” IEEE Electron Device Letters, vol. 20, pp. 421-423, Aug. 1999.) 以及 Kenji Sera 等人 (“High-Performance TFT’s Fabricated by XeCl Excimer Laser Annealing of Hydrogenated Amorphous-Silicon Film”, IEEE TRANSACTIONS ON ELECTRON DEVICES. vol. 36, No. 12, pp.2868-2869, Dec. 1989.) 所發表的文獻。這些可以降低複晶矽高漏電電流之方式，其可提高開啓/關閉電流比 (On/Off current ratio)，然而，對於 LDD 與閘極抵銷結構而言，上述諸方式由於多了一道離子佈植動作，容易使元件在離子植入的同時，受到具有高能量離子的撞擊，因而導致汲極區無法避免的破壞；該現象已由 Kwon-Young Choi 等人在其文獻中揭露 (“A novel gate-overlapped LDD poly-Si thin film transistor,” IEEE Electron Device Letters, vol. 17, pp. 566-568, Dec. 1996.)，特別是對於限制製程溫度的低溫複晶矽電晶體而言，這些損害是不易被修補的。

在上述 Kenji Sera et al., 的方式，亦即採用堆疊式源/汲極 (stagger source/drain) 電晶體結構，如第 1 圖所示，依據光罩使用次數而定義，該流程至少包括五道步驟，包括 (1) 首先定義出兩個獨立之複晶矽 (02) 島狀物，於熱氧化物 (01) (thermal oxide) 之基板上，藉由沉積複晶矽 (02) 層、塗佈光阻 (03)、曝光然後蝕刻而形成具有增厚的源/汲極 (staggered S/D) 結構；(2) 沈積複晶矽薄膜 (02')，之後重複塗佈光阻 (03)、曝光然後蝕刻而形成複晶矽 (02) 之通道

區；(3)定義複晶矽之閘極區，沈積閘氧化物(04)(gate oxide)薄膜及複晶矽薄膜(02'')，之後重複塗佈光阻(03)、曝光然後蝕刻；(4)定義金屬導線(10)接觸窗(14)區；以及(5)定義元件外接之金屬導線(10)區。

雖然如 Kenji Sera et al.，的方式可以得到較佳的電性表現，然而其製造步驟因較一般傳統共平面(co-planar)元件之標準四道光罩步驟多了一道光罩步驟而變得繁複，除了生產成本增加之外，該增加之步驟而致增加圖像轉換間之誤差，因而不適合應用在 TFT-LCD 面板之量產技術。

【發明內容】

本發明目的在於提供一種製程容易且可有效降低汲極附近的高電場並具有降低漏電電流功效的薄膜電晶體結構方法，其改良自上述 Kenji Sera et al.，文獻中之揭示，藉著增厚之源/汲極結構達到降低薄膜電晶體漏電電流之功效，卻沒有該習知製程的複雜度而可應用在 TFT-LCD 面板之量產技術。

本發明之製造上述薄膜電晶體結構之方法，如第 2 圖所示，依據光罩使用次數而定義，其步驟包括：(1)提供一基板並將非晶矽層再結晶為複晶矽層(12)結晶之步驟，先於基板上沈積非晶矽層，然後塗佈光阻(03)、曝光、蝕刻而形成具有高區間與低區間之非晶矽島狀物，然後進行退火，以使上述之非晶矽層再結晶為複晶矽層；(2)定義閘極區(05)、源/汲極區(07)與通道區之步驟，分別堆疊閘氧化層(04)與複晶矽(12')閘極薄膜，然後塗佈光阻(03)、曝光、蝕刻而

定義出該閘極區(05)、源/汲極區(07)與通道區的位置與大小；(3)佈植步驟，以離子佈植技術形成重摻雜之閘極區(05)、源/汲極區(07)，並使用高溫爐管或雷射進行離子活化；及(4)接線步驟，沈積 SiO_2 保護層與開接觸窗(14)，並進行鋁導線(13)的連線。

本發明之上述製造方法，其中步驟(1)之另一種態樣為，先於基板沉積一非晶矽層，然後塗佈光阻(03)、曝光、蝕刻而形成兩個獨立的非晶矽島狀物的位置與大小；接著再沉積一非晶矽層，然後塗佈光阻(03)、曝光、蝕刻而使該兩個獨立非晶矽島狀物連通；最後，進行退火，以使上述之非晶矽層再結晶為複晶矽(12')層。

根據上述構想，其中該基板為一玻璃基板(11)。

根據上述構想，其中步驟(1)之沉積非晶矽層可利用LPCVD、PECVD或ECR-CVD系統，蝕刻技術較佳為RIE蝕刻技術；再者，再結晶方式較佳為固相再結晶法或雷射退火。

根據上述構想，其中步驟(2)可利用PECVD或LPCVD系統進行堆疊閘極氧化層與複晶矽閘極區(05)，蝕刻技術較佳為RIE蝕刻技術。

根據上述構想，其中步驟(4)之沈積 SiO_2 保護層，較佳為利用PECVD。

本發明另一目的在於提供一種容易且可有效降低汲極附近的高電場並具有降低漏電電流之功效的薄膜電晶體結構，利用本發明上述之製造方法，於步驟(1)中進行定義出源/汲極區(07)時，需保留一定厚度的非晶矽薄膜，當經過

再結晶後，而使本發明之堆疊式源/汲極結構具有增厚之源汲極與薄通道。

本發明之堆疊源/汲極複晶矽薄膜電晶體結構，至少包括：一基板；一源/汲極層，位於該基板之上；一閘極導體結構，包括複晶矽通道、閘極絕緣層及閘極；以及金屬導線(10)，分別連接源/汲極、閘極導體結構，其間覆以被動氧化物(09)(passivation oxide)之絕緣層，其特徵在於具有增厚之源/汲極區(07)及薄的通道。

其中增厚之源汲極，係指源汲極厚度相較於傳統共平面結構而言；薄通道係指通道約低於 50nm 以下，或與兩旁之源汲極厚度相較，該通道較薄者。

關於增加源汲極之厚度，將可降低源汲極區本身之片電阻，因此會使元件之串連電阻下降，另一方面，薄通道，由於通道反轉時反轉層厚度小於 50nm，因此，使通道厚度變薄，可以使元件閘極對通道控制能力更好。對於複晶矽薄膜電晶體而言，該減少通道厚度，可使通道區本身之缺陷對元件電性影響降低。

薄膜電晶體作為 TFT-LCD 面板之開關元件，其電氣特性的優劣將大大的影響 TFT-LCD 面板的顯示品質，本發明之新穎堆疊式增高源汲極與薄通道結構，可以應用於非晶矽/複晶矽薄膜電晶體的製作，將可以大幅提升非晶矽/複晶矽薄膜電晶體的電子移動率、降低漏電電流、與提升元件可靠度，使得 TFT-LCD 顯示器可以提高對比、解析度與畫面顯示速度，而且，本發明之新穎堆疊式增高源/汲極與薄通道

結構，只需採用傳統四道光學微影製程步驟，藉由已定義的閘極區當成光罩，連續完成源/汲極區與通道區定義，完全不會增加製程的複雜度，非常適合作為 TFT-LCD 產業的大尺寸面板之量產關鍵製程技術。

【實施方式】

本發明之具有堆疊式增厚源/汲極與薄通道的薄膜電晶體，特徵在於僅需具備結晶步驟、定義步驟、佈植步驟及接線步驟。

以下，說明本發明之該薄膜電晶體製程步驟。

[第 1 實施例]

首先，如第 2(a)圖所示，在一玻璃基板(11)上，利用 LPCVD 系統沈積一層厚度約 100-500nm 之非晶矽薄膜，其製程設備功率設定為 30-600W，操作條件包括：製程溫度約 100-600°C，使用之矽源為 $\text{SiH}_4/\text{Si}_2\text{H}_6$ 氣體，流量約 10-200sccm，另外 O_2/N_2 之氣體流量約 10-200sccm，製程腔體之壓力維持在 5-300mTorr。接著進行一般光學曝光技術以及利用 RIE 蝕刻技術，定義出具有高區間與低區間非晶矽島狀物的位置與大小，使蝕刻後之非晶矽薄通道區剩餘厚度約 5-200nm。最後再利用雷射退火方式，將該非晶矽層再結晶為複晶矽層(02)。

第 2(b)圖所示為進行定義步驟，分別利用 PECVD 與 LPCVD 系統堆疊閘極氧化層與複晶矽閘極區(05)，並利用光學曝光技術以及 RIE 蝕刻技術，在定義出閘極區(05)後，再利用閘極光阻(03)當阻擋層，蝕刻出源/汲極區(07)與薄通道

區，並完成元件間的隔絕區。

第 2(c)圖所示為進行佈植步驟，利用離子佈植，完成自我對準之重摻雜閘極與重摻雜源/汲極區(07)，並使用高溫爐管或雷射進行離子活化。

上述之定義步驟及佈植步驟，其中使用之 PECVD 與 LPCVD 技術，可用 ECR-CVD 與 ICP 等高電漿密度設備技術所取代。

第 2(d)圖所示為進行接線步驟，利用 PECVD 沈積 SiO_2 保護層與開接觸窗(14)，並進行鋁導線(13)的連線，完成具備新穎堆疊式閘極氧化層薄膜電晶體的製作。在第 2(d)圖中，利用閘極光阻(03)區過度蝕刻(over etching)出源/汲極區(07)與薄通道區時，在所定義的閘極區(05)下方，將會有具有相同面積的通道區，因此通道分布面積將取決於預定的閘極面積，此特徵對於在有限的面積下，要製造具有高度空間利用率的高性能元件，是非常重要的貢獻。

第 2(e)圖係最後結構俯視圖與元件之重要參數，其中閘極區(05)、源/汲極區(07)與薄通道區之參數包括：

- (1) W' (閘極區(05)寬度)：0.1-200 μm
- (2) W (源汲極區(07)或主要通道區寬度)：0.1-200 μm
- (3) L (閘極區(05)長度或總通道長度)：0.065-200 μm
- (4) L_{MC} (主要通道區長度)：0.065-200 μm
- (5) $L_{o.s}/L_{o.d}$ (閘極與源極/汲極區(07)重疊之通道長度)：0.065-100 μm

[第 2 實施例]

第 2(a')圖所示為本發明之第二實施態樣，亦為與第 1 實施例主要之差異；當完成第 2(a')圖之步驟之後，則重複第 1 實施例中之第 2(b)~2(d)圖之步驟。首先在玻璃基板(11)上，利用 LPCVD 系統沈積非晶矽層，並利用光學的曝光技術以及 RIE 蝕刻技術，定義出兩個獨立的非晶矽島狀物的位置與尺寸，並利用 LPCVD 系統堆疊非晶矽膜，接通兩個獨立非晶矽島狀物，再利用雷射退火方式將非晶矽層再結晶為複晶矽層(02)。

其中此步驟的第一層非晶矽與第二層非晶矽薄膜沉積厚度與操作條件設定如下：

- (1)沈積第一層 a-Si 薄膜厚度:100-500nm
- (2)沈積第二層 a-Si 薄膜厚度:5-200nm
- (3)LPCVD 之製程功率:30-600W
- (4)LPCVD 之 $\text{SiH}_4/\text{Si}_2\text{H}_6$ 氣體流量:10-200sccm
- (5)LPCVD 之 O_2/N_2 氣體流量:10-200sccm
- (6)LPCVD 之製程腔體壓力:5-300mTorr
- (7)LPCVD 之製程溫度:100-600°C

第 3 圖係本發明與傳統薄膜電晶體的 I_D-V_G 轉換曲線圖與場效移動率之比較圖，由此可看出，本發明較傳統薄膜電晶體具有更高的開關電流比及電子移動率。

【圖式簡單說明】

第 1 圖 習知堆疊式源/汲極電晶體結構之製作流程，其包括五道光罩步驟。

第 2 圖 本發明之堆疊式源/汲極電晶體結構之製作流程；

2(a)係於玻璃基板(11)上沉積一非晶矽層並結晶為複晶矽(02)；

2(a')係於玻璃基板(11)上定義出兩個獨立的非晶矽島狀物，然後再沉積一層非晶矽層而使其連接，之後並結晶為複晶矽(02)；

2(b)為進行定義步驟；

2(c)為進行佈植步驟；

2(d)為進行接線步驟；

2(e)係完成後之結構俯視圖與元件之重要參數。

第 3 圖 本發明與傳統薄膜電晶體的 I_D-V_G 轉換曲線圖與場效移動率比較圖。

【主要元件符號說明】

| | | |
|------------------------------|---------|--|
| 01 | 熱氧化層 | |
| 02, 02', 02''; 12, 12', 12'' | 複晶矽 (層) | |
| 03 | 光阻 | |
| 04 | 閘氧化物 | |
| 05 | 閘極區 | |
| 06 | 源極區 | |
| 07 | 汲極區 | |
| 08 | 摻雜複晶矽 | |
| 09 | 被動氧化物 | |
| 10 | 金屬導線 | |
| 11 | 玻璃基板 | |
| 13 | 鋁導線 | |
| 14 | 接觸窗 | |

第 95100731 號「堆疊式源/汲極與薄通道之複晶矽薄膜電晶體之製作方法」專利案

(2009 年 3 月 17 日修正)

十、申請專利範圍：

1. 一種複晶矽薄膜電晶體結構之製作方法，該結構具有堆疊式源/汲極與薄通道，其步驟包括：

(1) 將非晶矽層再結晶為複晶矽層之步驟；先於基板上沈積一非晶矽層，再進行一般曝光微影以及利用蝕刻技術以定義出具有高區間與低區間之非晶矽島狀物，然後進行退火，以使該非晶矽層再結晶為複晶矽層(02)；

(2) 定義閘極區、源/汲極區與通道區之步驟；分別堆疊閘氧化層(04)與複晶矽閘極薄膜，然後進行一般曝光微影以及蝕刻而定義出該閘極區(05)、源/汲極區(07)與通道區；

(3) 佈植步驟；以離子佈植技術形成重摻雜之閘極區(05)、源/汲極區(07)，並進行離子活化；以及

(4) 接線步驟，沈積 SiO_2 保護層與開接觸窗(14)，並進行導線(10)的連線。

2. 一種複晶矽薄膜電晶體結構之製作方法，該結構具有堆疊式源/汲極與薄通道，其步驟包括：

(1) 將非晶矽層再結晶為複晶矽層之步驟；先於基板沉積一非晶矽層，再進行一般曝光微影以及利用蝕刻技術以定義出兩個獨立的非晶矽島狀物，接著再沉積一非晶矽層，然後再進行一般曝光微影以及利用蝕刻技術而使該兩

個獨立非晶矽島狀物連通，最後進行退火以使該非晶矽層再結晶為複晶矽層(02)；

(2) 定義閘極區、源/汲極區與通道區之步驟；分別堆疊閘極氧化層(04)與複晶矽(02)閘極薄膜，然後進行一般曝光微影以及蝕刻而定義出該閘極區(05)、源/汲極區(07)與通道區；

(3) 佈植步驟；以離子佈植技術形成重摻雜之閘極區(05)、源/汲極區(07)，並進行離子活化；以及

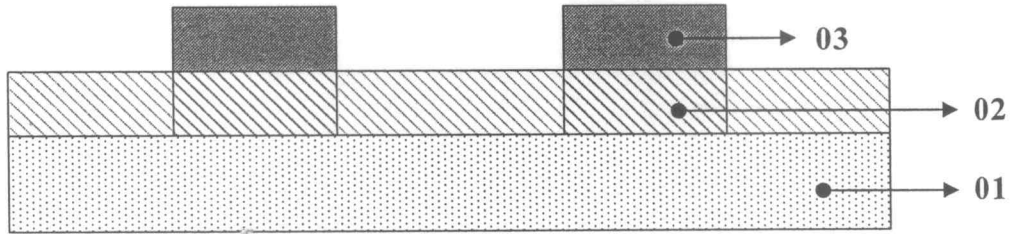
(4) 接線步驟，沈積 SiO_2 保護層與開接觸窗(14)，並進行導線的連線。

- 3.如申請專利範圍第 1 或 2 項之製作方法，其中該基板為一玻璃基板(11)。
- 4.如申請專利範圍第 1 或 2 項之製作方法，其中步驟(1)之沉積非晶矽層製自 LPCVD、PECVD、ECR-CVD 或 ICP 系統其中之一。
- 5.如申請專利範圍第 1 或 2 項之製作方法，其中步驟(1)與步驟(2)之蝕刻技術較佳為 RIE 蝕刻技術。
- 6.如申請專利範圍第 5 項之製作方法，其中蝕刻後之非晶矽薄通道區剩餘厚度約 5-200nm。
- 7.如申請專利範圍第 1 或 2 項之製作方法，其中步驟(1)之再結晶方式較佳為固相再結晶法或雷射退火。
- 8.如申請專利範圍第 1 或 2 項之製作方法，其中步驟(2)可利用 PECVD 或 LPCVD 系統進行堆疊閘極氧化層與複晶矽閘極區(05)。

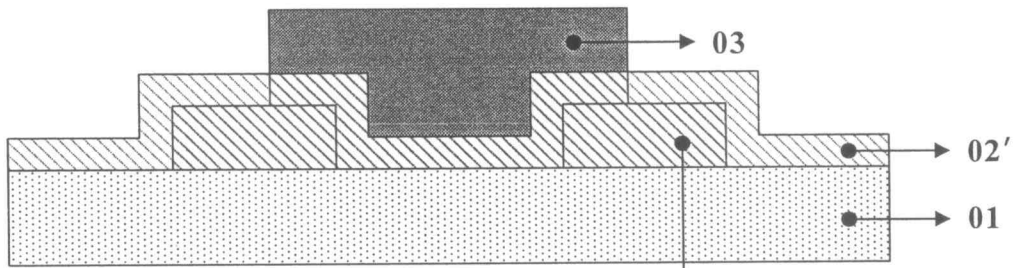
- 9.如申請專利範圍第 1 或 2 項之製作方法，其中步驟（4）之沈積 SiO_2 保護層，較佳為利用 PECVD。

十一、圖式：

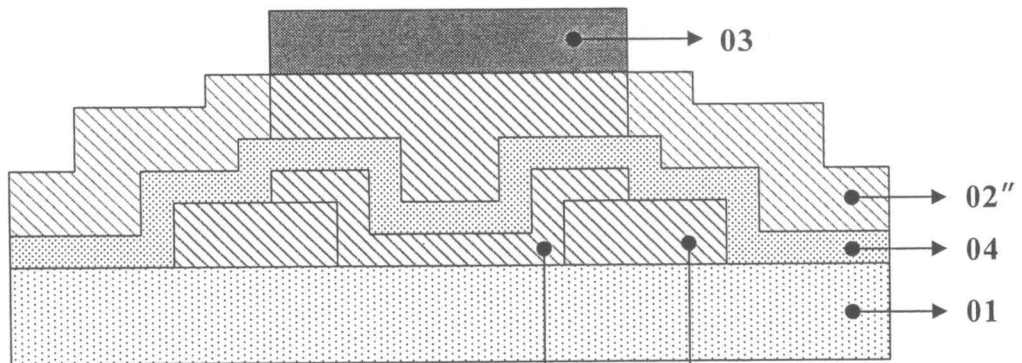
第一道光罩步驟



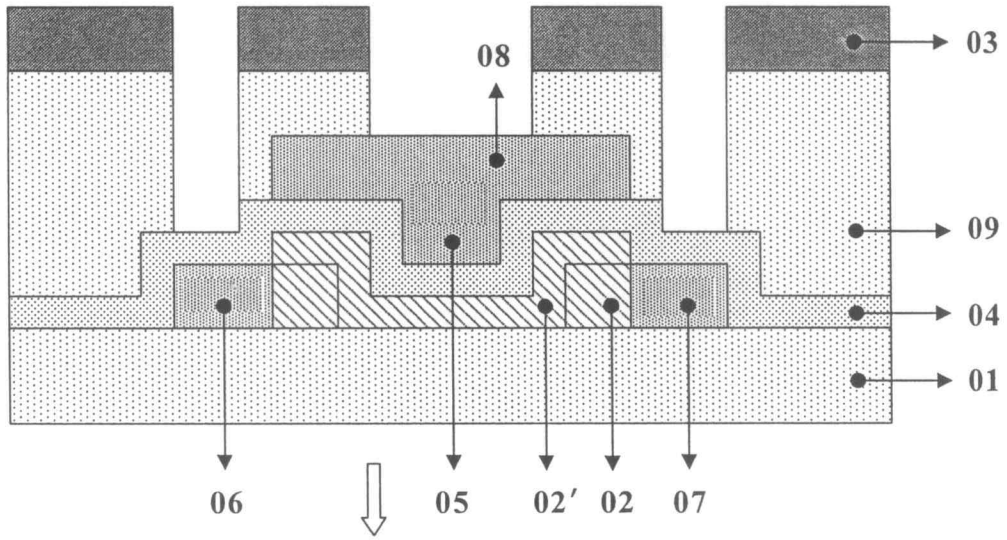
第二道光罩步驟



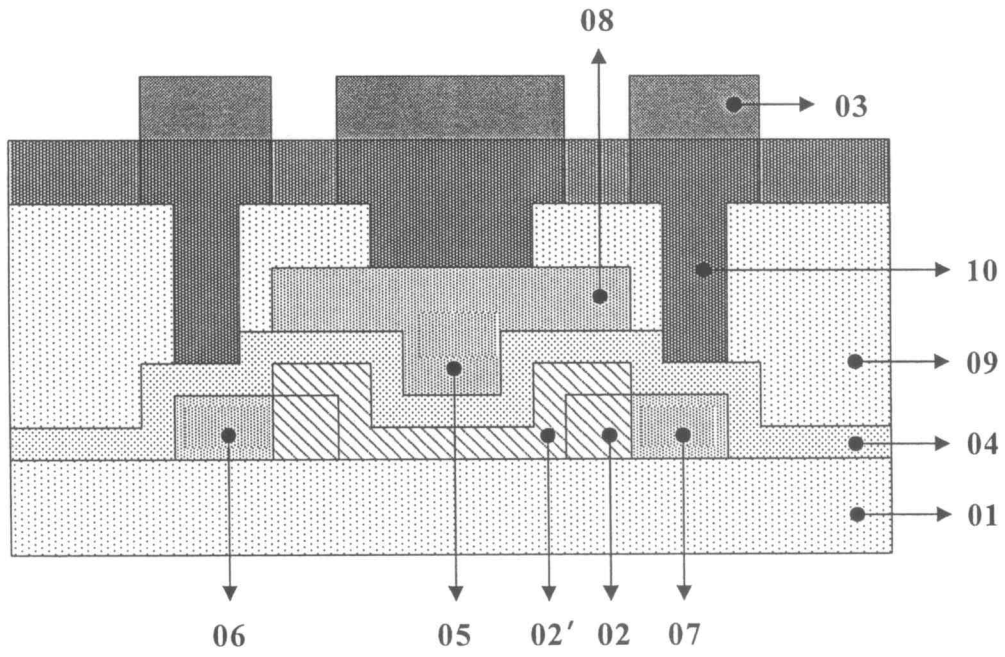
第三道光罩步驟



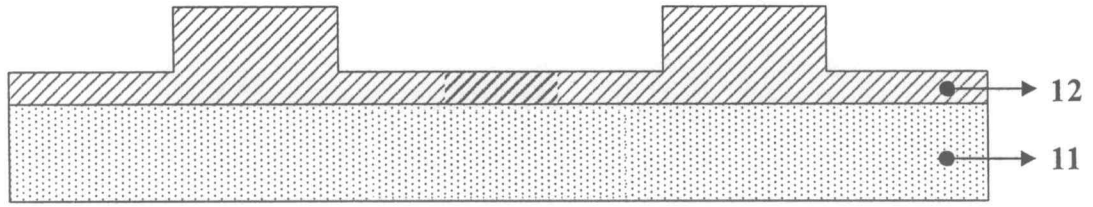
第四道光罩步驟



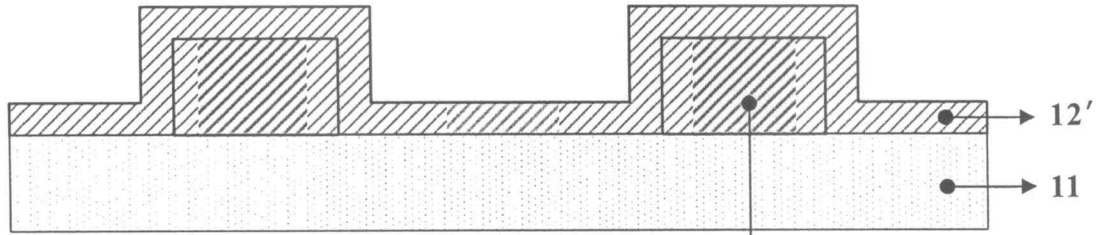
第五道光罩步驟



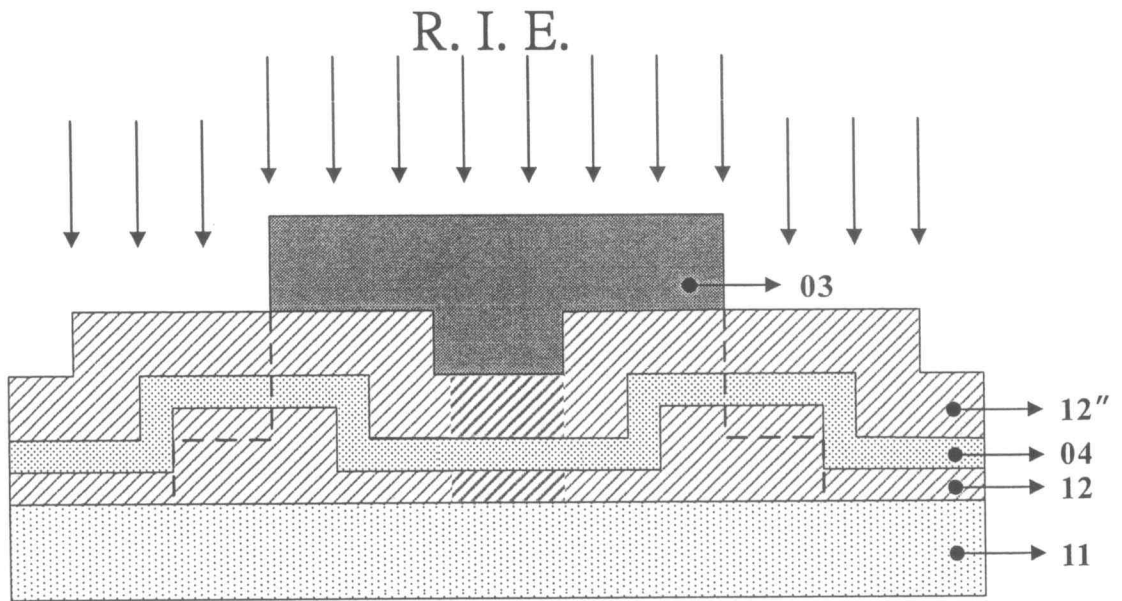
第 1 圖



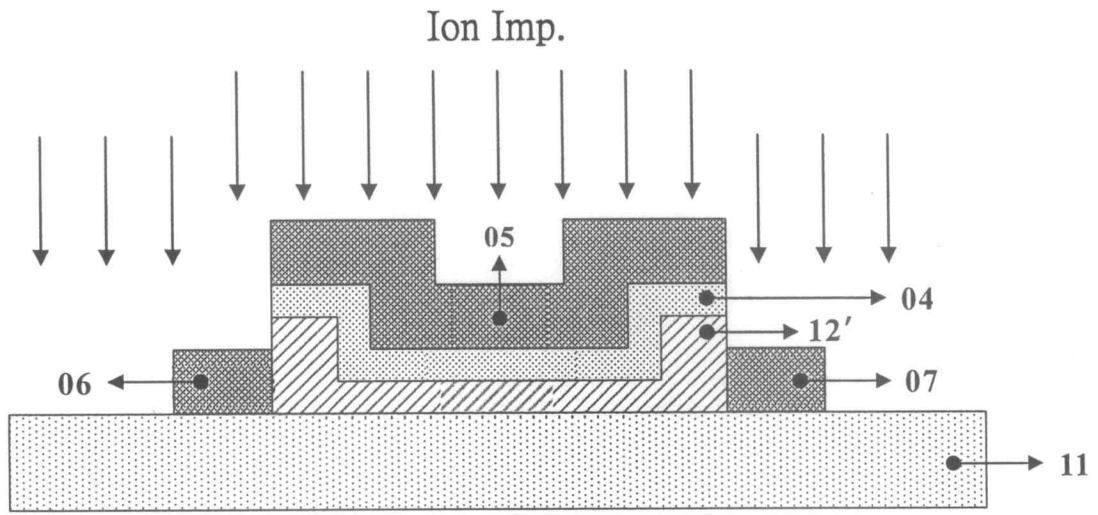
第 2(a)圖



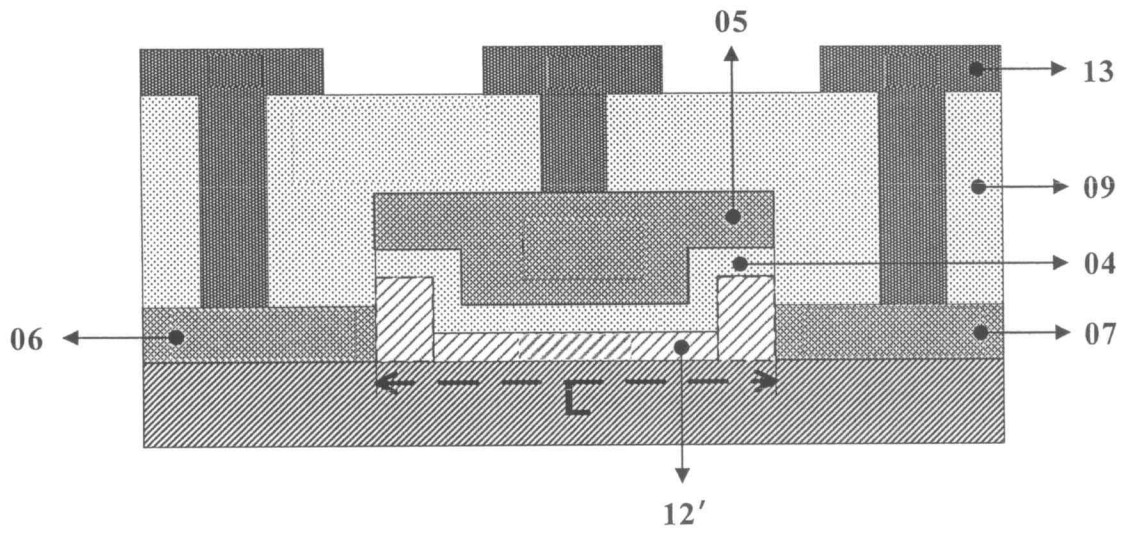
第 2(a')圖



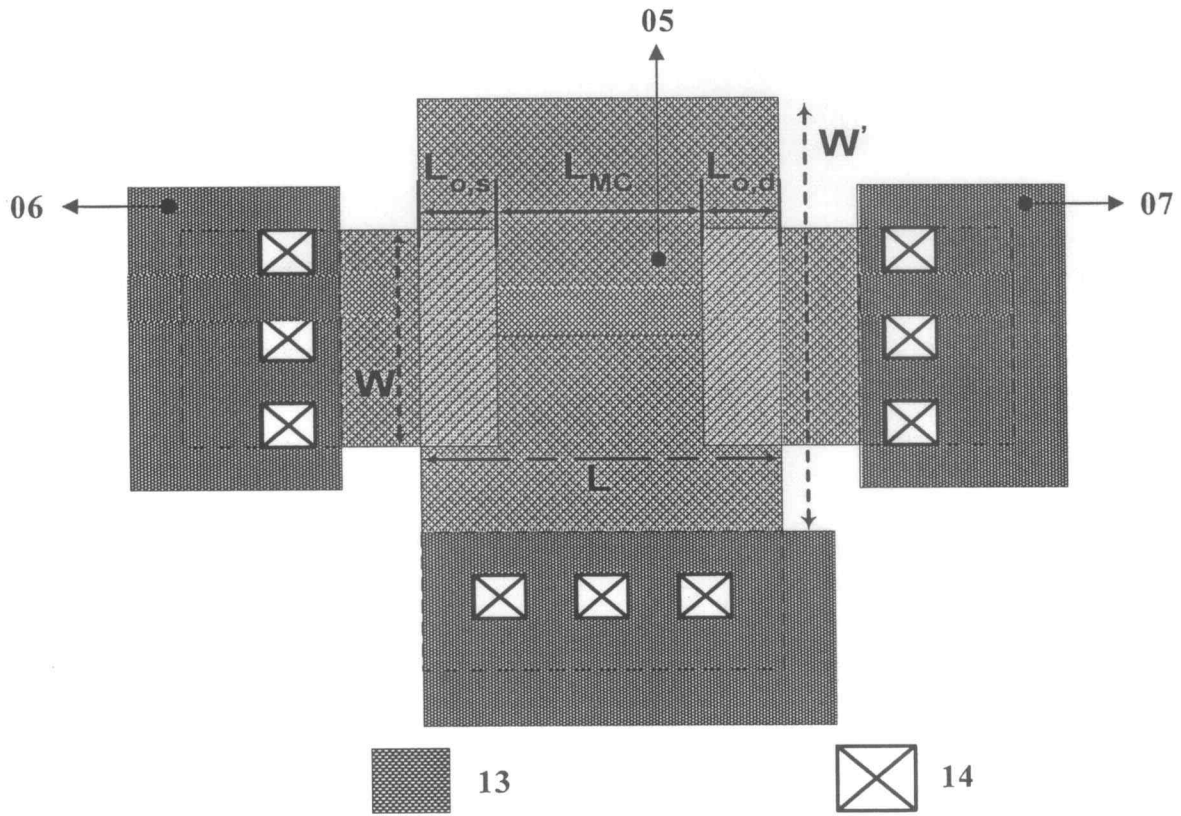
第 2(b)圖



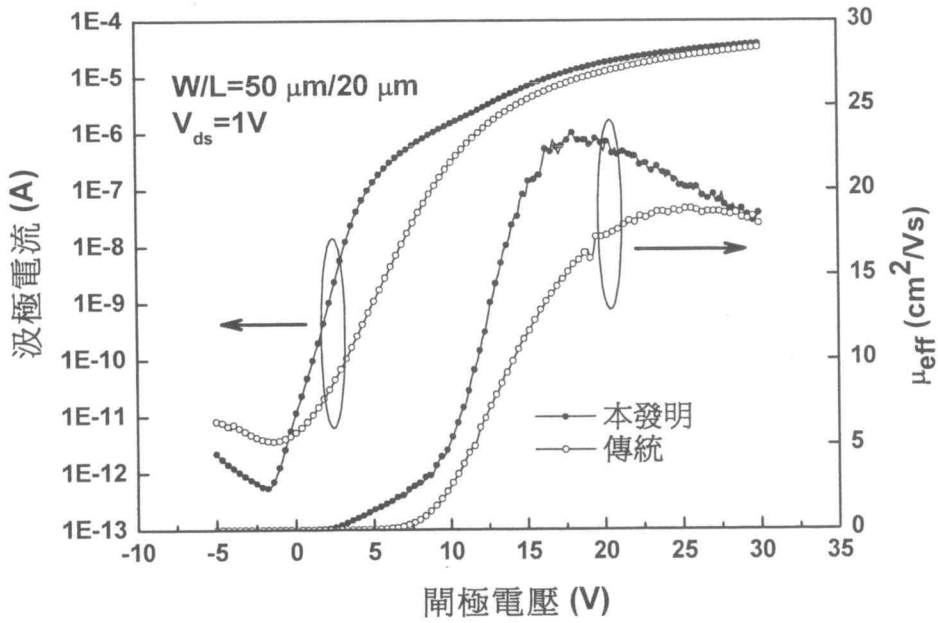
第 2(c)圖



第 2(d)圖



第 2(e)圖



第 3 圖