

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號： 94147774

※申請日期： 94.12.30

※IPC 分類： G06F1/04 (2006.01)

一、發明名稱：(中文/英文)

時脈切換電路

二、申請人：(共 1 人)

姓名或名稱：(中文/英文) 國立交通大學

代表人：(中文/英文) 張俊彥

住居所或營業所地址：(中文/英文)

新竹市大學路 1001 號

國 籍：(中文/英文) 中華民國 TW

三、發明人：(共 2 人)

姓 名：(中文/英文)

1、 吳健豪

2、 黃威

國 籍：(中文/英文)

1、 中華民國 TW

2、 中華民國 TW

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為：94年7月4日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

本發明提出一種時脈切換電路，其包括一時脈產生器，接收二不同時脈訊號，一邏輯閘連接一致能訊號產生器及一輸出時脈產生器，在二時脈訊號切換時，根據此二時脈訊號緣，利用此邏輯閘停止輸出的時脈，以避免時脈故障和時序不足的問題產生，等到適當的時機，此邏輯閘才再度打開以輸出時脈訊號。

六、英文發明摘要：

七、指定代表圖：

(一) 本案代表圖：第二圖

(二) 本案代表圖之元件代表符號簡單說明：

10 時脈產生器

12 致能訊號產生器

14 輸出時脈產生器

16 輸出及閘

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

九、發明說明：

【發明所屬之技術領域】

本發明係有關一種時脈切換電路，特別係一種能切換複數個不同動態時脈的切換電路。

【先前技術】

在積體電路的設計應用上，一旦系統需要切換兩個速率與相位不同的時脈，且切換訊號沒有控制好，則就有可能發生時脈故障(glitch)或時序不足(timing insufficient)的問題。

如第一 A 圖所示，係顯示所輸出的時脈(clk_out)發生時脈故障問題；第一 B 圖係顯示所輸出的時脈(clk_out)發生時序不足的問題。在第一 A 圖和第一 B 圖中，利用切換訊號(switch signal)是用來選擇時脈訊號 1(clk1)或時脈訊號 2(clk2)為輸出時脈，且不論是從 clk1 切換為 clk2，或是從 clk2 切換為 clk1，都有可能發生如第一 A 圖所示的時脈故障或第一 B 圖所示的時序不足的問題，故設計一個能防止上述問題發生的時脈切換電路是必需的。在美國專利公告號 2004/0095166 A1"Clock Switching Circuit"提出一時脈切換電路用來解決上述問題，可是其電路設計上還需要一個額外的選擇訊號產生器以控制訊號，因此使用上較為不便。

有鑑於此，本發明不但針對上述之困擾，克服上述之缺失，且在使用上亦更加的簡易。

【發明內容】

本發明之主要目的係在提供一種時脈切換電路，其操縱方式相當簡易，類似一時脈多工器的功能。

本發明之另一目的係在提供一種時脈切換電路，在切換二時脈訊號時，能夠避免產生時脈故障或時序不足的情況發生。

為達到上述之目的，本發明的切換電路將一原時脈訊號切換至一新時脈訊號，切換電路包括一時脈產生器，其接收不同的二時脈訊號 $clk1$ 、 $clk2$ ，並根據切換訊號(Switch)產生與原時脈訊號一致的一第一參考時脈訊號，一致能訊號產生器，其連接時脈產生器，並接收第一參考時脈訊號，及一輸出時脈產生器，其連接時脈產生器與致能訊號產生器並接收第一參考時脈訊號，且有一邏輯閘連接致能訊號產生器與輸出時脈產生器，當致能訊號產生器根據第一參考時脈訊號之負緣時，會關閉此邏輯閘，輸出時脈產生器依據第一參考訊號產生與新時脈訊號一致的第二參考時脈訊號，並將之發送至致能訊號產生器，其根據第二參考時脈訊號之負緣時，會開啟此邏輯閘，將輸出時脈產生器產生之新時脈訊號經由此邏輯閘輸出。

底下藉由具體實施例配合所附的圖式詳加說明，當更容易瞭解本發明之目的、技術內容、特點及其所達成之功效。

【實施方式】

參照第二圖，係本發明一較佳時脈切換電路示意圖，則本發

明的時脈切換電路包括一時脈產生器 10，其接收兩個不同的時脈訊號，第一時脈訊號 $clk1$ 與第二時脈訊號 $clk2$ ，並根據切換訊號 Switch 產生與原時脈訊號一致的一第一參考時脈訊號，一致能訊號產生器 12，其連接時脈產生器 10，並接收第一參考時脈訊號，及一輸出時脈產生器 14，其連接時脈產生器 10 與致能訊號產生器 12 並接收第一參考時脈訊號，且有一邏輯閘 16 連接致能訊號產生器 12 與輸出時脈產生器 14，而邏輯閘 16 係為輸出及閘 (And gate)。當致能訊號產生器 12 根據第一參考時脈訊號之負緣時，會關閉輸出及閘 16，輸出時脈產生器 14 依據第一參考時脈訊號產生與新時脈訊號一致的一第二參考時脈訊號，並將之發送至致能訊號產生器 12，其根據第二參考時脈訊號之負緣時，會開啟輸出及閘 16，將輸出時脈產生器 14 產生的新時脈訊號經由輸出及閘 16 輸出。其中，時脈產生器 10、致能訊號產生器 12 與輸出時脈產生器 14 耦合一第一節點 Net1，致能訊號產生器 12 與輸出時脈產生器 14 耦合一第二節點 Net2。

當時脈產生器 10 接收第一時脈訊號 $clk1$ 和第二時脈訊號 $clk2$ ，而切換訊號 Switch 係使輸出時脈從第一時脈訊號 $clk1$ 切換至第二時脈訊號 $clk2$ ，則時脈產生器 10 係根據切換訊號產生與第一時脈訊號 $clk1$ 一致的第一參考時脈訊號於第一節點 Net1，致能產生器 12 接收此第一參考時脈訊號，並在第一節點 Net1 輸出第一參考時脈訊號負緣時，關閉輸出及閘 16，輸出時脈產生器 14 依據此第一參考時脈訊號，產生與第二時脈訊

號 clk2 一致的第二參考時脈訊號於第二節點 Net2，而在第二節點 Net2 輸出第二參考時脈訊號之負緣時，會打開輸出及閘 16，使時脈訊號產生器 14 產生第二時脈訊號 clk2 而經由輸出及閘 16 輸出。其中，輸出及閘 16 關閉的時間長度係在第一時脈訊號 clk1 的負緣和第二時脈訊號 clk2 負緣之間。同理，輸出時脈從第二時脈訊號 clk2 切換至第一時脈訊號 clk1 亦為相同原則，在切換時會關閉輸出及閘 16，以避免時脈故障或時序不足的問題產生。

參照第三圖，係第二圖之詳細時脈切換電路示意圖，如圖所示，本發明的時脈切換電路主要是由邏輯閘和暫存器(D Flip-Flop)所構成的，時脈切換電路接收相位、速率不同的二時脈訊號第一時脈訊號 clk1 和第二時脈訊號 clk2，與一切換訊號(Switch)，若輸出訊號係跟隨第一時脈訊號 clk1，切換訊號係為低位 0，若輸出訊號係跟隨第二時脈訊號 clk2，切換訊號係為高位 1。參照第三圖，本發明之詳細時脈切換電路圖包括一多工器 32，其連接一互斥或閘(XOR Gate)28，互斥或閘 28 連接二暫存器 20、22，當切換訊號發生時，互斥或閘 28 和暫存器 20、22 係產生第一時脈訊號 clk1，與連接一互斥或閘(XOR Gate)30，互斥或閘 30 連接二暫存器 24、26，當切換訊號發生時，互斥或閘 30 和暫存器 24、26 係產生第二時脈訊號 clk2，以及暫存器 34、36、38，多工器 40、42、44、46、48、50，及閘 16、52。另，當切換訊號 Switch 從 0 變換至 1 時，即當輸出時脈(Clock_Out)從第一時脈訊號 clk1 切

換至第二時脈訊號 clk2，多工器 32 選擇第一時脈訊號 clk1 輸出至第一節點 Net1，而當切換訊號 Switch 從 1 變換至 0 時，即當輸出時脈從第二時脈訊號 clk2 切換至第一時脈訊號 clk1，則多工器 32 係選擇第二時脈訊號 clk2 輸出至第一節點 Net1。

同時參照第三圖、第四 A 圖，第四 A 圖係輸出時脈從時脈訊號 clk1 切換至時脈訊號 clk2 的時序圖。當輸出時脈 (Clock_Out) 從第一時脈訊號 clk1 切換至第二時脈訊號 clk2，多工器 32 選擇第一時脈訊號 clk1 輸出至第一節點 Net1，將會觸發暫存器 36，在第一節點 Net1 輸出第一時脈訊號 clk1 的負緣時，關閉輸出及閘 16，且此時將會觸發暫存器 34 而接著使及閘 52 作動，之後多工器 40 在起始態選擇第二時脈訊號 clk2，將會產生第二時脈訊號 clk2 於第二節點 Net2，而在第二節點 Net2 輸出第二時脈訊號 clk2 的負緣時，將會觸發暫存器 36、38，且開啟輸出及閘 16，然後多工器 50 將輸出第二時脈訊號 clk2 並經由輸出及閘 16 輸出第二時脈訊號 clk2。其中，輸出及閘 16 在第一時脈訊號 clk1 與第二時脈訊號 clk2 的負緣期間關閉掉輸出時脈訊號，此機制可以解決時脈故障的問題。

同理，參照第三圖、第四 B 圖，第四 B 圖係輸出時脈從第二時脈訊號 clk2 切換至第一時脈訊號 clk1 的時序圖。當輸出時脈從第二時脈訊號 clk2 切換至第一時脈訊號 clk1，多工器 32 選擇第二時脈訊號 clk2 輸出至第一節點 Net1，在第一節點 Net1 輸出

第二時脈訊號 clk2 的負緣時，關閉輸出及閘 16，而此時將會觸發暫存器 34 而接著使及閘 52 作動，設多工器 40 在起始態係選擇第一時脈訊號 clk1，故將會產生第一時脈訊號 clk1 於第二節點 Net2，而在第二節點 Net2 輸出第一時脈訊號 clk1 的負緣，將會觸發暫存器 36、38 與開啟輸出及閘 16，之後多工器 50 將輸出第一時脈訊號 clk1 並經由輸出及閘 16 輸出第一時脈訊號 clk1。其中，輸出及閘 16 係在第二時脈訊號 clk2 與第一時脈訊號 clk1 的負緣期間關閉掉輸出時脈訊號。

本發明所提出的時脈切換電路，不但操控簡易，就如同是一個多工器，可選擇想要的時脈訊號，且在二不同時脈訊號切換時，根據此二時脈訊號緣，利用輸出及閘 16 停止輸出的時脈，可避免時脈故障和時序不足的問題產生。另，本發明的時脈切換電路可以延伸轉變成為一更大的時脈切換電路，接收兩個以上的時脈訊號，且本發明可用等效的邏輯閘電路組合。以上所述之實施例僅係為說明本發明之技術思想及特點，其目的在使熟習此項技藝之人士能夠瞭解本發明之內容並據以實施，當不能以之限定本發明之專利範圍，即大凡依本發明所揭示之精神所作之均等變化或修飾，仍應涵蓋在本發明之專利範圍內。

【圖式簡單說明】

第一 A 圖係習知切換二時脈訊號時，發生時脈故障的問題。

第一 B 圖係習知切換二時脈訊號時，發生時序不足的問題。

第二圖係本發明一較佳時脈切換電路圖。

第三圖係第二圖之詳細時脈切換電路圖。

第四 A 圖係本發明之輸出時脈從時脈訊號 clk1 切換至時脈訊號 clk2 的時序圖。

第四 B 圖係本發明之輸出時脈從時脈訊號 clk2 切換至時脈訊號 clk1 的時序圖。

【主要元件符號說明】

10 時脈產生器

12 致能訊號產生器

14 輸出時脈產生器

16 輸出及閘

20、22、24、26、34、36、38 暫存器

28、30 互斥或閘

32、40、42、44、46、48、50 多工器

52 及閘

十、申請專利範圍：

1.一種時脈切換電路，其將一原時脈訊號切換至一新時脈訊號，該時脈切換電路包括：

一時脈產生器，其接收不同的二時脈訊號，並根據一切換訊號產生與該原時脈訊號一致的一第一參考時脈訊號；

一致能訊號產生器，其連接該時脈產生器，並接收該第一參考時脈訊號；及

一輸出時脈產生器，其連接該時脈產生器與該致能訊號產生器並接收該第一參考時脈訊號，且有一邏輯閘連接該致能訊號產生器與該輸出時脈產生器，當該致能訊號產生器可根據該第一參考時脈訊號之負緣時，會關閉該邏輯閘，該輸出時脈產生器依據該第一參考時脈訊號產生與該新時脈訊號一致的的第二參考時脈訊號，並將之發送至該致能訊號產生器，其根據該第二參考時脈訊號之負緣時，會開啟該邏輯閘，將該輸出時脈產生器產生之該新時脈訊號經由該邏輯閘輸出。

2.如申請專利範圍第1項之所述的時脈切換電路，其中該時脈產生器、該致能訊號產生器與該輸出時脈產生器耦合一第一節點，且該致能訊號產生器與該輸出時脈產生器耦合一第二節點。

3.如申請專利範圍第2項之所述的時脈切換電路，其中當該原時脈訊號係一第一時脈訊號，該新時脈訊號係為一第二時脈訊號時，該時脈產生器接收該第一時脈訊號和該第二時脈訊號，並根據該切換訊號產生與該第一時脈訊號一致的該第一參考時脈訊號於該第一節點，該致能產生器接收該第一

參考時脈訊號，並在該第一節點輸出該第一參考時脈訊號負緣時關閉該邏輯閘，該輸出時脈產生器依據該第一參考時脈訊號，產生與該第二時脈訊號一致的該第二參考時脈訊號於該第二節點，在該第二節點輸出該第二參考時脈訊號之負緣，會打開該邏輯閘，使該輸出時脈產生器輸出該第二時脈訊號而經由該邏輯閘輸出。

4.如申請專利範圍第2項之所述的時脈切換電路，其中當該原時脈訊號係為一第二時脈訊號，該新時脈訊號係為一第一時脈訊號時，該時脈產生器接收該第一時脈訊號和該第二時脈訊號，並根據該切換訊號產生與該第二時脈訊號一致的該第一參考時脈訊號於該第一節點，該致能產生器接收該第一參考時脈訊號，並在該第一節點輸出該第一參考時脈訊號負緣時關閉該邏輯閘，該輸出時脈產生器依據該第一參考時脈訊號產生與該第一時脈訊號一致的該第二參考時脈訊號於該第二節點，在該第二節點輸出該第二參考時脈訊號之負緣時，會打開該邏輯閘，使該輸出時脈產生器產生該第一時脈訊號而經由該邏輯閘輸出。

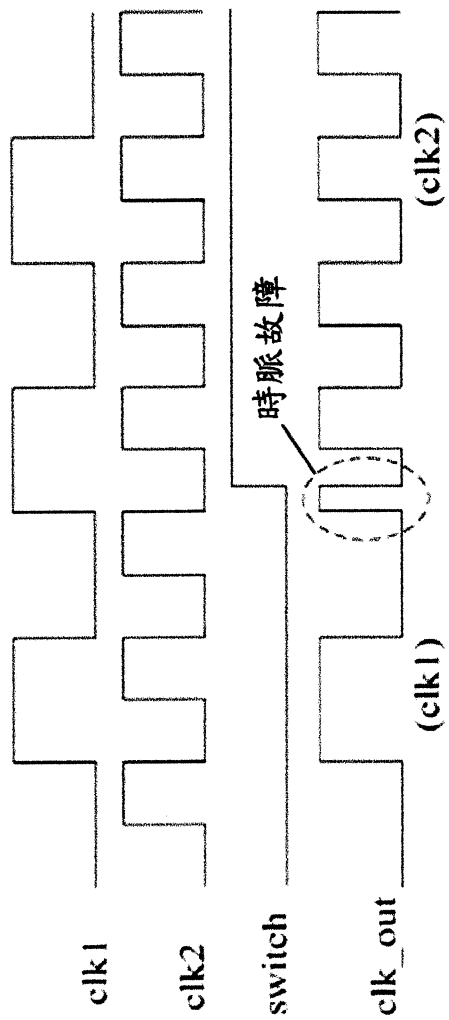
5.如申請專利範圍第3項之所述的時脈切換電路，其中該邏輯閘關閉的時間長度係在該第一時脈訊號的負緣和該第二時脈訊號的負緣之間。

6.如申請專利範圍第4項之所述的時脈切換電路，其中該邏輯閘關閉的時間長度係在該第二時脈訊號的負緣和該第一時脈訊號的負緣之間。

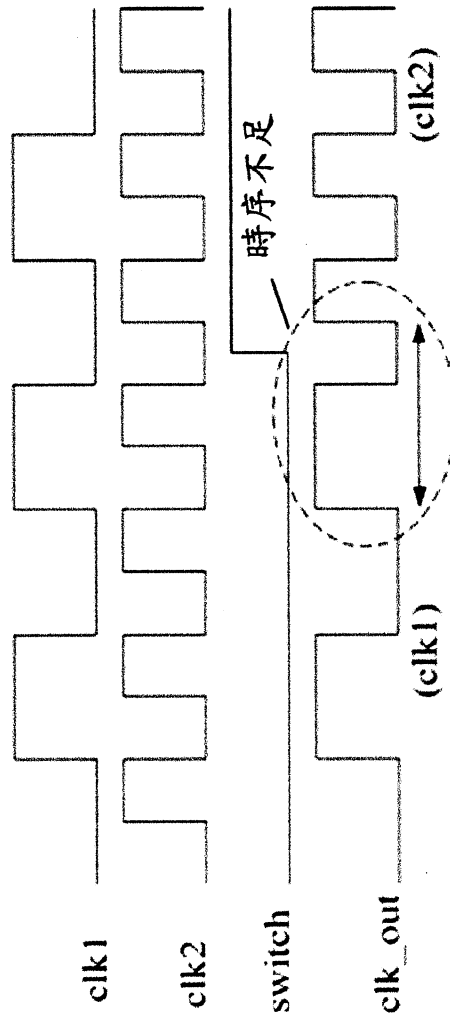
7.如申請專利範圍第1項之所述的時脈切換電路，其中可以將時脈切換電路延伸轉變成為一更大的時脈切換電路，接收兩個以上的時脈訊號。

8.如申請專利範圍第1項之所述的時脈切換電路，其中該時脈產生器、該致

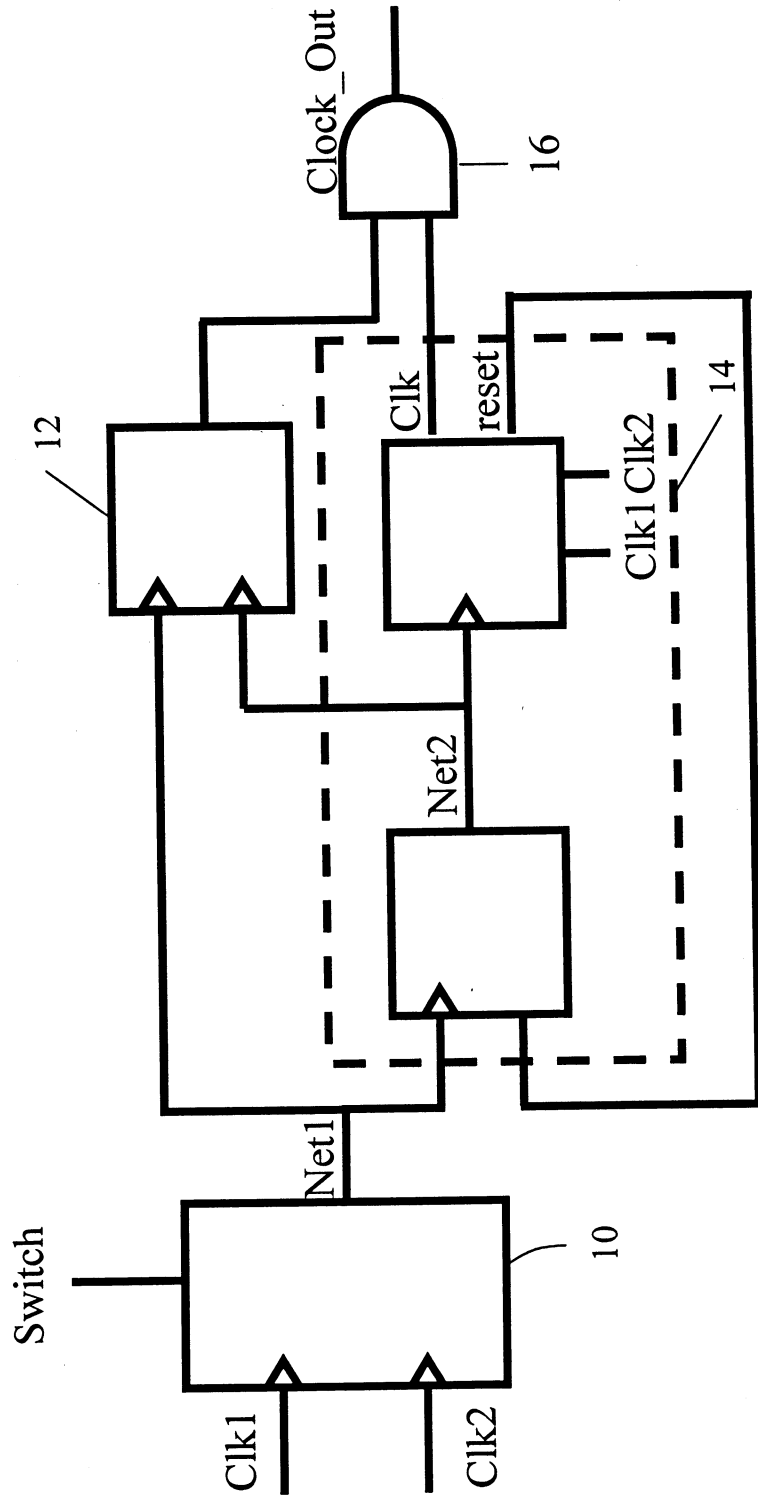
能訊號產生器與該輸出時脈產生器，皆可用等效的邏輯閘電路組合。



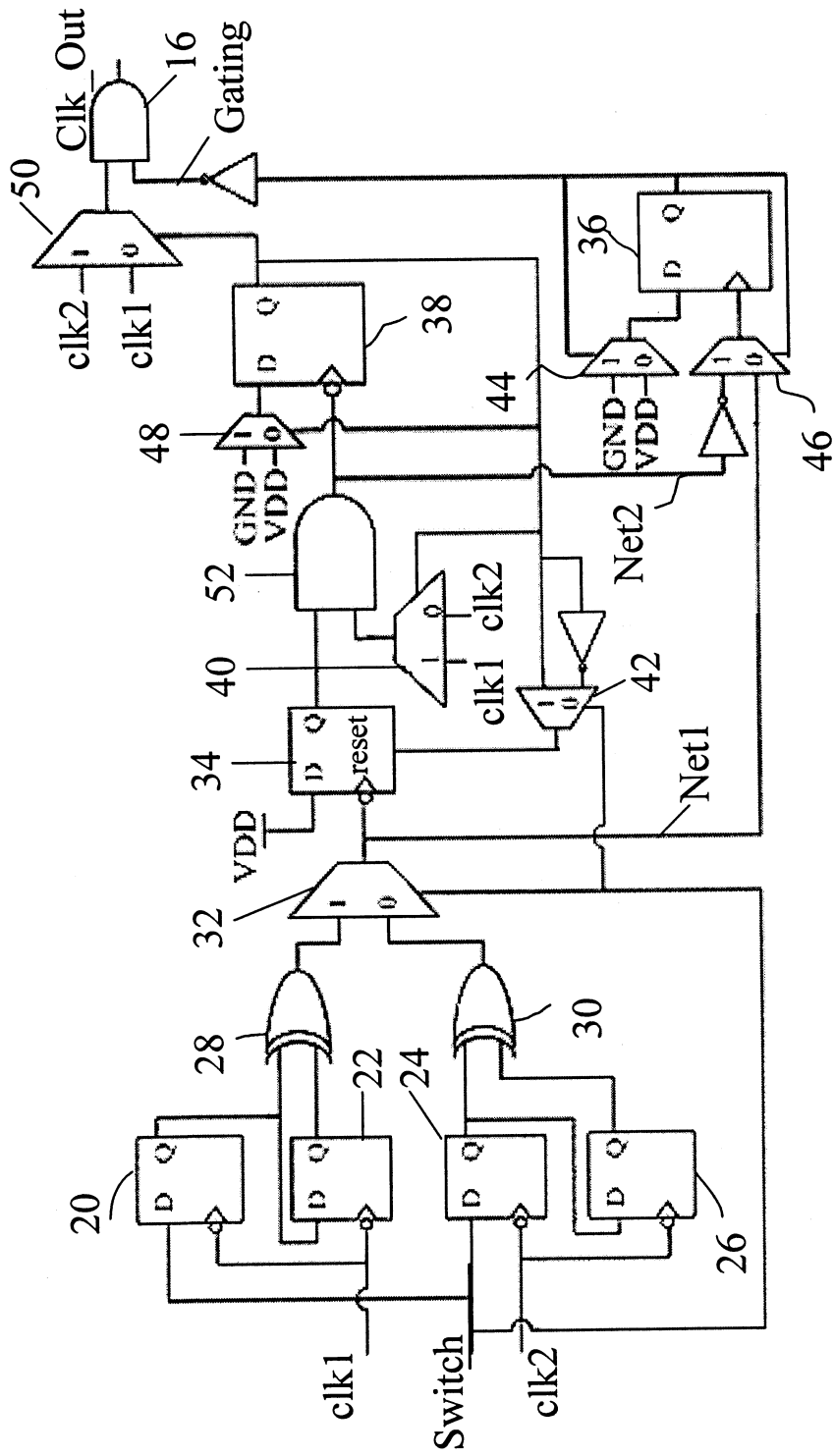
第一-A圖



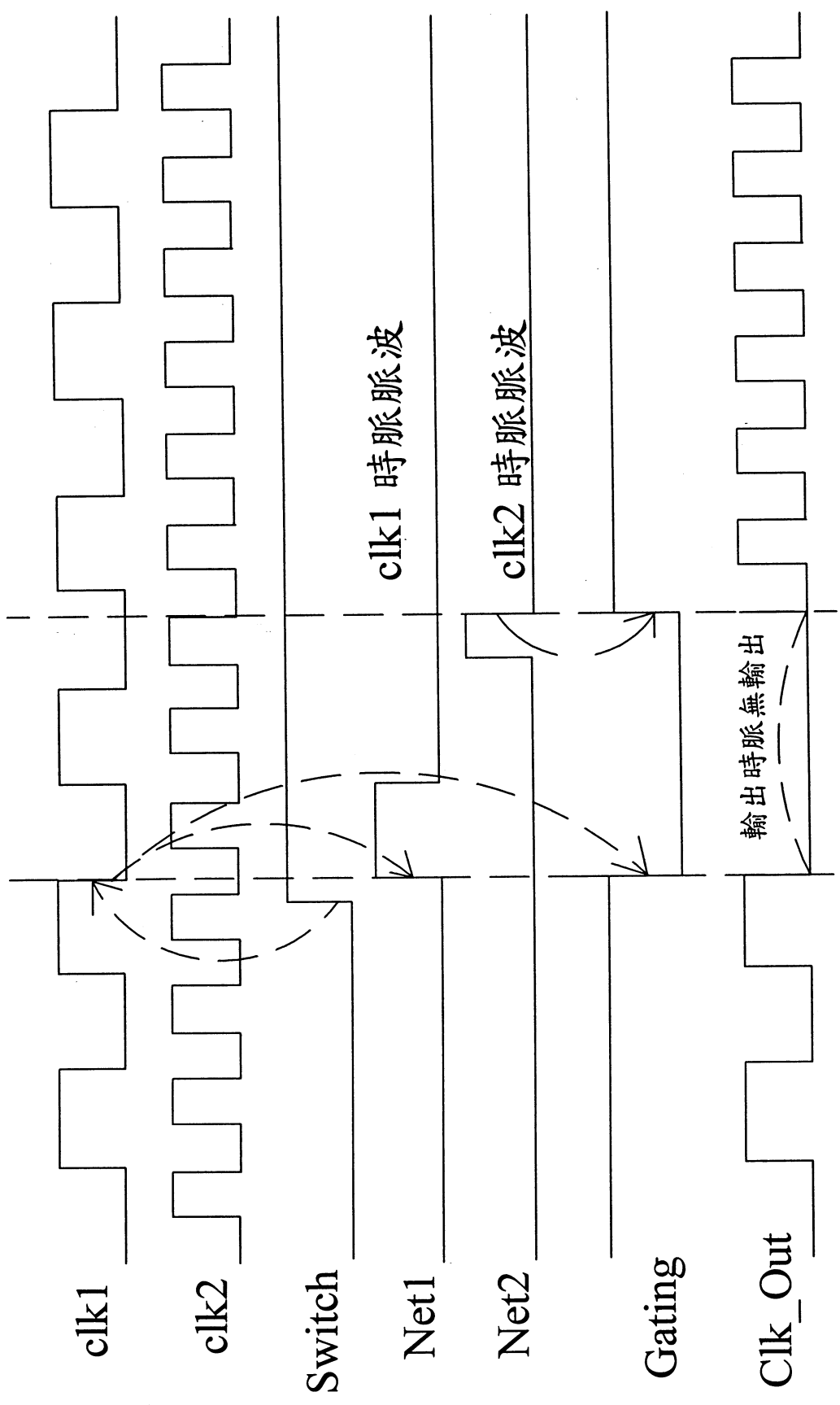
第一-B圖



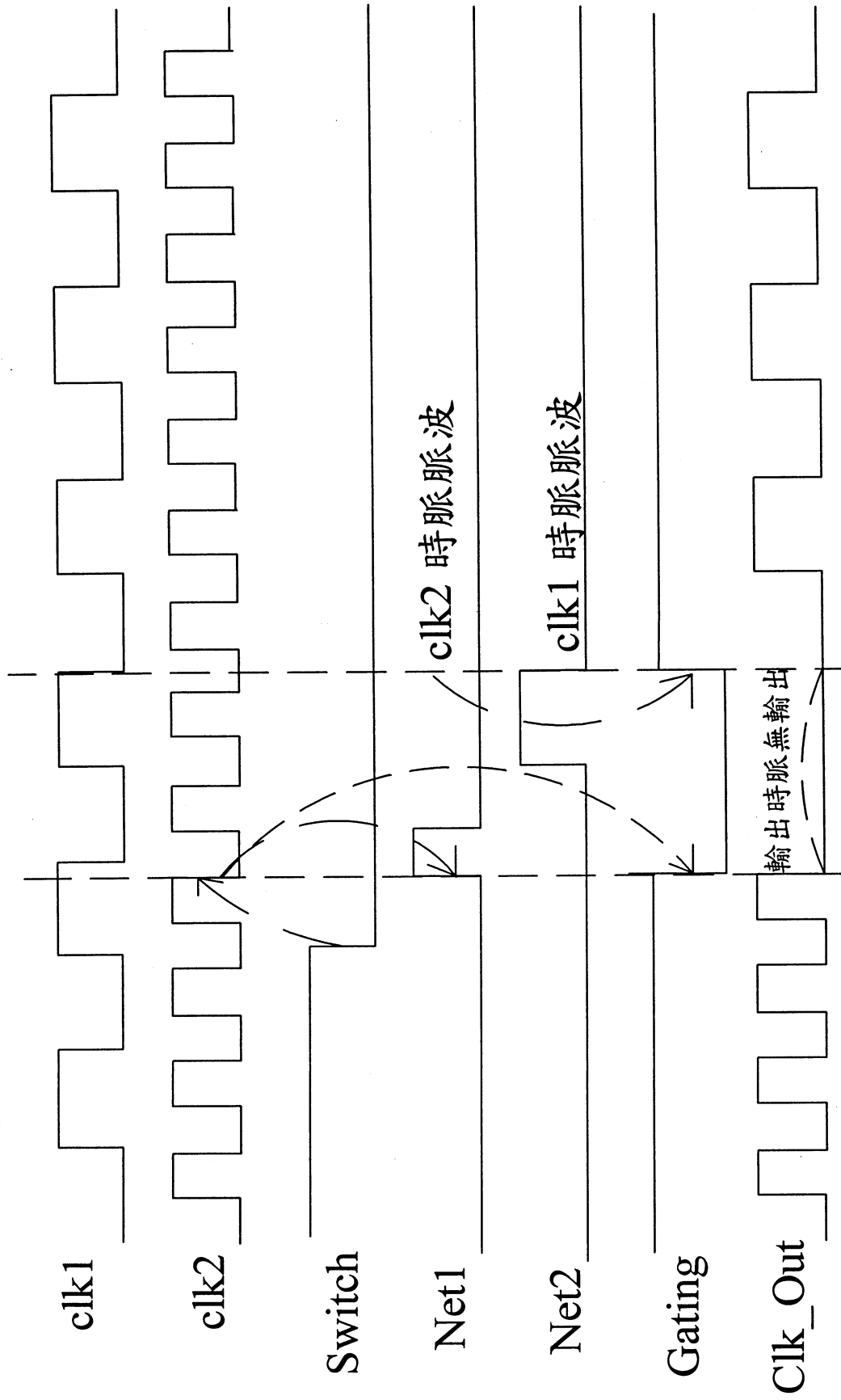
第二圖



第三圖



第四A圖



第四B圖