

# 發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：95106180

※ 申請日期：95.2.23      ※IPC 分類：H03M1/10 (2006.01)

## 一、發明名稱：(中文/英文)

校正時間交錯類比數位轉換器

## 二、申請人：(共 1 人)

姓名或名稱：(中文/英文) ID：46804706

國立交通大學

代表人：(中文/英文) 張俊彥

住居所或營業所地址：(中文/英文)

新竹市大學路 1001 號

國 籍：(中文/英文) 中華民國

## 三、發明人：(共 2 人)

姓 名：(中文/英文)

1. 王仲益      ID：L122960050

2. 吳介琮      ID：Y120002877

國 籍：(中文/英文)

1. 中華民國

2. 中華民國

#### 四、聲明事項：

主張專利法第二十二條第二項第一款或第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

## 五、中文發明摘要：

本發明為校正時間交錯類比數位轉換器，提供兩路及多路幕後校正時間交錯類比數位轉換器兩種結構。上述兩種結構於校正過程直接以類比數位轉換器輸出訊號為調整之依據，不必外加訊號或中斷電路之正常運作；可動態調校，即使環境因素在使用過程中改變，亦能自行修正調校幅度，使時序歪斜量維持在極低水平；以及製程之不匹配不影響本發明之校正時間交錯類比數位轉換器，每多一路類比數位轉換器則取樣頻率及輸入訊號頻率便可有效增加，因此可達到極高速取樣頻率和極高速輸入訊號之要求，且額外增加之校正電路大部分為簡單數位電路，對於晶片面積可大幅縮小。

## 六、英文發明摘要：

七、指定代表圖：

(一)本案指定代表圖為：第( 1 )圖。

(二)本代表圖之元件符號簡單說明：

兩路幕後校正時間交錯類比數位轉換器 1

時序產生器 11

時序隨機切換器 12

第一可程式化延遲單元 131

第二可程式化延遲單元 132

第一類比數位轉換器 141

第二類比數位轉換器 142

資料還原器 15

校正處理器 16

零點交會偵測器 161

第一累加器 162

雙向峰值偵測器 163

第二累加器 164

隨機序列產生器 17

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

## 九、發明說明：

### 【發明所屬之技術領域】

本發明係為一校正時間交錯類比數位轉換器，尤指提供兩路幕後校正式時間交錯類比數位轉換器及多路幕後校正式時間交錯類比數位轉換器兩種結構，達到於校正過程中無需中斷可不斷循環，並可動態調整，即使受到環境影響亦可自行修正，且可適用於窄頻及寬頻訊號。

### 【先前技術】

目前用於時間交錯類比數位轉換器之時序歪斜之校正方法主要有：

a. 預先校正法：在電路尚未正式運作之前，由輔助電路產生標準輸入訊號作為校正依據，逐一校正不同相位之時序歪斜。但由於電路運作時，時序歪斜會隨溫度及外界環境而緩慢改變，因此這種方法的主要缺點是無法動態調校時序歪斜，在電路運作一段時間後，轉換器特性會逐漸劣化。

b. 互相關函數測試法修正：在多路的類比數位轉換器中，藉由比較所有相鄰兩路之互相關函數來得到時序歪斜的資訊，當每一路的相位若有時序歪斜時，則每兩路類比數位轉換器所得到的互相關函數將會不同，而因此可得知時序歪斜的量，然而此方法僅限於

窄頻操作，當輸入訊號頻寬大於單一路一半的取樣頻率時，訊號混疊將發生，因此該方法將失效。

如美國專利第 5294926 號之「可調整時序歪斜之時間交錯類比數位轉換器」，此專利內容係為此專利需要預先校正，當一參考弦波訊號輸入時間交錯類比數位轉換器時，利用數位內插找出零點交會的時間點，之後比較每相鄰兩路的時間距離以數位訊號表示出來，當該數位訊號不相同時，即表示時序產生時序歪斜，因此便可根據此資訊將時序歪斜校正。此法必須將訊號與參考弦波分離，因此僅是用於預先校正法。

雖然上述之習知技術，可達到時序歪斜校正，而互相關函數測試法修正只能用於窄頻，預先校正法係無法動態調校，轉換器特性會逐漸劣化。故，一般習用者係無法符合使用者於實際使用時之所需。

### 【發明內容】

本發明之主要目的係在於，可用於窄頻及寬頻訊號，於校正過程不須中斷可不斷循環，並可動態調整，使時序歪斜量維持最低。

為達上述之目的，本發明係一種校正時間交錯類比數位轉換器，提供一兩路幕後校正時間交錯類比數位轉換器及一多路幕後校正時間交錯類比數位轉換器。而該兩路幕後校正時間交錯類比數位轉換器係由

一時序產生器、一時序隨機切換器、一第一可程式化延遲單元、一第二可程式化延遲單元、一第一類比數位轉換器、一第二類比數位轉換器、一資料還原器、一校正處理器及一隨機序列產生器所構成。

該多路幕後校正時間交錯類比數位轉換器係由一時序產生器、一多路時序隨機切換器、一多路可程式化延遲單元、一多路類比數位轉換器、一多路資料還原器、一多路校正處理器及一隨機序列產生器所構成。

#### 【實施方式】

請參閱『第 1 圖』所示，係本發明之第一實施例架構示意圖。如圖所示：本發明係一校正時間交錯類比數位轉換器，於本實施例係為兩路幕後校正時間交錯類比數位轉換器 1，係由一時序產生器 11、一時序隨機切換器 12、一第一可程式化延遲單元 131、一第二可程式化延遲單元 132、一第一類比數位轉換器 141、一第二類比數位轉換器 142、一資料還原器 15、一校正處理器 16 及一隨機序列產生器 17 所構成。

其中，該校正處理器 16 係包括一零點交會偵測器 161、一第一累加器 162、一雙向峰值偵測器 163 及一第二累加器 164。而該第一累加器 162 係為可變符號式累加器，此外該第一累加器 162 及第二累加器 164 係可由計數器替代。

本實施例於使用過程中，係由該時序產生器 11 提供一第一相位及一第二相位至該時序隨機切換器 12 進行時序切換，並由該隨機時序產生器 17 輸入一隨機訊號至該時序隨機切換器 12，而該隨機訊號係可決定輸入至該時序隨機切換器 12 之第一相位及第二相位分別接至第一可程式化延遲單元 131 及第二可程式化延遲單元 132 呈正接狀態並表示該隨機訊號為 1；或者是該隨機訊號係可決定輸入至該時序隨機切換器 12 之第一相位及第二相位分別接至第二可程式化延遲單元 132 及第一可程式化延遲單元 131 呈反接狀態並表示該隨機訊號為 -1，然而上述正接狀態及反接狀態各出現機率為 50%。其中該時序產生器 11 係可由鎖相電路替代。

該校正處理器 16 係輸出一數位控制訊號至該第二可程式化延遲單元 132 進行時序歪斜校正，然後校正至該第一可程式化延遲單元 131 與第二可程式化延遲單元 132 之時間差距相等，該第一可程式化延遲單元 131 與第二可程式化延遲單元 132 係分別輸出訊號至該第一類比數位轉換器 141 及第二類比數位轉換器 142 進行轉換為一第一數位訊號及一第二數位訊號，然而將該第一數位訊號及第二數位訊號輸入至該資料還原器 15 進行還原，而還原出來之訊號並無失真，再傳至該校正處理器 16，然而持續輸入訊號進行循環工



作。

其中該校正處理器 16 之零點交會偵測器 161 係接收該資料還原器 15 所輸出之第一數位訊號及第二數位訊號，並將該第一數位訊號及第二數位訊號相乘積判斷其值是否小於零，而該零點交會偵測器 161 係計算與 0 位準交會次數，該交會次數係與該第一數位訊號及第二數位訊號的互相關函數係數成一對一對應，藉此可得到時序歪斜之資訊，而上述只需簡單邏輯閘，不需如乘法器等大型電路即可進行計算。當無時序歪斜時，於正接狀態下與於反接狀態下之零點交會次數相同；當時序歪斜為正時，該第一可程式化延遲單元 131 與第二可程式化延遲單元 132 之時間差較大，所以於正接狀態下之零點交會次數係大於於反接狀態下之零點交會次數；以及當時序歪斜為負時，該第一可程式化延遲單元 131 與第二可程式化延遲單元 132 之時間差較小，所以於正接狀態下之零點交會次數係小於於反接狀態下之零點交會次數，由上述可知該零點交會偵測器 161 亦可判斷時序歪斜之極性。故該零點交會偵測器 161 所輸出訊號與該隨機序列產生器 17 所輸出之隨機訊號相乘係可得到一相關變數。

該第一累加器 162 係累加由該零點交會偵測器 161 所輸出訊號與隨機訊號相乘積所得之相關變數，即可得知時序歪斜之大小，例如：當時序歪斜為正，

會使該相關變數向下遞減；當時序歪斜為負，會使該相關變數向上遞增，而該第一累加器 162 之累加結果的變化可顯示時序歪斜值，藉此判斷時序歪斜之極性，因此累加時間越久，次數越多，可信度越高，可形成一負迴授系統，故可將時序歪斜校正至最小值。

然而該累加結果係輸入至該雙向峰值偵測器 163，而該雙向峰值偵測器 163 係用以監測該第一累加器 162，其內部設有一門檻值，當該累加結果大於門檻值，該雙向峰值偵測器 163 則輸出一訊號值為 +1；當該累加結果小於門檻值，該雙向峰值偵測器 163 則輸出一訊號值為 -1；除了上述狀況該雙向峰值偵測器 163 則輸出一訊號值為 0，故當該雙向峰值偵測器 163 輸出之訊號值不為 0，皆須重設該第一累加器 162，使第一累加器 162 歸零重新累加，因此當該雙向峰值偵測器 163 輸出之訊號值不為 0 僅維持一個時序週期，並顯示有足夠可信度可判斷時序歪斜之極性。

接著該第二累加器 164 係為累加該該雙向峰值偵測器 163 所輸出訊號，而該累加結果係用以控制該第二可程式化延遲單元 132，使該第二可程式化延遲單元 132 與該第一可程式化延遲單元 131 之時間差相等（理想值），當累加結果增加 1，時序歪斜隨之增加一固定微量。該時序歪斜並非為一固定值，而是於 0 附近不斷跳動，而該跳動現象係可視為一顫動雜訊，可藉

由精確估計兩路幕後校正時間交錯類比數位轉換器 1 相關參數，將該顫動雜訊抑制在不影響整體效能。

請參閱『第 2 圖』所示，係本發明之第二實施例架構示意圖。如圖所示：本實施例係為一多路幕後校正時間交錯類比數位轉換器 2，其由一時序產生器 21、一多路時序隨機切換器 22、一多路可程式化延遲單元 23、一多路類比數位轉換器 24、一多路資料還原器 25、一多路校正處理器 26 及一隨機序列產生器 27 所構成。其中，該多路校正處理器 26 係包括一多路零點交會偵測器 261 及一多路相關及累加處理器 262，而該多路相關及累加處理器 262 係由一相關性處理器及至少一以上之累加器構成，而該累加器係為可變符號式累加器及一般累加器。而該多路幕後校正時間交錯類比數位轉換器 2 中之時序產生器 21 可產生複數個相位，該相位數目係可由每一類比數位轉換器的取樣週期與每一相位時間差相除而得到，然而須為一偶數，故所產生之相位數目可決定該多路幕後校正時間交錯類比數位轉換器 2 之路徑數目，如四路幕後校正時間交錯類比數位轉換器、六路幕後校正時間交錯類比數位轉換器…等。此外該多路幕後校正時間交錯類比數位轉換器 2 可用於窄頻訊號，更可用於寬頻訊號，其訊號頻寬可超過兩倍取樣週期的倒數值，但須小於兩倍相位時間差的倒數值，於上述範圍中之訊號

頻率係可使用本發明之多路幕後校正時間交錯類比數位轉換器 2 進行校正。

本實施例於使用過程中，係由該時序產生器 21 提供  $N$  個相位 ( $\phi_i, i=0, 1, 2 \dots N-1, N$  為偶數) 至該多路時序隨機切換器 22，該隨機序列產生器 27 係產生一第一隨機訊號及一第二隨機訊號，該第一隨機訊號係影響時序切換，而該第二隨機訊號係決定為正接狀態或反接狀態，然而由該多路時序隨機切換器 22 輸出訊號至該多路類比數位轉換器 24，轉換成多組數位訊號並由該多路資料還原器 25 進行資料還原，然而輸出至該多路校正處理器 26。

其中，當該第一隨機訊號為 1 時，該多路相關及累加處理器 262 係以一參考相位為基準。使  $N$  個相位係相鄰相位兩兩一組，如： $(\phi_0, \phi_1)$ 、 $(\phi_1, \phi_2) \dots (\phi_i, \phi_{i+1})$ ，而該第二隨機訊號為正接狀態時，每組相位順序係為  $(\phi_i, \phi_{i+1})$ ，各組中以離該參考相位較遠之相位進行校正，使相位  $\phi_i$  校正與相位  $\phi_{i+1}$  之時間差距為理想值；該第二隨機訊號為反接狀態時，每組相位順序係為  $(\phi_{i+1}, \phi_i)$ ，各組中以離該參考相位較遠之相位進行校正，使相位  $\phi_{i+1}$  校正與相位  $\phi_i$  之時間差距為理想值。

或者該第一隨機訊號為 0 時，該多路相關及累加處理器 262 係以一參考相位之相鄰相位為基準， $N$  個

相位係相鄰相位兩兩一組，如： $(\phi_1, \phi_2)$ 、 $(\phi_2, \phi_3)$ …… $(\phi_{i-1}, \phi_i)$ ，各組中以離該參考相位較遠之相位進行校正，而該第二隨機訊號為正接狀態時，每組相位順序係為 $(\phi_{i-1}, \phi_i)$ ，各組中以離該參考相位較遠之相位進行校正，使相位 $\phi_{i-1}$ 校正與相位 $\phi_i$ 之時間差距為理想值；該第二隨機訊號為反接狀態時，每組相位順序係為 $(\phi_i, \phi_{i-1})$ ，各組中以離該參考相位較遠之相位進行校正，使相位 $\phi_i$ 校正與相位 $\phi_{i-1}$ 之時間差距為理想值。

而該多路零點交會偵測器 261 將該多路資料還原器 26 所輸入之訊號進行計算與 0 位準交會次數，接著由該多路相關及累加處理器 262 進行零點交會次數累加及統計，獲得校正相位之資訊，然而該多路相關及累加處理器 262 輸出一訊號至該多路可程式化延遲單元 23 進行校正使整個多路幕後校正時間交錯類比數位轉換器 2 呈最佳化。

其中每一路類比數位轉換器會產生飄移誤差係使本發明之多路幕後校正時間交錯類比數位轉換器 2 受限，該飄移誤差係使本發明之校正功能失效，因此可在多路類比數位轉換器 24 之輸出端加設一高通濾波器，使每一路類比數位轉換器所產生之飄移誤差可被濾除。而每一路類比數位轉換器彼此增益不匹配，因本發明之多路幕後校正時間交錯類比數位轉換器 2 係

只需比較訊號之極性即可獲得時序歪斜資料，故不受影響，使本發明於積體電路實作上更容易實現，良率提升，達到良好的校正功能。

綜上所述，本發明校正時間交錯類比數位轉換器可有效改善習用之種種缺點，可利用簡單邏輯電路，使本發明適用於窄頻及寬頻訊號，並抑制各路類比數位轉換器的飄移誤差，達到良好校正功能，且可動態調校，能在使用過程中自動校正，而校正過程不須中斷，進而使本發明之產生能更進步、更實用、更符合使用者之所須，確已符合發明專利申請之要件，爰依法提出專利申請。

惟以上所述者，僅為本發明之較佳實施例而已，當不能以此限定本發明實施之範圍；故，凡依本發明申請專利範圍及發明說明書內容所作之簡單的等效變化與修飾，皆應仍屬本發明專利涵蓋之範圍內。

【圖式簡單說明】

第 1 圖，係本發明之第一實施例架構示意圖。

第 2 圖，係本發明之第二實施例架構示意圖。

【主要元件符號說明】

兩路幕後校正時間交錯類比數位轉換器 1

時序產生器 11

時序隨機切換器 12

第一可程式化延遲單元 131

第二可程式化延遲單元 132

第一類比數位轉換器 141

第二類比數位轉換器 142

資料還原器 15

校正處理器 16

零點交會偵測器 161

第一累加器 162

雙向峰值偵測器 163

第二累加器 164

隨機序列產生器 17

多路幕後校正時間交錯類比數位轉換器 2

時序產生器 21

多路時序隨機切換器 22

多路可程式化延遲單元 23

多路類比數位轉換器 24

- 多路資料還原器 25
- 多路校正處理器 26
- 多路零點交會偵測器 261
- 多路相關及累加處理器 262
- 隨機序列產生器 27



## 十、申請專利範圍：

1. 一種校正時間交錯類比數位轉換器，其結構係可為一兩路幕後校正時間交錯類比數位轉換器，其至少包括：
  - 一校正處理器；
  - 一時序產生器，係提供一第一相位及一第二相位；
  - 一時序隨機切換器，係接收該時序產生器所提供之相位進行時序切換；
  - 一第一可程式化延遲單元，係接收經時序切換之第一訊號；
  - 一第二可程式化延遲單元，係接收經時序切換之第二訊號，並接收該校正處理器所輸出訊號進行時序歪斜校正；
  - 一第一類比數位轉換器，係接收該第一可程式化延遲單元所輸出訊號；
  - 一第二類比數位轉換器，係接收該第二可程式化延遲單元所輸出訊號；
  - 一資料還原器，係還原該第一及第二類比數位轉換器所輸出之數位訊號，並傳至該校正處理器；以及
  - 一隨機序列產生器，係提供一隨機訊號。
2. 依申請專利範圍第 1 項所述之校正時間交錯類比數位轉換器，其中，該校正處理器係包括一零點交會偵

測器、一第一累加器、一雙向峰值偵測器及一第二累加器。

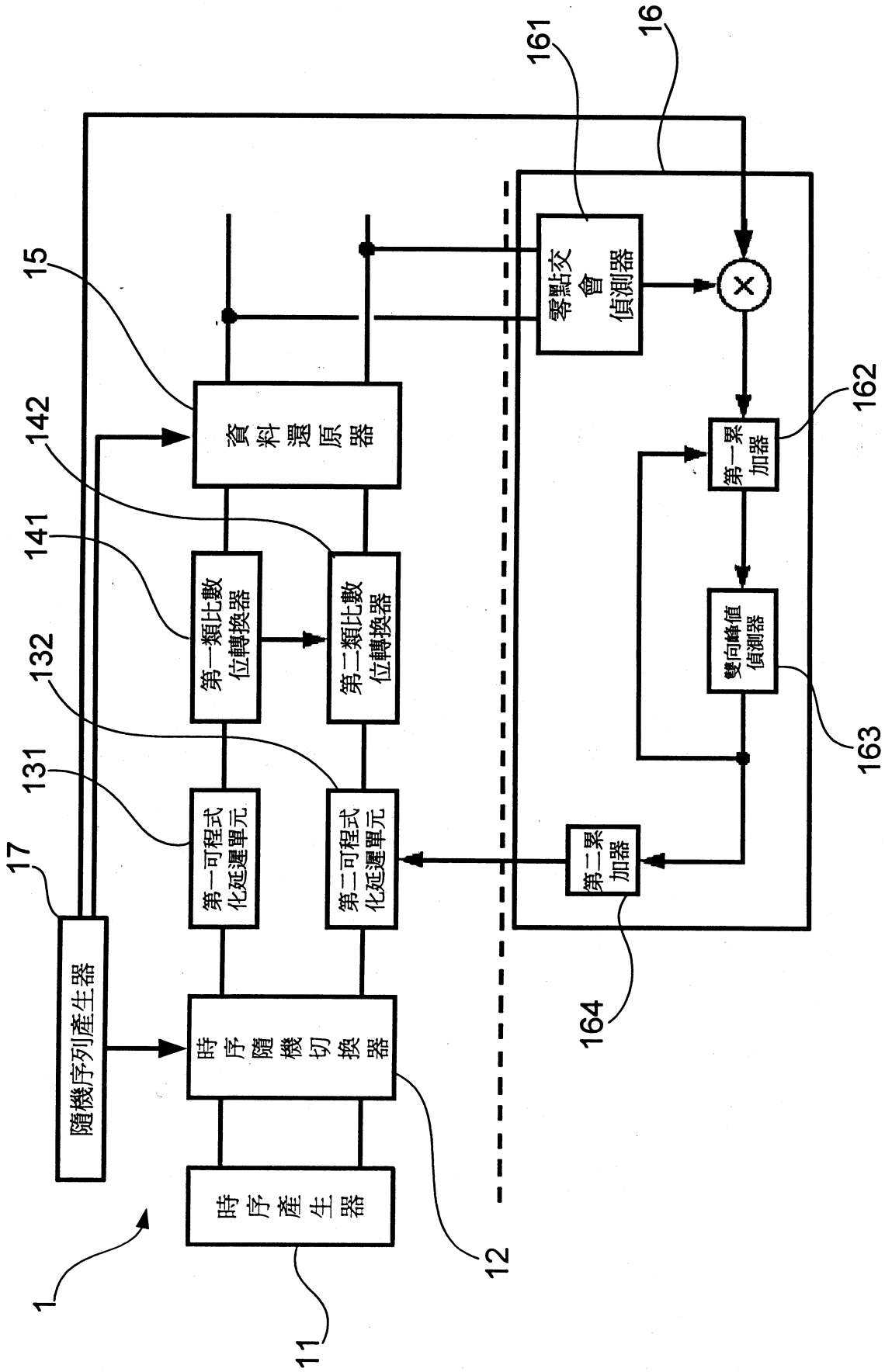
3. 依申請專利範圍第 1 項所述之校正時間交錯類比數位轉換器，其中，該隨機訊號係決定隨機序列為正接狀態或反接狀態。
4. 依申請專利範圍第 1 項所述之校正時間交錯類比數位轉換器，其中，該時序產生器係可為一鎖相電路。
5. 依申請專利範圍第 1 項所述之校正時間交錯類比數位轉換器，該第一類比數位轉換器及第二類比數位轉換器之輸出端係可進一步設有一高通波濾波器，可濾除第一及第二類比數位轉換器所產生之飄移誤差。
6. 依申請專利範圍第 2 項所述之校正時間交錯類比數位轉換器，其中，該第一累加器係為一可變符號式累加器。
7. 依申請專利範圍第 2 項所述之校正時間交錯類比數位轉換器，其中，該第一累加器係可為一計數器。
8. 依申請專利範圍第 2 項所述之校正時間交錯類比數位轉換器，其中，該第二累加器係可為一計數器。
9. 依申請專利範圍第 2 項所述之校正時間交錯類比數位轉換器，該第一累加器於正接狀態時係將該零點交會偵測器所輸出次數直接累加。

10. 依申請專利範圍第 2 項所述之校正時間交錯類比數位轉換器，該第一累加器於反接狀態時係該零點交會偵測器所輸出次數呈倒反比進行累加。
11. 依申請專利範圍第 2 項所述之校正時間交錯類比數位轉換器，該雙向峰值偵測器所輸出訊號係大於或小於零，須將該第一累加器歸零重新累加。
12. 依申請專利範圍第 2 項所述之校正時間交錯類比數位轉換器，該第二累加器之輸出係為將該雙向峰值偵測器之輸出訊號累加，該第二累加器之輸出訊號係為一數位調整訊號，亦為可控制該第二可程式化延遲單元之訊號。
13. 一種校正時間交錯類比數位轉換器，其結構係為一多路幕後校正時間交錯類比數位轉換器，其包括：
  - 一多路校正處理器；
  - 一時序產生器，係產生至少一以上之相位；
  - 一多路時序隨機切換器，係接收該時序產生器所提供之相位並進行時序切換；
  - 一多路類比數位轉換器，係將該時序隨機切換器所輸出訊號轉為一數位訊號；
  - 一多路資料還原器，係還原該數位訊號並將經還原之數位訊號傳至該多路校正處理器；
  - 一多路可程式化延遲單元，係接收該校正處理器所輸出之訊號進行時序歪斜校正；以及

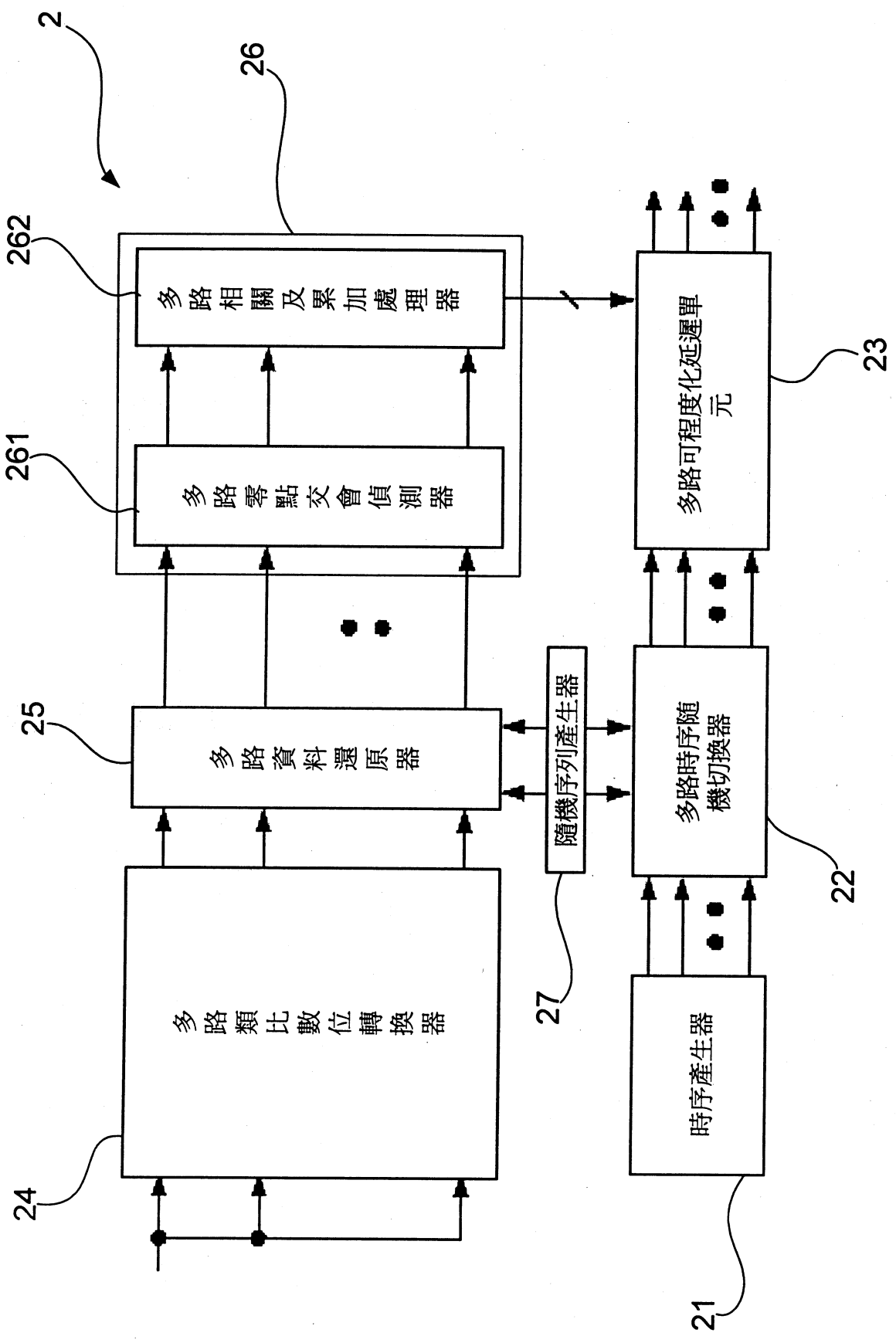
一隨機序列產生器，係提供一第一隨機訊號及一第二隨機訊號。

14. 依申請專利範圍第 13 項所述之校正時間交錯類比數位轉換器，該時序產生器所產生之相位數目係為類比數位轉換器之取樣時間與相位時間差相除，並為偶數。
15. 依申請專利範圍第 13 項所述之校正時間交錯類比數位轉換器，該多路校正處理器係包括一多路零點交會偵測器及一多路相關及累加處理器。
16. 依申請專利範圍第 13 項所述之校正時間交錯類比數位轉換器，該第一隨機訊號係影響時序切換。
17. 依申請專利範圍第 13 項所述之校正時間交錯類比數位轉換器，該第二隨機訊號係決定為正接狀態或反接狀態。
18. 依申請專利範圍第 13 項所述之校正時間交錯類比數位轉換器，該多路類比數位轉換器之輸出端係可進一步設有一高通濾波器，可濾除各類比數位轉換器間之飄移誤差。
19. 依申請專利範圍第 15 項所述之校正時間交錯類比數位轉換器，該多路相關及累加處理器係由一相關性處理器及至少一以上之累加器所構成。

20. 依申請專利範圍第 13 項所述之校正時間交錯類比數位轉換器，該第二隨機訊號係為正接狀態，該多路校正處理器係以一參考相位為基準，並使該時序產生器所提供之相位，相鄰之相位兩兩一組，各組中以離該參考相位較遠之相位進行校正。
21. 依申請專利範圍第 13 項所述之校正時間交錯類比數位轉換器，該第二隨機訊號係為反接狀態，該多路校正處理器係以一參考相位之相鄰相位為基準，並使該時序產生器所提供之相位，相鄰之相位兩兩一組，各組中以離該參考相位較遠之相位進行校正。
22. 依申請專利範圍第 19 項所述之校正時間交錯類比數位轉換器，該累加器係可為可變符號式累加器及一般累加器。



第 1 圖



第 2 圖