

95年11月3日修(更)正
1~19頁

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：94123213

※申請日期：94.7.8

※IPC 分類：H03K 19/0185

一、發明名稱：(中文/英文)

利用 NMOS 來保護混合電壓輸入輸出介面之電路

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

國立交通大學

代表人：(中文/英文) 張俊彥

住居所或營業所地址：(中文/英文)

新竹市大學路 1001 號

國 籍：(中文/英文) 中華民國 TW

三、發明人：(共 2 人)

姓 名：(中文/英文) 1. 柯明道

2. 蔡佳昇

國 籍：(中文/英文) 1. 中華民國 TW

2. 中華民國 TW

四、聲明事項：

☐ 主張專利法第二十二條第二項☐第一款或☐第二款規定之事實，其事實發生日期為： 年 月 日。

☐ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☐ 有主張專利法第二十七條第一項國際優先權：

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

本發明係一種利用 NMOS 來保護混合電壓輸入輸出介面之電路，用以使不同電壓間的積體電路介面能順利溝通，由於習知技術的混合電壓輸入輸出介面電路複雜，為了使不同電壓間的積體電路介面能順利溝通而設計出十分複雜的保護混合電壓輸入輸出介面的電路，由於繁雜的設計，要組成保護混合電壓輸入輸出介面的電路所需使用的材料與種類與本發明相較之下的相對的較多，出於節省成本與提高混合電壓更大範圍(兩電壓間的差距更大)的考量，本發明係設計將 NMOS 和閘極追蹤電路加在傳統的輸入輸出介面上，這樣的輸入輸出介面可以容忍高於內部電壓源 2~3 倍值得訊號。

六、英文發明摘要：

七、指定代表圖：

(一)、本案代表圖為：第一圖

(二)、本案代表圖之元件代表符號簡單說明：

10 預驅動裝置

20 第一 PMOS

30 第一 NMOS

40 閘極追蹤電路

50 第二 NMOS

60 輸入輸出介面

70 第一放大器

80 第二 PMOS

90 第二放大器

100 第二閘極追蹤電路

110 第五 NMOS

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

九、發明說明：

【發明所屬之技術領域】

本發明係有關一種利用 NMOS 來保護混合電壓輸入輸出介面之電路，其係有關於一種讓不同電壓之積體電路連通的保護電路，特別是關於一種利用閘極追蹤電路及 NMOS 來作為保護混合電壓輸入輸出介面的一種電路。

【先前技術】

傳統的輸入輸出介面保護電路係將預驅動裝置連接至 CMOS，再將一個二極體連接至 CMOS 作為回授，並將一個輸入輸出介面及放大器連接到 CMOS，這種電路在電壓上升過高時容易發生漏電流現象，因為傳統的輸入輸出電路的閘極氧化層都相當的薄，閘極氧化層的所承受的電壓是過大的。

習知技術中，為了解決上述問題並使不同電壓間的積體電路介面能順利溝通，而設計出十分複雜的保護混合電壓輸入輸出介面的電路，由於繁雜的設計，要組成保護混合電壓輸入輸出介面的電路所需使用的材料與種類與本發明相較之下的相對的較多，出於節省成本與提高更大範圍的容許混合電壓保護電壓範圍效率的考量，本發明係在傳統輸入輸出介面的架構下加入 NMOS 及閘極追蹤電路，來構成保護內電路可承受外接高、低電壓之積體電路的作用，達成溝通的目的。

【發明內容】

本發明之主要目的在提供一種利用 NMOS 來保護混合電壓輸入輸出介面之電路，其係可接收高於內部電壓之 2~3 倍的輸入訊號而不會造成電路操作及電路本身高電壓耐受度的問題，使積體電路間的介面更易整合。

為達上述之目的，本發明之利用 NMOS 來保護混合電壓輸入輸出介面之電路係以在傳統輸入輸出介面的架構下加入 NMOS 及閘極追蹤電路，來構成保護內電路可承受外接高、低電壓之積體電路的作用，達成溝通積體電路介面間的目的。

底下藉由具體實施例配合所附的圖式詳加說明，當更容易瞭解本發明之目的、技術內容、特點及其所達成之功效。

【實施方式】

第一圖係本發明之一實施例之電路示意圖。第二圖係本發明之閘極追蹤電路 40 之電路示意圖。第三圖係本發明之另一實施例之電路示意圖。第四圖係本發明之另一實施例之第一閘極追蹤電路 100 之電路示意圖。

請先參照第一圖。係本發明之一實施例之電路示意圖。該電路包括：預驅動裝置 10，與一對相耦合之第一 PMOS 20(MP1)及第一 NMOS 30(MN1)連接，第一 PMOS 20 及第一 NMOS 30 可以依據預驅動裝置 10 的訊號控制輸出高邏輯準位訊號或低邏輯準位訊號。閘極追蹤電路，其輸入端係與預驅動裝置 10 連接，處理由該預驅動裝置 10 送該第一 PMOS 20 所發出之高、低邏輯準位電壓訊號，閘極追蹤電路與該對相耦合之第一 PMOS 20 及第一 NMOS 30 並聯。在閘極追蹤電路 40 輸出端連接第二 NMOS 50(MN2)，第二 NMOS 50 之一端係與該對相耦合之第一 PMOS 20 及第一 NMOS 30 連接，第二 NMOS 50 之另一端係與輸入輸出介面 60 連接，第二 NMOS 50 將依據輸入輸出介面 60 的狀態(接收狀態，傳送狀態)來保護輸入輸出介面 60。第一反相器 70 作為放大訊號用，第一反相器 70 之輸入端係接受第二 NMOS 50 及該

對相耦合之第一 PMOS 20 及第一 NMOS 30 所傳送之訊號，且第一反相器 70 與第二 NMOS 並聯。第一反相器 70 的輸出端與第二 PMOS 80(MP2)連接，第二 PMOS 80 另一端又連接至第一反相器 70 的輸入端，第一反相器 70 作為增益訊號之用。第二反相器 90，第二反相器 90 之輸入端係接收該第一反相器 70 所輸出之訊號。

為了以下解釋電路方便在此假設第一反相器 70 之輸入端、第二 NMOS 50、該對相耦合之第一 PMOS 20 及第一 NMOS 30 的連接處為第 1 節點。當輸入輸出介面 60 係接收狀態時，開極追蹤電路 40 係對第二 NMOS 50 輸出一偏壓(在本實施例中低電源, VDDL, 在 2.5V 時)，而第一 PMOS 20 及第一 NMOS 30 係處於被預驅動裝置 10 關閉的情況。在輸入輸出介面 60 處於接收狀態中，由於第二 NMOS 50 固定在偏壓 2.5V(在此為 VDDL)的狀況下，如果從輸入輸出介面 60 接收到低邏輯準位訊號，在通過第二 NMOS 50 後第一節點係放電至 0 電壓狀態，而低邏輯準位訊號將被一直傳輸至第二反相器 90 之輸出端輸出。在輸入輸出介面 60 處於接收狀態中，如果從輸入輸出介面 60 接收到高邏輯準位訊號(在本實施例中高電源, VDDH, 係 5V)，第二 NMOS 50 的開極端(開極追蹤電路 40 所送出之偏壓)仍然為 2.5V，而第一節點的電壓則被提升為 $2.5V - V_t$ (V_t 係 NMOS 的臨界電壓, threshold voltage)，在這個狀態中，因為內電路的電壓均不會超過 2.5V，第二 NMOS 50 成功的將 5V 訊號轉變為 2.5V 而內部電路不致因過高電壓造成毀損。

當輸入輸出介面 60 係傳送狀態時，第二 NMOS 50 開極端將會根據輸入輸出介面 60 來決定，可能是 VDDH 或 VDDL。

當輸入輸出介面 60 係傳送狀態時，如果是低邏輯準位訊號傳送至輸入輸出介面 60 時，輸入輸出介面 60 係放電到 0V 的狀態，閘極追蹤電路 40 對第二 NMOS 50 施以偏壓(VDDL2.5V)亦即為第二 NMOS 50 之閘極端。

當輸入輸出介面 60 係傳送狀態時，如果是高邏輯準位訊號傳送至輸入輸出介面 60 時，第二 MNOS 的閘極端將會被提升到 VDDH。當第二 NMOS 50 的電壓維持在 2.5V 的時候，輸入輸出介面 60 此時將放電大約 $2.5V-V_t=1.9V$ (V_t 係 NMOS 的臨界電壓(threshold voltage，在此預設為 0.6V)，然後第二 NMOS 50 將被切斷。考慮到閘極氧化層 (gate-oxide) 的可靠度問題及輸入輸出介面 60 的層級(level)，VDDH 的範圍將位於

$$5V \geq V_{DDH} \geq 2.5V + V_{t(2.5V)}$$

方程式(1)，

事實上，一個二階段式的電荷幫浦電路是很適合產生 VDDH，在這種層級(level)下是能很輕易的滿足方程式(1)所需之 VDDH。除此之外，因為這個高電壓源的負載輸出電流並不是很大，因為如果有一個很大的輸入輸出介面 60 在積體電路晶片中，只需要有一個高電壓產生器設在積體電路晶片內就可以辦的到。如下表一係閘極追蹤電路 40 在輸入輸出介面 60 狀態不同時，根據高、低邏輯準位訊號，來決定閘極追蹤電路 40 的輸出值。

表一

輸入輸出 介面狀態	傳送訊號	第一 PMOS 20 閘極電壓	閘極追蹤 電路輸出
接收狀態	無	低壓電源 (VDDL)	低壓電源 (VDDL)
傳送狀態	低	低壓電源 (VDDL)	低壓電源 (VDDL)
傳送狀態	高	地端(VSS)	高壓電源 (VDDH)

從表一中可以發現，第一 PMOS 20 的閘極訊號拉至低邏輯準位訊號時，閘極追蹤電路 40 的輸出值係 VDDH；當第一 PMOS 20 的閘極訊號拉高至高邏輯準位訊號時，閘極追蹤電路 40 的輸出值係 VDDL，以上的解釋係說明輸入輸出介面 60 的操作狀態及影響，綜合上所述，我們需要一個轉換器(閘極追蹤電路 40)來將 VSS/VDDL 轉換成 VDDH/VDDL。

在此詳細說明閘極追蹤電路 40 的結構及作用，請參照第二圖。閘極追蹤電路 40 的結構包含：

一對互耦合的 PMOS 反相器，由第三 PMOS(MP3)402 及第四 PMOS(MP4)404 組成，一對 NMOS 與該對互耦合的 PMOS 反相器差動連接，該對 NMOS 由包含第三 NMOS(MN3)406 及第四 NMOS(MN4)408 組成。另外，有一對複數二極體分別與該對互耦合的 PMOS 反相器連接，該對複數二極體包含第一複數二極體 410 及第二複數二極體 412。並且有一對電容，包含第一電容 414 及第二電容 416，其係與該對互耦合的 PMOS 反相器連接，並與該對複數二極體並聯。第三反相器 418，其輸入端係接收該預驅動裝置 10 傳送之訊號，其輸出端係與第一電容 414 及第一複數二極體 410 連接。第四反相器 420，其輸入端係與該第三反相器 418 連接並與該對複數二極體並聯，該第四反相器 420 輸出端係與該第二電容 416 連接。第五反相器 422，其輸入端係與該第二電容 416 連接，其輸出端係與第二 NMOS 50 連接。

可以從第二圖中了解，第四 PMOS404 及第三 PMOS402 係交叉耦合 (cross-couple) 狀態，如果第四 PMOS 404/ 第三 PMOS402 的閘極端被拉低則第三 POMS402/ 第四 PMOS404 將會被開啟並拉高第三 PMOS402/ 第四 PMOS 404

開極電壓至 V_{DDH} 。

舉例來說，假設第一電容 414 的兩端為第 2 節點及第 4 節點，第二電容 416 的兩端為第 3 節點及第 5 節點，如果第 4 節點的電壓低於 $V_{DDH}-V_{tp}$ ，則第 5 節點的電壓為 V_{DDH} ，而第三 NMOS 406 將被打開並將第 4 節點的電壓降至 V_{DDL} 。第一電容 414 及第二電容 416 能將訊號耦合(couple)在第 2 節點、第 3 節點、第 4 節點及第 5 節點。開極追蹤電路的訊號係由第三反相器 418 接收到後，傳遞給第四反相器 420 及第一電容 414，根據所得之訊號(高邏輯準位訊號或低邏輯準位訊號)及狀態(傳送狀態或接收狀態)來決定開極追蹤電路 40 輸出係 V_{DDH} 或 V_{DDL} ，最後開極追蹤電路 40 將最適合內電路的電壓值輸出給第二 NMOS 50。

本發明之另一實施例係在原實施例中再多設一個第一開極追蹤電路 100 並加設一個第五 NMOS 110 於第二 NMOS 50 及輸入輸出介面 60 中，利用二個 NMOS 來保護輸入輸出介面 60，讓原本利用第二 NMOS 50 保護混合電壓輸入輸出介面 60 可以容忍更多的電壓。請參照第三圖。這個電路包括：

預驅動裝置 10，與一對相耦合之第一 PMOS 20 及第一 NMOS 30 連接，第一 PMOS 20 及第一 NMOS 30 可以依據預驅動裝置 10 的訊號控制輸出高邏輯準位訊號或低邏輯準位訊號。開極追蹤電路，其輸入端係與該預驅動裝置 10 連接，處理由該預驅動裝置 10 送該第一 PMOS 20 所發出之邏輯準位電壓訊號，開極追蹤電路與該對相耦合之第一 PMOS 20 及第一 NMOS 30 並聯。在開極追蹤電路 40 輸出端連接第二 NMOS 50 及第一開極追蹤電路 100，第二 NMOS 50 之一端係與該對相耦合之第一 PMOS 20 及第一 NMOS 30 連接，

第二 NMOS 50 之另一端係與第五 NMOS(MN5) 110 連接，第一開極追蹤電路 100 之輸出端又與第五 NMOS 110 連接，第五 NMOS 110 之另一端與輸入輸出介面 60 連接，第五 NMOS 110 將依據輸入輸出介面 60 連接的狀態(接收狀態，傳送狀態)來保護輸入輸出介面 60 連接。

第一反相器 70 作為加速訊號轉態用，第一反相器 70 之輸入端係接受第二 NMOS 50 及該對相耦合之第一 PMOS 20 及第一 NMOS 30 所傳送之訊號。第一反相器 70 的輸出端與第二 PMOS 80 連接，第二 PMOS 80 另一端又連接至第一反相器 70 的輸入端，第一反相器 70 與第二 PMOS 80 作為加速訊號轉態之用。第二反相器 90，第二反相器 90 之輸入端係接收該第一反相器 70 所輸出之訊號。

為了能更清楚解釋本實施例，在此假設利用二階段式的電荷幫浦電路得出 $VDDL=1.8V$ ， $VDDH=3.4V$ 。

當輸入輸出介面 60 係傳送狀態，第二 NMOS 50 及第五 NMOS 110 的開極端會一起改變。在傳送狀態中，如果是傳輸低邏輯準位電壓訊號，則第二 NMOS 50 及第五 NMOS 110 的開極端將會同時為 $VDDL=1.8V$ 。在傳送狀態中，如果是傳輸高邏輯準位電壓訊號，則第二 NMOS 50 及第五 NMOS 110 的開極端將會同時提升至 $VDDH=3.4V$ 。

當輸入輸出介面 60 係接收狀態，第二 NMOS 50 的開極電壓(gate voltage)會固定在 $1.8V$ ，而第五 MOS 的開極電壓則會跟隨著輸入輸出介面 60 的訊號而改變。如果輸入輸出介面 60 是 $0V$ 的低邏輯準位狀態，第一開極追蹤電路 100 會偏壓給第五 NMOS 110 一個 $VDDL$ ，同時第二 NMOS 50 及第

五 NMOS 110 的源極端係 0V。如果輸入輸出介面 60 是 5V 的高狀態，第一閘極追蹤電路 100 會將給第五 NMOS 110 的閘極電壓提升到 VDDH。憑藉著第五 NMOS 110 的保護，第二 NMOS 50 的汲極電壓(drain voltage)大約等於 $VDDH - V_t$ ，所以第二 NMOS 50 是可以避免閘極氧化層崩潰(gate oxide breakdown)。

請參照第四圖，來說明第一閘極追蹤電路 100 之結構。

第一閘極追蹤電路 100 包含：

第五 PMOS(MP5) 1002，其係連結第五 NMOS 110 與第二 NMOS 50，第五 PMOS 1002 接收來自該閘極追蹤電路 40 輸出端之訊號，必要時可將第二 NMOS 50 閘極電壓提昇至與第五 NMOS 110 閘極電壓相同。一對互耦合之第六 NMOS(MN6) 1004 及第七 NMOS(MN7) 1006，其係接收第二 NMOS 50 的閘極訊號，來決定是否關閉第八 NMOS(MN8) 1008 與第九 NMOS(MN9) 1010。第八 NMOS(MN8) 1008，其係接收第七 NMOS 1006 所送出之訊號，將訊號傳送至第五 NMOS 110 及第五 PMOS 1002。第九 NMOS (MN9) 1010，其係接收第七 NMOS 1006 所送出之訊號。第六 PMOS(MP6) 1012，其係用來做緩衝之用，接收第九 NMOS 1010 所送出之訊號，連接至第五 PMOS 1002。第七 PMOS (MP7)1014，其係接收第六 PMOS 1012 所送出之訊號。第十 NMOS(MN10) 1016，其係接收第七 PMOS 1014 所送出之訊號，第十 NMOS 1016 之另一端與第七 NMOS 1006、第八 NMOS 1008 及第九 NMOS 1010 連接。第十一 NMOS(MN11) 1018，其係一二極體連接形式的 NMOS，連接輸入輸出介面 60 與第七 NMOS 1006、第八 NMOS 1008、第九 NMOS 1010 及第十 NMOS 1016。從閘極追蹤電

路 40 輸出之訊號輸入第一開極追蹤電路 100 後決定第一開極追蹤電路 100 所輸出之訊號，第五 NMOS 110 接收第一開極追蹤電路 100 所輸出的電壓 (VDDH 或 VDDL)，第五 NMOS 110 與第二 NMOS 50 保護輸入輸出介面 60 並將電壓降至內部電路所能承受範圍。

唯以上所述者，僅為本發明之較佳實施例而已，並非用來限定本發明實施之範圍。故即凡依本發明申請範圍所述之形狀、構造、特徵及精神所為之均等變化或修飾，均應包括於本發明之申請專利範圍內。

【圖式簡單說明】

第一圖係本發明之一實施例之電路示意圖。

第二圖係本發明之開極追蹤電路之電路示意圖。

第三圖係本發明之另一實施例之電路示意圖。

第四圖係本發明之另一實施例之第一開極追蹤電路之電路示意圖。

【主要元件符號說明】

10 預驅動裝置

20 第一 PMOS

30 第一 NMOS

40 開極追蹤電路

50 第二 NMOS

60 輸入輸出介面

70 第一反相器

80 第二 PMOS

90 第二反相器

100 第一開極追蹤電路

110 第五 NMOS

402 第三 PMOS

404 第四 PMOS

406 第三 NMOS

408 第四 NMOS

410 第一複數二極體

412 第二複數二極體

414 第一電容

416 第二電容

418 第三反相器

420 第四反相器

422 第五反相器

1002 第五 PMOS

1004 第六 NMOS

1006 第七 NMOS

1008 第八 NMOS

1010 第九 NMOS

1012 第六 PMOS

1014 第七 PMOS

I273773

1016 第十 NMOS

1018 第十一 NMOS

十、申請專利範圍：

1、一種利用 NMOS 來保護混合電壓輸入輸出介面之電路

，包括：

一預驅動裝置，不傳送訊號或傳送高、低邏輯準位訊號；

一對相耦合之第一 PMOS 及第一 NMOS 與該預驅動裝置連接；

一閘極追蹤電路，其輸入端係與該預驅動裝置連接，處理由該預驅動裝置送該第一 PMOS 所發出之訊號，該閘極追蹤電路與該對相耦合之第一 PMOS 及第一 NMOS 並聯，作傳遞高、低邏輯準位訊號用並依據高、低邏輯準位訊號送出 VDDH 或 VDDL；

一第二 NMOS，其係與該閘極追蹤電路之輸出端連接，該第二 NMOS 之一端係與該對相耦合之第一 PMOS 及第一 NMOS 連接；

一輸入輸出介面，其係與該第二 NMOS 之另一端連接，該第二 NMOS 將依據該閘極追蹤電路所發出之高、低邏輯準位訊號作為保護該輸入輸出介面；

一第一反相器作為加速輸入訊號轉態之用，其輸入端係接受該第二 NMOS 及該對相耦合之第一 PMOS 及第一 NMOS 所傳送之訊號，與該第二 NMOS 並聯；

一第二 PMOS，其係接收該第一反相器輸出端所輸出之訊號，該第二 PMOS 接收訊號後又回授訊號給該第二 PMOS 輸入端增強訊號；以及

一第二反相器，其輸入端係接收該第一反相器所輸出之訊號，該第二反相器與該第二 PMOS 並聯。

2、如申請範圍第 1 項所述之利用 NMOS 來保護混合電壓輸入輸出介面之

電路，其中該閘極追蹤電路係包含：

一對互耦合的 PMOS 反相器，包含一第三 PMOS 及一第四 PMOS；

一對 NMOS，包含一第三 NMOS 及一第四 NMOS 分別與該對互耦合的 PMOS 反相器差動連接；

一對複數二極體，其係與該對互耦合的 PMOS 連接；

一對電容，係包含一第一電容及一第二電容其係與該對互耦合的 PMOS 連接，並與該對複數二極體並聯；

一第三反相器，其輸入端係接收該預驅動裝置傳送之訊號其輸出端係與該第一電容及該第一複數二極體連接；

一第四反相器，其輸入端係與該第三反相器連接並與該對複數二極體並聯，該第四反相器輸出端係與該第二電容連接；以及

一第五反相器，其輸入端係與該第二電容連接

，其輸出端係與該第二 NMOS 連接，從預驅動裝置發出之訊號經過該第三反相器及該第四反相器，在該第一電容及該第二電容充電，通過該對互耦合的 PMOS 及與該對互耦合的 PMOS 接合之該對 NMOS，將訊號送至該對複數二極體，最後經由該第五反相器將訊號送至該第二 NMOS。

3、如申請範圍第 1 項所述之利用 NMOS 來保護混合電壓輸入輸出介面之電路，其中該輸入輸出介面係接收訊號狀態時，該第二 NMOS 將會從該閘極追蹤電路接收一固定的偏壓。

4、如申請範圍第 3 項所述之利用 NMOS 來保護混合電壓輸入輸出介面之

電路，其中該固定的偏壓訊號係 VDDL。

- 5、如申請範圍第 1 項所述之利用 NMOS 來保護混合電壓輸入輸出介面之電路，其中該輸入輸出介面係接收訊號狀態時，該預驅動裝置對該對相耦合之第一 PMOS 及第一 NMOS 執行關閉。
- 6、如申請範圍第 1 項所述之利用 NMOS 來保護混合電壓輸入輸出介面之電路，其中該輸入輸出介面係傳送訊號狀態時，若傳送訊號為低邏輯準位，該開極追蹤電路將該保護混合電壓輸入輸出介面之 NMOS 之開極電壓偏壓為 VDDL，當輸入輸出介面係傳送狀態時，若傳送訊號為高邏輯準位，該開極追蹤電路會將該保護混合電壓輸入輸出介面之 NMOS 之開極電壓偏壓為 VDDH。
- 7、如申請範圍第 1 項或第 2 項所述之利用 NMOS 來保護混合電壓輸入輸出介面之電路，其中該第四 PMOS 與該第三 PMOS 係交叉耦合 (cross-couple)，當該第四 PMOS 之開極電壓為 VDDL 時，該第三 PMOS 係 VDDH，當該第四 PMOS 之開極電壓訊號為 VDDH，該第三 PMOS 係 VDDL。
- 8、如申請範圍第 1 項所述之利用 NMOS 來保護混合電壓輸入輸出介面之電路，其中更可設一第五 NMOS 及一第一開極追蹤電路來提高混合電壓輸入輸出介面電路可保護之最大值，該第五 NMOS 耦合該第二 NMOS 及該輸入輸出介面，該第一開極追蹤電路可依據高、低邏輯準位訊號送出 VDDH 或 VDDL，該第一開極追蹤電路包含：
 - 一第五 PMOS，其係連結第五 NMOS 與第二 NMOS，必要時可將第二 NMOS 開極電壓提昇至與第五 NMOS 開極電壓相同；

一對互耦合之第六 NMOS 及第七 NMOS

，其係接收第二 NMOS 的閘極訊號；

一第八 NMOS，當所接收電壓為高過 VDDH 之電壓，可使第三 NMOS 導通，則第三 NMOS 可將第二 NMOS 閘極電壓提高至 VDDH，使得接收的高電壓經過第二 NMOS 會降至 VDDH-V_t 左右；

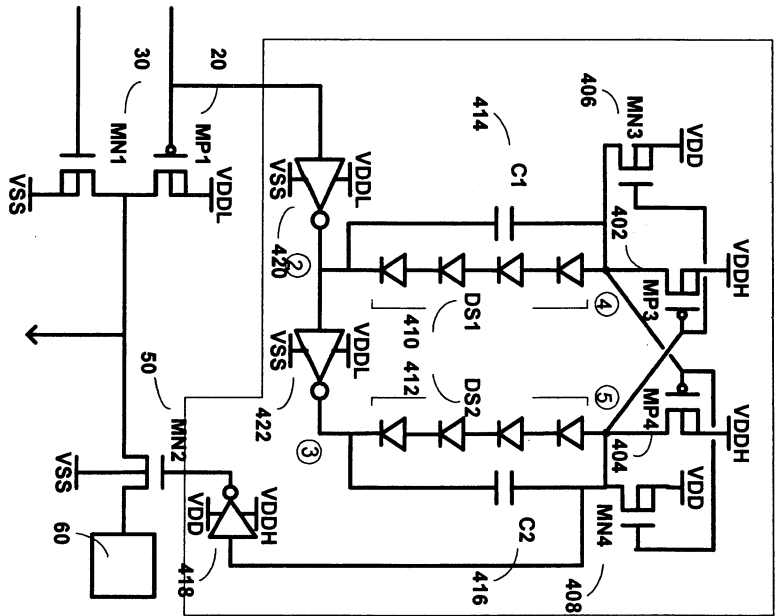
一第九 NMOS，其係接收該第七 NMOS 所送出之訊號；

一第六 PMOS，其係接收該第八 NMOS 所送出之訊號，連接至該第五 PMOS 及該第七 PMOS；

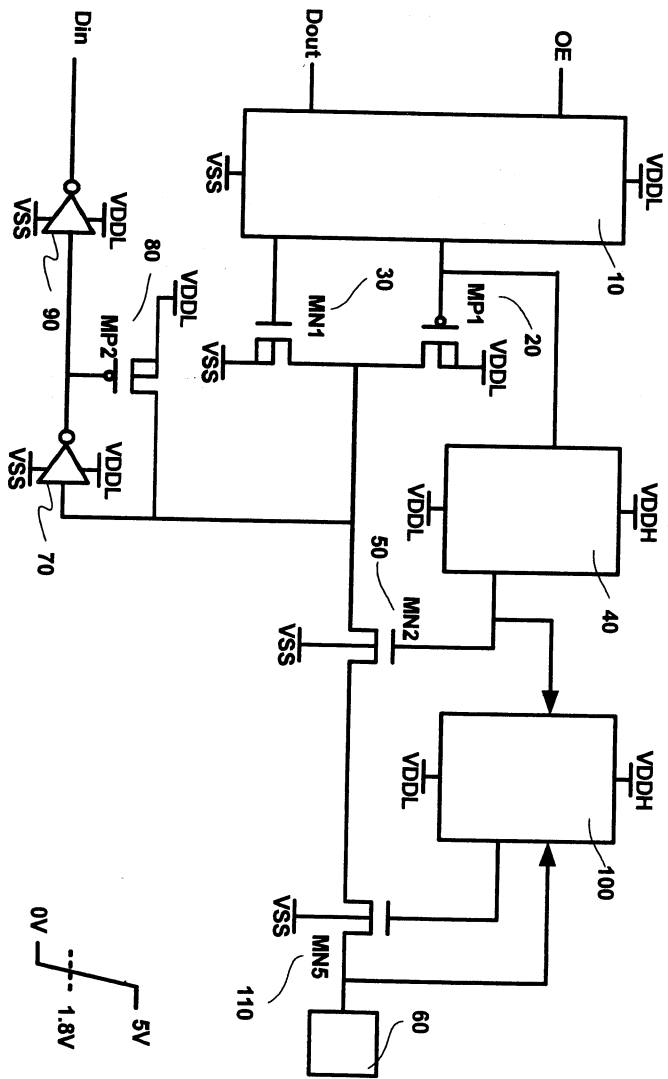
一第十 NMOS，其係接收該第七 PMOS 所送出之訊號，該第十 NMOS 之另一端與該第七 NMOS、該第八 NMOS 及該第九 NMOS 連接；以及

一第十一 NMOS，其係一二極體連接形式的 NMOS，連接輸入輸出介面與第七 NMOS、第八 NMOS、第九 NMOS 及第十 NMOS。

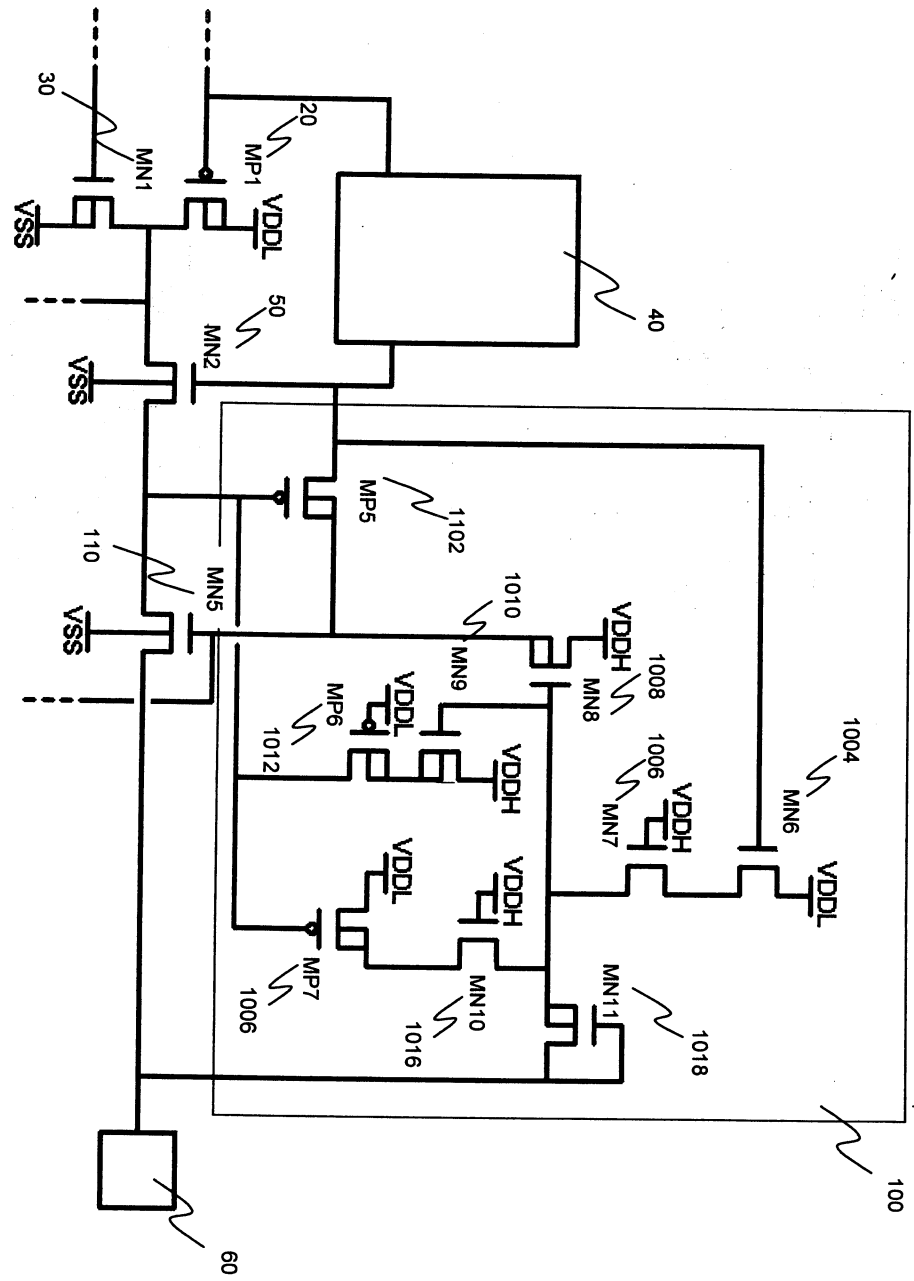
$$\Phi_n = \theta_n \times k + \theta_{n+2} \times (1 - k) \quad 0 \leq k \leq 1。$$



第二圖



第三圖



第四圖