

**發明專利說明書** 940191TW.11

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：94131980

※ 申請日期：94.9.16

※ IPC 分類：H01L 21/28, 21/027;

G03F17/20

**一、發明名稱：**(中文/英文)

形成電子裝置閘極圖案之方法

Method for Forming Gate Pattern for Electronic Device

**二、申請人：**(共 1 人)**姓名或名稱：**(中文/英文)

國立交通大學

National Chiao Tung University

**代表人：**(中文/英文) 張俊彥

CHANG, CHUN-YEN

**住居所或營業所地址：**(中文/英文)

新竹市大學路 1001 號

1001 TA-HSUEH ROAD, HSINCHU, TAIWAN 300, R.O.C.

**國籍：**(中文/英文) 中華民國/TW**三、發明人：**(共 3 人)**姓名：**(中文/英文)

1. 陳仕鴻

CHEN, SZU-HUNG

2. 郭建億

KUO, CHIEN-I

3. 張翼

EDWARD YI CHANG

**國籍：**(中文/英文) 1-3: 中華民國/TW

#### 四、聲明事項：

主張專利法第二十二條第二項  第一款或  第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

### 五、中文發明摘要：

一種形成電子裝置閘極圖案之方法，包括以下步驟：提供一基板，其上形成一第一光阻層；進行一第一道微影製程，以形成一具有一第一寬度之一第一圖案於該基板上；形成一第二光阻層，其覆蓋該基板上之該第一圖案以及該第一光阻層；以及進行一第二道微影製程，其與該第一道微影製程之間具有一位移，以形成一具有一第二寬度之一第二圖案於該基板上；其中，該第二寬度係小於該第一寬度。

### 六、英文發明摘要：

Method for Forming Gate Pattern for Electronic Device

A method for forming a gate pattern for an electronic device, comprising steps of: providing a substrate, whereon a first photo-resist layer is formed; performing a first photo-lithography process so as to form a first pattern with a first width on the substrate; forming a second photo-resist layer, covering the first pattern and the first photo-resist layer on the substrate; and performing a second photo-lithography process, which is shifted from the first photo-lithography process, so as to form a second pattern with a second width on the substrate; wherein the second width is smaller than the first width.

**七、指定代表圖：**

(一)本案指定代表圖為：第(三)圖。

(二)本代表圖之元件符號簡單說明：

31	基板
32	第一光阻層
33	第一圖案
34	第二光阻層
35	第二圖案

**八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：**

## 九、發明說明：

### 【發明所屬之技術領域】

本發明係有關一種形成電子裝置閘極圖案之方法，尤指一種利用單一光罩之第二步曝光（two-step exposure）技術，以形成具有深次微米或奈米級之解析度之閘極圖案的方法。

### 【先前技術】

微波半導體裝置在近年來的高頻通訊應用中，扮演著極為重要的角色。其中，場效電晶體（field-effect transistor, FET），又稱為單極性電晶體，具有極佳的低雜訊特性與低功率消耗之優點，因此特別適用於低雜訊放大器電路中。

場效電晶體之高頻特性往往取決於其閘極長度（gate length）。因此，近年來，無論產業界或學術界，莫不傾其全力於閘極線寬之微縮的研究。

在美國專利第 6,605,411 號中，Nakao 提出一種使用第二步曝光（two-step exposure）技術，以得到微細線寬的方法。如圖一 A 所示，係提供一基板 11，其上依序形成一絕緣層 12、一導電層 13 與一第一光阻層 14。使用一第一光罩（圖中未示）進行第一道微影製程，以在第一光阻層 14 內形成圖案 14a。在蝕刻與去除第一光阻層後，在基板 11 上形成圖案 11a，如圖一 B 所示。一第二光阻層 15 在旋塗之後，以一第二光罩（圖中未示）進行第二道微影製程，而得到如圖一 C 所示之結構。之後，依序移除導電層 13、

絕緣層 12 與第二光阻層 15，以形成圖案 13a，如圖一 D 所示。然而，上述習知技術使用兩道不同之光罩，因此有其使用上之複雜度與困難度。

另外，在美國專利第 6,596,646 號中，Andideh 等人提出一種使用側向蝕刻以得到微細線寬的方法。如圖二 A 所示，係提供一基板 21，其上依序形成一絕緣層 22、一阻擋層 23 與一光阻層 24。使用一光罩（圖中未示）進行微影製程，以使光阻層 24 形成一具有寬度  $W$  之圖案。未被光阻層 24 披覆之阻擋層 23 以蝕刻方式被移除，而得到如圖二 B 所示之結構。在光阻層 24 被移除後，以濕式蝕刻同時蝕刻阻擋層 23 之表面與側壁，而使得圖案之線寬縮減為  $W'$ ，如圖二 C 所示。之後，阻擋層 23 上之線寬為  $W'$  的圖案被轉移至絕緣層 22，即可形成小於曝光解析度之線寬，如圖二 D 所示。然而，上述習知技術僅能形成凸塊（mesa）圖案，無法應用於溝槽（trench）圖案，因此有其使用上之侷限性。

此外，亦有不少產業界或學術界之先進投入相位移光罩與先進曝光設備之研發，但其將大幅提升生產成本。

因此，亟需一種形成電子裝置閘極圖案之方法，採用既有之曝光設備並提升微影製程所能達到之最高解析度，以大幅降低製程成本。

### 【發明內容】

有鑑於習知技術之缺失，本發明之一主要目的在於提供一種形成電子裝置閘極圖案之方法，使用單一光罩之二

步曝光技術形成具有深次微米或奈米級之解析度之閘極圖案，以大幅降低製程成本。

本發明之另一目的在於提供一種形成電子裝置閘極之方法，使用單一光罩之第二步曝光技術，以形成具有深次微米或奈米級之解析度之閘極，以應用於奈米電子裝置。

為達上述目的，在一具體實施例中，本發明提供一種形成電子裝置閘極圖案之方法，包括以下步驟：提供一基板，其上形成一第一光阻層；進行一第一道微影製程，以形成一具有一第一寬度之一第一圖案於該基板上；形成一第二光阻層，其覆蓋該基板上之該第一圖案以及該第一光阻層；以及進行一第二道微影製程，其與該第一道微影製程之間具有一位移，以形成一具有一第二寬度之一第二圖案於該基板上；其中，該第二寬度係小於該第一寬度。

在另一具體實施例中，本發明提供一種形成電子裝置閘極圖案之方法，包括以下步驟：提供一基板，其上依序形成一介電層與一第一光阻層；進行一第一道微影製程，以形成一具有一第一寬度之一第一圖案於該介電層上；轉移該第一圖案至該基板上，以在該介電層內形成一第二圖案；形成一第二光阻層，其覆蓋該基板上之該第二圖案以及該介電層；以及進行一第二道微影製程，其與該第一道微影製程之間具有一位移，以形成一具有一第二寬度之一第三圖案於該基板上；其中，該第二寬度係小於該第一寬度。

在一具體實施例中，本發明更提供一種電子裝置閘極之方法，包括以下步驟：提供一基板，其上形成一第一光

阻層；進行一第一道微影製程，以形成一具有一第一寬度之一第一圖案於該基板上；形成一第二光阻層，其覆蓋該基板上之該第一圖案以及該第一光阻層；形成一第三光阻層於該第二光阻層上；進行一第二道微影製程，其與該第一道微影製程之間具有一位移，以形成一具有一第二寬度之第二圖案於該基板上；以及形成一導電層，其與該基板接觸；其中，該第二寬度係小於該第一寬度。

在另一具體實施例中，本發明更提供一種電子裝置閘極之方法，包括以下步驟：提供一基板，其上依序形成一介電層與一第一光阻層；進行一第一道微影製程，以形成一具有一第一寬度之第一圖案於該介電層上；轉移該第一圖案至該基板上，以在該介電層內形成一第二圖案；形成一第二光阻層，其覆蓋該基板上之該第二圖案以及該介電層；形成一第三光阻層於該第二光阻層上；進行一第二道微影製程，其與該第一道微影製程之間具有一位移，以形成一具有一第二寬度之第三圖案於該基板上；以及形成一導電層，其與該基板接觸；其中，該第二寬度係小於該第一寬度。

煩請委員明示，本案修正後是否變更原實質內容

### 【實施方式】

為使 貴審查委員能對本發明之特徵、目的及功能有更進一步的認知與瞭解，茲配合圖式詳細說明如後。

圖三 A 至圖三 C 係為根據本發明一具體實施例之形成電子裝置閘極圖案之方法。首先，係提供一基板 31，其上形成一第一光阻層 32。進行第一道微影製程，以形成具有



第一寬度之第一圖案 33 於基板 31 上，如圖三 A 所示。接著，形成一第二光阻層 34，其覆蓋基板 31 上之第一圖案 33 以及第一光阻層 32，如圖三 B 所示。最後，進行一第二道微影製程，其與第一道微影製程之間具有一位移，以形成一具有一第二寬度之第二圖案 35 於基板上，如圖三 C 所示。其中，第二寬度係小於第一寬度。

圖四 A 至圖四 D 係為根據本發明另一具體實施例之形成電子裝置閘極圖案之方法。首先，係提供一基板 41，其上依序形成一介電層 42 與一第一光阻層 43。進行第一道微影製程，以形成具有第一寬度之第一圖案 44 於介電層 42 上，如圖四 A 所示。接著，以蝕刻方式，轉移第一圖案 44 至基板 41 上，以在介電層 42 內形成一第二圖案 45，如圖四 B 所示。形成一第二光阻層 46，其覆蓋基板 41 上之第二圖案 45 以及介電層 42，如圖四 C 所示。最後，進行一第二道微影製程，其與第一道微影製程之間具有一位移，以形成一具有一第二寬度之第三圖案 47 於基板上，如圖四 D 所示。其中，第二寬度係小於第一寬度。

藉由以上方法，可以使用目前既有之曝光設備，如 I-Line 步進機 (Stepper)，並將其解析度進一步改善。本發明之方法可以應用於製作具有閘極之一般的場效電晶體。較佳者，所使用之基板可以為具有半導體特性之基板。較佳者，該介電層係為氧化物層或是氮化物層。

為了進一步說明本發明之應用，圖五 A 至圖五 D 係為根據本發明一具體實施例之形成電子裝置閘極之方法。首先，係提供一基板 51，其上形成一第一光阻層 52。進行第

一道微影製程，以形成具有第一寬度之第一圖案 53 於基板 51 上，如圖五 A 所示。接著，形成一第二光阻層 54，其覆蓋基板 51 上之第一圖案 53 以及第一光阻層 52，並且形成一第三光阻層 55 於該第二光阻層 54 上，如圖五 B 所示。進行一第二道微影製程，其與該第一道微影製程之間具有一位移，以形成一具有一第二寬度之第二圖案 56 於基板 51 上，如圖五 C 所示。形成一導電層 57，其與基板 51 接觸。最後，移除第一光阻層 52、第二光阻層 54 與第三光阻層 55，如圖五 D 所示。其中，該第二寬度係小於該第一寬度。

在上述實施例中，在移除第一光阻層、第二光阻層與第三光阻層後之導電層即為一 T-型閘極 (T-gate)。因此，本發明可以用來製作具有深次微米或奈米閘極之場效電晶體，而不需要使用相位移光罩或其他昂貴之先進曝光設備。

圖六 A 至圖六 E 係為根據本發明另一具體實施例之形成電子裝置閘極之方法。首先，係提供一基板 61，其上依序形成一介電層 62 與一第一光阻層 63。進行第一道微影製程，以形成具有第一寬度之第一圖案 64 於介電層 62 上，如圖六 A 所示。接著，以蝕刻方式，轉移第一圖案 64 至基板 61 上，以在介電層 62 內形成一第二圖案 65，如圖六 B 所示。形成一第二光阻層 66，其覆蓋基板 61 上之第二圖案 65 以及介電層 62，並且形成一第三光阻層 67 於該第二光阻層 66 上，如圖六 C 所示。進行一第二道微影製程，其與該第一道微影製程之間具有一位移，以形成一具有一第二寬度之第三圖案 68 於基板 61 上，如圖六 D 所示。形成

一導電層 69，其與基板 61 接觸。最後，移除第二光阻層 66 與第三光阻層 67，如圖六 E 所示。其中，該第二寬度係小於該第一寬度。

在上述實施例中，在移除第二光阻層與第三光阻層後之導電層即為一 T-型閘極 (T-gate)。因此，本發明可以用來製作具有深次微米或奈米閘極之場效電晶體，而不需要使用相位移光罩或其他昂貴之先進曝光設備。

綜上所述，當知本發明利用單一光罩之第二步曝光 (two-step exposure) 技術，以形成具有深次微米或奈米級之解析度之閘極圖案，其採用既有之曝光設備並提升微影製程所能達到之最高解析度，以大幅降低製程成本。故本發明實為一富有新穎性、進步性，及可供產業利用功效者，應符合專利申請要件無疑，爰依法提請發明專利申請，懇請 貴審查委員早日賜予本發明專利，實感德便。

惟以上所述者，僅為本發明之較佳實施例而已，並非用來限定本發明實施之範圍，即凡依本發明申請專利範圍所述之形狀、構造、特徵、精神及方法所為之均等變化與修飾，均應包括於本發明之申請專利範圍內。

### 【圖式簡單說明】

圖一 A 至圖一 D 係描述一種習知形成電子裝置閘極圖案之方法；

圖二 A 至圖二 D 係描述另一種習知形成電子裝置閘極圖案之方法；

圖三 A 至圖三 C 係為根據本發明一具體實施例之形成

電子裝置閘極圖案之方法；

圖四 A 至圖四 D 係為根據本發明另一具體實施例之形成電子裝置閘極圖案之方法；

圖五 A 至圖五 D 係為根據本發明一具體實施例之形成電子裝置閘極之方法；以及

圖六 A 至圖六 E 係為根據本發明另一具體實施例之形成電子裝置閘極之方法。

● 圖號說明：

11 基板

11a 圖案

12 絕緣層

13 導電層

13a 圖案

14 第一光阻層

14a 圖案

● 15 第二光阻層

21 基板

22 絕緣層

23 阻擋層

24 光阻層

31 基板

32 第一光阻層

33 第一圖案

34 第二光阻層

- 35 第二圖案
- 41 基板
- 42 介電層
- 43 第一光阻層
- 44 第一圖案
- 45 第二圖案
- 46 第二光阻層
- 47 第三圖案
- 51 基板
- 52 第一光阻層
- 53 第一圖案
- 54 第二光阻層
- 55 第三光阻層
- 56 第二圖案
- 57 導電層
- 61 基板
- 62 介電層
- 63 第一光阻層
- 64 第一圖案
- 65 第二圖案
- 66 第二光阻層
- 67 第三光阻層
- 68 第三圖案
- 69 導電層

## 十、申請專利範圍：

1. 一種形成電子裝置閘極圖案之方法，包括以下步驟：  
提供一基板，其上形成一第一光阻層；  
進行一第一道微影製程，以形成一具有一第一寬度之一第一圖案於該基板上；  
形成一第二光阻層，其覆蓋該基板上之該第一圖案以及該第一光阻層；以及  
進行一第二道微影製程，其與該第一道微影製程之間具有一位移，以形成一具有一第二寬度之一第二圖案於該基板上；  
其中，該第二寬度係小於該第一寬度。
2. 如申請專利範圍第 1 項所述之方法，其中該電子裝置係為一場效電晶體。
3. 如申請專利範圍第 1 項所述之方法，其中該基板係為一半導體基板。
4. 如申請專利範圍第 1 項所述之方法，其中該第二圖案係為該閘極圖案。
5. 一種形成電子裝置閘極圖案之方法，包括以下步驟：  
提供一基板，其上依序形成一介電層與一第一光阻層；  
進行一第一道微影製程，以形成一具有一第一寬度之一第一圖案於該介電層上；  
轉移該第一圖案至該基板上，以在該介電層內形成一第二圖案；  
形成一第二光阻層，其覆蓋該基板上之該第二圖案以及該介電層；以及

進行一第二道微影製程，其與該第一道微影製程之間具有一位移，以形成一具有一第二寬度之一第三圖案於該基板上；

其中，該第二寬度係小於該第一寬度。

6. 如申請專利範圍第 5 項所述之方法，其中該電子裝置係為一場效電晶體。
7. 如申請專利範圍第 5 項所述之方法，其中該基板係為一半導體基板。
8. 如申請專利範圍第 5 項所述之方法，其中該第二圖案係為該閘極圖案。
9. 如申請專利範圍第 5 項所述之方法，其中該介電層係為一氧化物層。
10. 如申請專利範圍第 5 項所述之方法，其中該介電層係為一氮化物層。
11. 一種形成電子裝置閘極之方法，包括以下步驟：
  - 提供一基板，其上形成一第一光阻層；
  - 進行一第一道微影製程，以形成一具有一第一寬度之一第一圖案於該基板上；
  - 形成一第二光阻層，其覆蓋該基板上之該第一圖案以及該第一光阻層；
  - 形成一第三光阻層於該第二光阻層上；
  - 進行一第二道微影製程，其與該第一道微影製程之間具有一位移，以形成一具有一第二寬度之第二圖案於該基板上；以及
  - 形成一導電層，其與該基板接觸；

其中，該第二寬度係小於該第一寬度。

12. 如申請專利範圍第 11 項所述之方法，其中該電子裝置係為一場效電晶體。

13. 如申請專利範圍第 11 項所述之方法，其中該基板係為一半導體基板。

14. 如申請專利範圍第 11 項所述之方法，其中該第二圖案係為一閘極圖案。

15. 一種形成電子裝置閘極之方法，包括以下步驟：

提供一基板，其上依序形成一介電層與一第一光阻層；  
進行一第一道微影製程，以形成一具有一第一寬度之第一圖案於該介電層上；

轉移該第一圖案至該基板上，以在該介電層內形成一第二圖案；

形成一第二光阻層，其覆蓋該基板上之該第二圖案以及該介電層；

形成一第三光阻層於該第二光阻層上；

進行一第二道微影製程，其與該第一道微影製程之間具有一位移，以形成一具有一第二寬度之第三圖案於該基板上；以及

形成一導電層，其與該基板接觸；

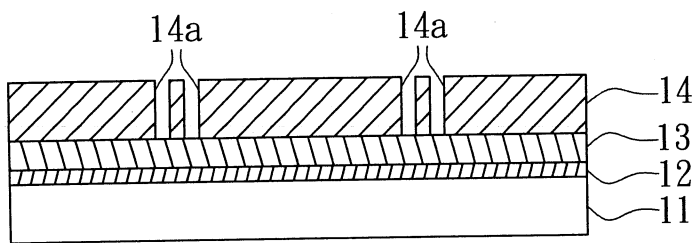
其中，該第二寬度係小於該第一寬度。

16. 如申請專利範圍第 15 項所述之方法，其中該電子裝置係為一場效電晶體。

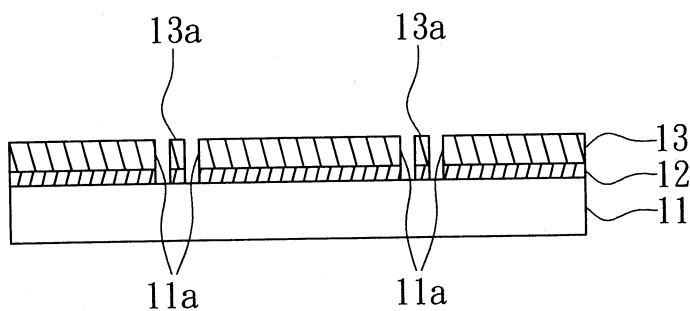
17. 如申請專利範圍第 15 項所述之方法，其中該基板係為一半導體基板。



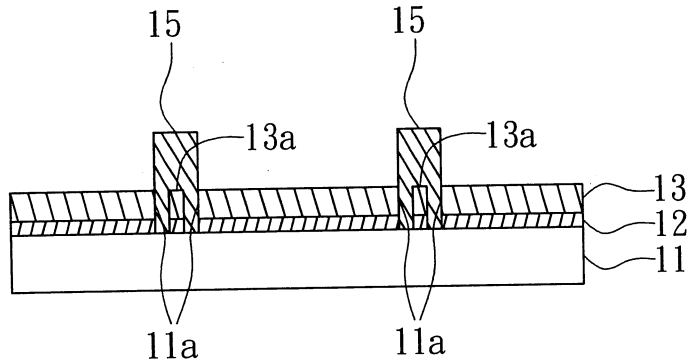
18. 如申請專利範圍第 15 項所述之方法，其中該介電層係為一氧化物層。
19. 如申請專利範圍第 15 項所述之方法，其中該介電層係為一氮化物層。
20. 如申請專利範圍第 15 項所述之方法，其中該第三圖案係為一閘極圖案。



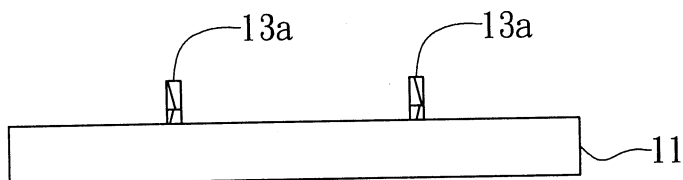
圖一A  
(前技術)



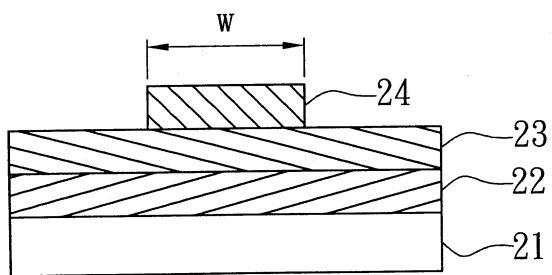
圖一B  
(前技術)



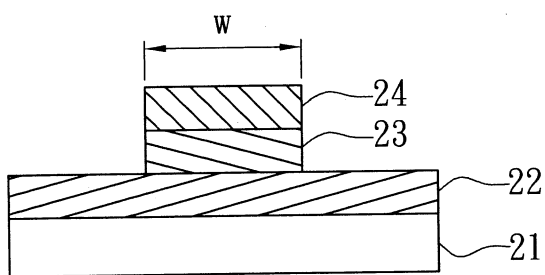
圖一C  
(前技術)



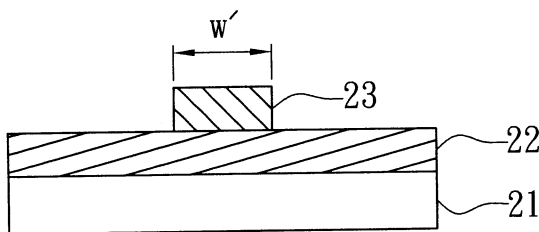
圖一D  
(前技術)



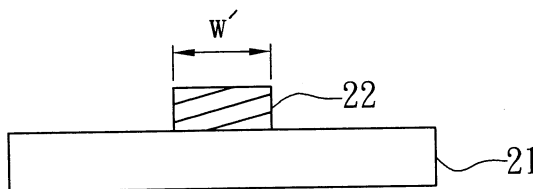
圖二A  
(前術技術)



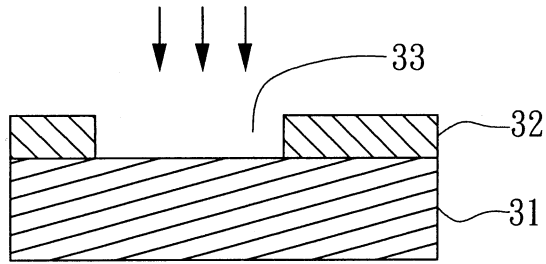
圖二B  
(前術技術)



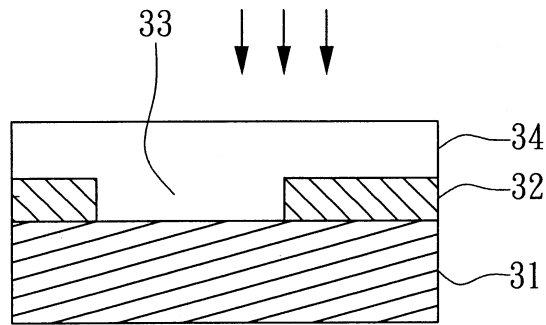
圖二C  
(前術技術)



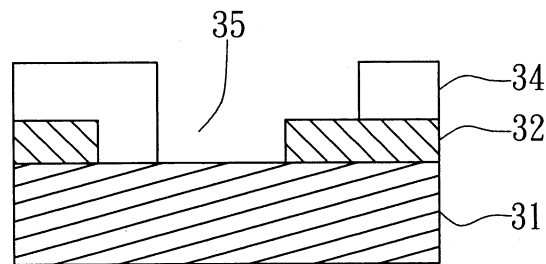
圖二D  
(前術技術)



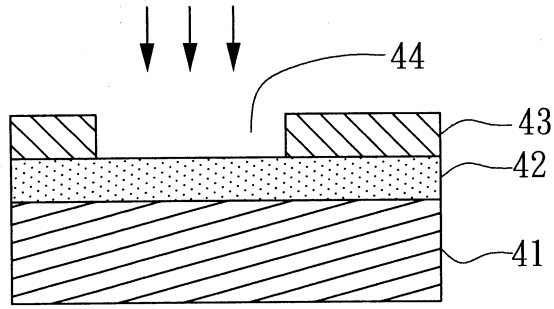
圖三A



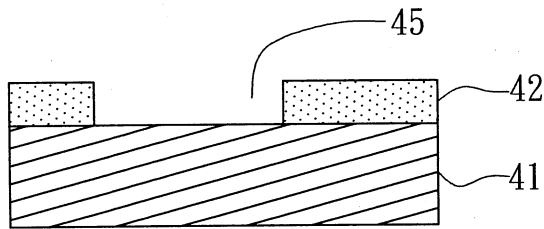
圖三B



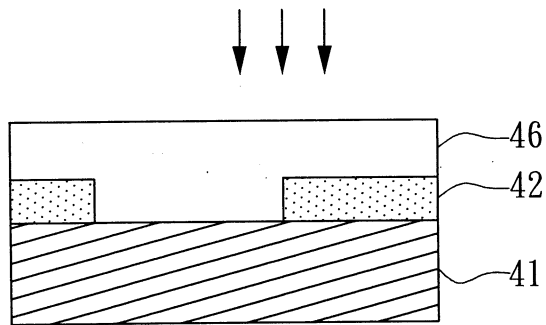
圖三C



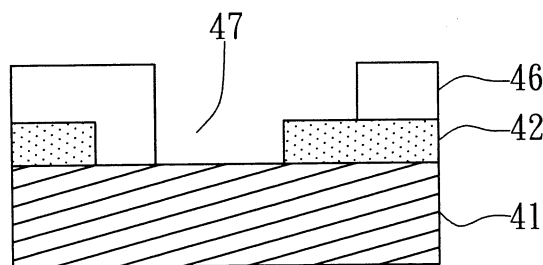
圖四A



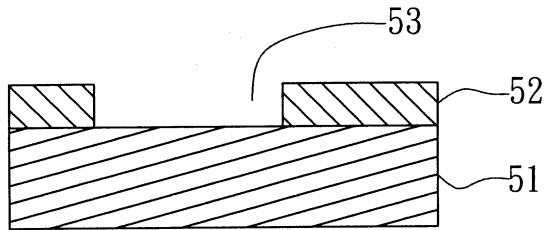
圖四B



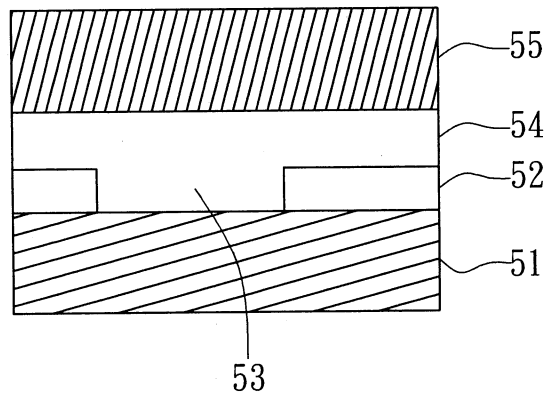
圖四C



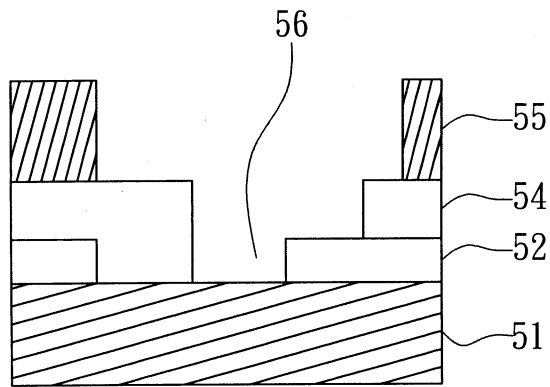
圖四D



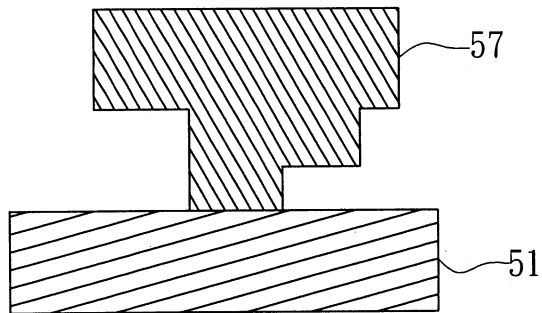
圖五A



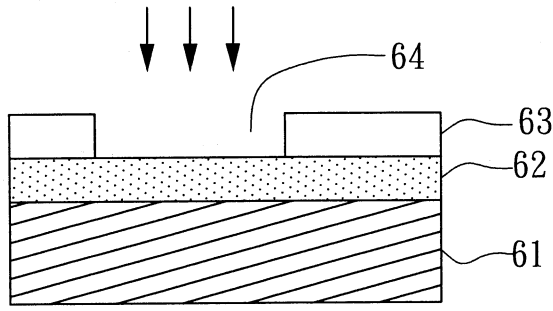
圖五B



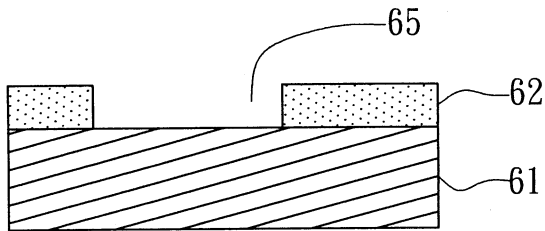
圖五C



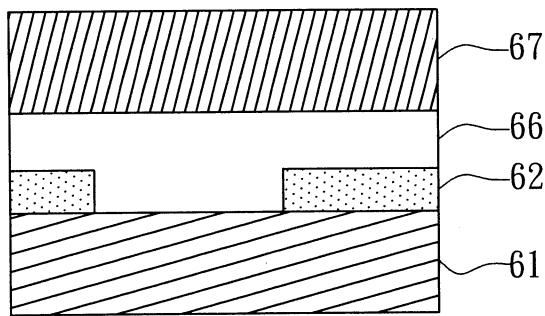
圖五D



圖六A

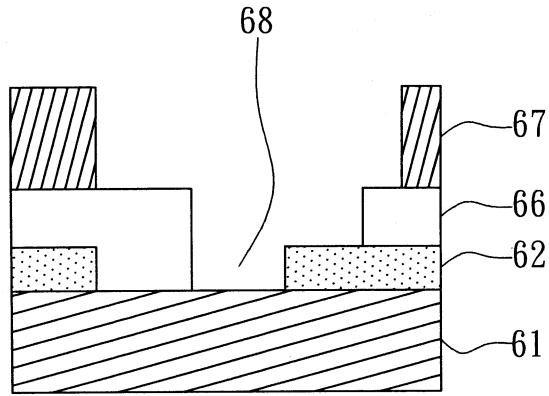


圖六B

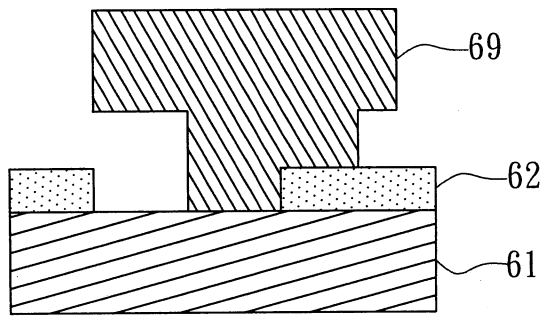


圖六C





圖六D



圖六E