

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：F4116JPT

※申請日期：F4-5-28

※IPC 分類：H03B7/06

一、發明名稱：(中文/英文)

快速鎖定時脈之資料回復電路

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

國立交通大學

代表人：(中文/英文) 張俊彥

住居所或營業所地址：(中文/英文)

新竹市大學路 1001 號

國籍：(中文/英文) 中華民國 TW

三、發明人：(共 1 人)

姓名：(中文/英文) 1. 陳巍仁

2. 魏進元

國籍：(中文/英文) 1. 中華民國 TW

2. 中華民國 TW

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

本發明提供一種快速鎖定時脈之資料回復電路，其係採用二倍超取樣技術，其內部電路包含多相位輸出之鎖相迴路係產生複數相位 θ_n ，而相位內插器將所擷取相位 θ_n 及相位 θ_{n+2} 之信號計算合成出取樣相位 Φ_n ，再由相位偵測器以取樣相位擷取一資料與輸入資料校準比對產生一上/下修正信號，利用計數器將上/下修正信號進行累計產生一修正權值 k ，且將修正權值 k 輸出至相位內插器內以修正取樣相位。而為減少時脈回復過程所耗費時間，本發明另提出二位元搜尋法及二倍速超取樣之資料回復電路架構，藉此大幅減少鎖定所需時間，同時利用多相位分時平行取樣技術，進而達到高速操作及低功率消耗之目的。

六、英文發明摘要：

七、指定代表圖：

(一)、本案代表圖為：第三圖

(二)、本案代表圖之元件代表符號簡單說明：

- | | |
|----------|----------|
| 10 鎖相迴路 | 12 相位內插器 |
| 14 相位偵測器 | 16 移位暫存器 |
| 18 計數器 | |

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

九、發明說明：

【發明所屬之技術領域】

本發明係有關一種資料回復電路，特別是有關一種錯誤率小且能快速鎖定時脈之資料回復電路。

【先前技術】

一般的資料回復電路主要可以分為鎖相迴路式架構及相位超取樣式架構。鎖相迴路式資料回復電路架構，如第一圖所示，鎖相迴路式資料回復電路主要架構包含了相位偵測器 1、低通濾波器 2、壓控振盪器 3 等等，其中相位偵測器 1 功能是為了使時脈信號能夠對輸入資料作精確的取樣，而對低通濾波器 2 充放電，進而改變壓控振盪器 3 的相位，此種回復電路具有高速操作之優點，然而在較高輸入信號雜訊之操作條件下，其鎖定速度與輸出信號之相位雜訊品質互相抵觸，因此較難兼顧快速鎖定及高品質輸出相位之要求。

而超取樣式資料回復器電路，如第二圖所示，此資料回復電路架構主要包含了一個能夠產生多個相位的鎖相迴路 4、暫存器 5、相位偵測器 6、平行接收器 7，而超取樣式回復電路工作原理是從鎖相迴路 4 中擷取多重相位，並且利用這些相位對輸入資料作平行超取樣，即對同一筆資料作多次的取樣，把這些取樣的結果放置在暫存器 5 中，再經由相位偵測器 6 找出某個取樣點是最少發生位元轉換的，利用此最佳取樣相位來對輸入資料作取樣，以減少錯誤率，且藉由超取樣及數位電路之判讀及輔助，可大幅提升資料之追蹤速度及鎖定速度，然而其操作需要大量的數位電路因此耗費

相當大之晶片面積，同時超取樣電路需要多重相位，在高速操作下為達到超取樣之目的有其困難。

有鑑於此，本發明係針對上述之問題，提出一種快速鎖定時脈之資料回復電路，以有效解決上述習知問題。

【發明內容】

本發明之主要目的，係在提供一種快速鎖定時脈之資料回復電路，藉由產生修正信號並回存於暫存器中，進而達到合成最佳資料取樣相位。

本發明之另一目的，係在提供一種快速鎖定時脈之資料回復電路，藉由二位元搜尋法及二倍速超取樣之資料回復電路架構，藉此大幅減少鎖定所需時間，同時利用多相位分時平行取樣技術，進而達到高速操作及低功率消耗之功效。

根據本發明，一種快速鎖定時脈之資料回復電路，包括有一鎖相迴路，其係產生複數相位 θ_n ，另有一相位內插器，將所擷取相位 θ_n 及相位 θ_{n+2} 之信號計算合成出一取樣相位 Φ_n ，取樣相位 Φ_n 係位於 θ_n 相位及 θ_{n+2} 相位之間，再由一相位偵測器以取樣相位擷取一資料與輸入資料校準比對產生一上/下修正信號，利用一計數器將上/下修正信號進行累計產生一修正權值 k ，且將修正權值 k 輸出至相位內插器內以修正取樣相位。

相位偵測器係利用二位元搜尋法校準比對，而實現二位元搜尋法的方式有三種：

第一種二位元搜尋法係利用一移位暫存器及一計數器執行，此移位暫存器由 m 位元組成，由相位偵測器產生一上/下修正信號至該計數器後，再

由計數器依序將暫存器第 m 位元至第二位元的值與計數器所儲存的值相加，相加之結果輸入至一類比轉換器中，以改變該修正權值 k 之大小，同時移位暫存器會以至少一位元為單位移動，用以搜尋最佳取樣相位。

第二種二位元搜尋法，係利用一 m 位元之計數器執行，此計數器係為一位元陣列，且此位元陣列具有 $2^{\frac{m}{2}} \times 2^{\frac{m}{2}}$ 位元，位元陣列係由分別具有 $2^{\frac{m}{2}} - 1$ 位元之一行解碼器及一列解碼器形成，行解碼器及列解碼器則係為移位暫存器所組成，首先由一相位偵測器產生一上/下修正信號至該計數器，而行解碼器依上/下修正信號而進行一左/右移動，左/右移動係以 $2^{\frac{m}{2}-1-j}$ 行為單位動作，此 j 值係為執行搜尋次數，當 $\frac{m}{2} - 1 < j < m$ 時則行解碼器停此動作，而列解碼器再以 $2^{\frac{m}{2}-1-j}$ 位元移動，以搜尋最佳取樣相位。

第三種二位元搜尋法係利用一 m 位元之計數器執行，該計數器係為一第一移位暫存器及一第二移位暫存器組成，此第一移位暫存器係由 m 暫存器組成，用以記錄執行搜尋次數 j ，而第二移位暫存器係由 2^{m-1} 暫存器組成，首先由一相位偵測器產生一上/下修正信號至計數器，接著第二移位暫存器依上/下修正信號以 2^{m-1-j} 位移，而執行每一次搜尋時第一移位暫存器會移動一位元，以交叉搜尋最佳取樣相位。

底下藉由具體實施例配合所附的圖式詳加說明，當更容易瞭解本發明之目的、技術內容、特點及其所達成之功效。

【實施方式】

本發明係一種快速鎖定時脈之資料回復電路，用於對一輸入資料進行

搜尋及取樣，此資料回復電路如第三圖所示，包括有一鎖相迴路 10 利用平行方式同時產生複數相位 θ_n ，在本實施例係使用一壓控振盪器，其中鎖相迴路 10 之操作頻率係為輸入資料傳輸率 $\frac{1}{b}$ 倍，且其中 b 值與 n 值關係為：

$$n = 2 \times b$$

例如在此實施例中之鎖相迴路 10 操作頻率為輸入資料傳輸率的 1/4 倍，並產生八組均勻分佈相位，如第四圖所示，在這八組相位中取兩兩相差 90 度的相位輸入至一相位內插器 12 合成相位，共可合成 8 組均勻分佈的相位。

接續由將所擷取相位 θ_n 及相位 θ_{n+2} 之信號利用內插法計算合成出一取樣相位 Φ_n ，取樣相位 Φ_n 係位於 θ_n 相位及該 θ_{n+2} 相位之間，取樣相位 Φ_n 與相位 θ_n 及 θ_{n+2} 關係為：

$$\Phi_n = \theta_n \times k + \theta_{n+2} \times (1 - k) \quad 0 \leq k \leq 1$$

其中 k 為一修正權值，而初始修正權值 k 係為 0.5。

再由一相位偵測器 14 利用二位元搜尋法校準比對取樣相位所擷取之資料與輸入資料校準比對產生一上/下修正信號，此相位偵測器 14 內設有至少一移位暫存器 16，用以決定修正權值 k 及記憶搜尋比對次數。再以一計數器 18，其將上/下修正信號進行累計產生已修正後的修正權值 k，且將修正權值 k 輸出至相位內插器 12 內以修正取樣相位 Φ_n ，再由相位偵測器 14 判斷此取樣相位 Φ_n 是否為最佳之取樣狀態，若為最佳狀態則不會再產生上/下修正信號至計數器 18 內。

如第五圖所示，輸入資料取樣結果若 S1、S2 值不同時，定義為 Clk 落後(late);反之，若是 S1，S2 值相同時，則為 Clk 領先(early)。為找到最佳取樣相位，當 Clk 落後時，相位偵測器 14 會產生 down 的信號至計數器

18 中，改變內插權值，使內插相位偏向 θ_n ；當 Clk 領先時，產生 up 的信號，使內插相位偏向 θ_{n+2} 。若 S1 為 1 的中點，S2 對準了 1、2 間的中點，即找到最佳的取樣相位。當找到最佳的取樣相位或是輸入資料沒有轉態(0→1 或 1→0)，相位偵測器 14 不會產生 up/down 之修正信號。請同時參閱第四圖所示，第四圖中串列式資料中的第一筆資料由相位 Φ_1 、 Φ_2 、 Φ_3 取樣，取樣結束的輸出值分別是 S1、S2、S3。相位 Φ_1 是由 θ_1 和 θ_3 的合成相位；相位 Φ_2 是由 θ_2 和 θ_4 的合成相位；相位 Φ_3 是由 θ_3 和 θ_5 的合成相位。第二筆資料是由相位 Φ_3 、 Φ_4 、 Φ_5 進行超取樣的動作。同理，第三筆、第四筆也是用此方法執行二倍速超取樣的動作。

因此每筆資料在超取樣之後，產生的 up/down 的信號分別記錄在計數器 18 中，進行累計的動作，其累計結果將反應在相位內插器 12 之權值上，達到修正取樣相位的目的。第五筆輸入資料重複使用 Φ_1 、 Φ_2 、 Φ_3 相位，第六筆使用 Φ_3 、 Φ_4 、 Φ_5 相位執行超取樣，唯 Φ_1 、 Φ_2 、 Φ_3 、 Φ_4 、 Φ_5 … 等相位在每比較一次，就會被修正一次。經由相位偵測器 14 之判讀若是以達到最佳取樣相位狀態，計數器 18 將不會被修正，如此即完成此回復電路的說明。

接續說明相位偵測器 14 如何實現利用二位元搜尋法，以找正確之修正權值 k，下列介紹三種不同的實現方式：

首先第一種二位元搜尋法實現方式係利用類比較準電路，如第六圖所示，此電路利用一移位暫存器 20 及計數器 18 執行，此移位暫存器 20 由 m 位元組成，當初次執行搜尋時，先以修正權值 k 係為 0.5 進行第一次尋找，

使相位偵測器 14 產生一上/下修正信號(up=1, down=0)至計數器 18 內，其中若上/下修正信號為一上修正信號(up=1)時，計數器 18 依序將移位暫存器 20 第 m 位元至第二位元的值與計數器 18 原儲存的值相加，若上/下修正信號為一下修正信號時，此計數器 18 依序將移位暫存器 20 第 m 位元至第二位元的值乘以-1 後，再與計數器 18 所儲存的值相加，相加之結果輸入至一類比轉換器 22 中，以改變該修正權值 k 之大小，同時此移位暫存器 20 會以一位元為單位向右移動，而修正權值 k 變化時也進而使取樣相位改變，並重複上述搜尋步驟直至搜尋出最佳該取樣相位為止。而當移位暫存器 18 移動至最後一位元時，即為搜索結束，且相位偵測器 14 再產生上/下修正信號時，計數器 18 所儲存的值只與移位暫存器 20 最後一位元的值加減，並將移位暫存器 20 隔離使其不再移動。

上述的類比電路是二位元搜尋法的第一種實現方式，雖然電路架構很簡單，只需判斷 up/down 執行加/減運算，但由於累加器需要大量的數位電路，其閘延遲(gate delay)限制此資料回復器的操作速度，而第二種二位元搜尋法實現方式係利用數位校準電路，如第七圖及第八圖所示，此電路係利用一 m 位元之計數器 18 執行，此計數器 18 係為一位元陣列 24，位元陣列 24 具有 $2^{\frac{m}{2}} \times 2^{\frac{m}{2}}$ 位元，且位元陣列 24 係由分別具有 $2^{\frac{m}{2}} - 1$ 位元之一行解碼器 26 及一列解碼器 28 形成，而行解碼器 26 及列解碼器 28 則係為移位暫存器 20 所組成，當初次執行搜尋時，先以修正權值 k 係為 0.5 進行第一次尋找，使相位偵測器 14 產生上/下修正信號至計數器 18 內，而行解碼器 26 依上/下修正信號而進行以 $2^{\frac{m}{2}-1-j}$ 行為單位移動，此 j 值係為執行搜尋

次數，當 $\frac{m}{2} - 1 < j < m$ 時則行解碼器 26 停此動作，再由列解碼器 28 再以 2^{m-1-j} 位元移動，以找出最佳取樣相位的修正權值 k ，而修正權值 k 變化時也進而使取樣相位改變，並重複上述搜尋步驟直至搜尋出最佳該取樣相位為止，而當列解碼器 28 之執行次數 $j = m - 1$ 時，即為搜索結束。並且在執行完此陣列二位元搜尋法後，更可進行一微小修正，此微小修正係為列解碼器 28 以一位元為單位移動。然而此二位元搜尋法有一條件限制，就是當列解碼器 28 之執行次數 $j = \frac{m}{2}$ 時且相位偵測器 14 產生下修正信號時，除了列解碼器 28 移動外，同時行解碼器 26 也要左移一位元。

最後第三種二位元搜尋法實現方式，如第九圖及第十圖所示，此方法係利用 m 位元之計數器 18 執行，此計數器 18 係為第一移位暫存器 30 及第二移位暫存器 32 組成，此第一移位暫存器 30 係由 m 暫存器組成，用以記錄執行搜尋次數 j ，而第二移位暫存器 32 係由 2^{m-1} 暫存器組成，當初次執行搜尋時，先以修正權值 k 係為 0.5 進行第一次尋找，使相位偵測器 14 產生一上/下修正信號至計數器 18，而第二移位暫存器 32 依該上/下修正信號以 2^{m-1-j} 位移，而執行每一次搜尋時第一移位暫存器 30 會移動一位元，以找出最佳取樣相位的修正權值 k ，而修正權值 k 變化時也進而使取樣相位改變，並重複上述搜尋步驟直至搜尋出最佳該取樣相位為止，而當搜尋次數 $j = m$ 時，即為搜索結束。且當搜索結束時，若再有上/下修正信號產生，第一移位暫存器 30 不動作，而第二移位暫存器 32 會依上/下修正信號判斷左/右移動一位元。

本發明藉由二位元搜尋法及二倍速超取樣之資料回復電路架構，藉此大幅減少鎖定所需時間，同時利用多相位分時平行取樣技術，進而達到高速操作及低功率消耗之功效，且另藉由產生修正信號並回存於暫存器中，進而達到合成最佳資料取樣相位。

以上所述係藉由實施例說明本發明之特點，其目的在使熟習該技術者能瞭解本發明之內容並據以實施，而非限定本發明之專利範圍，故，凡其他未脫離本發明所揭示之精神所完成之等效修飾或修改，仍應包含在以下所述之申請專利範圍中。

【圖式簡單說明】

第一圖為習知鎖相迴路式資料回復電路之示意圖。

第二圖為習知超取樣式資料回復電路之示意圖。

第三圖為本發明之電路示意圖。

第四圖為本發明取樣相位產生示意圖。

第五圖為本發明相位偵測器電路示意圖。

第六圖為本發明實現二位元搜尋法之權值校準類比電路。

第七圖為本發明實現二位元搜尋法之權值校準數位電路。

第八圖為本發明執行二位元搜尋法之過程。

第九圖及第十圖為本發明另一種實現二位元搜尋法之權值校準電路及執行二位元搜尋法之過程。

【主要元件符號說明】

1 相位偵測器

2 低通濾波器

I264180

- | | |
|------------|------------|
| 3 壓控振盪器 | 4 鎖相迴路 |
| 5 暫存器 | 6 相位偵測器 |
| 7 平行接收器 | 10 鎖相迴路 |
| 12 相位內插器 | 14 相位偵測器 |
| 16 移位暫存器 | 18 計數器 |
| 20 移位暫存器 | 22 類比轉換器 |
| 24 位元陣列 | 26 行解碼器 |
| 28 列解碼器 | 30 第一移位暫存器 |
| 32 第二移位暫存器 | |

十、申請專利範圍：

1、一種快速鎖定時脈之資料回復電路，用於對一輸入資料進行搜尋及取樣，該資料回復電路包括：

一鎖相迴路，其係產生複數相位 θ_n ；

一相位內插器，其係將所擷取該相位 θ_n 及該相位 θ_{n+2} 之信號計算合成出一取樣相位 Φ_n ，該取樣相位 Φ_n 係位於 θ_n 相位及該 θ_{n+2} 相位之間；

一相位偵測器，其係以該取樣相位擷取一資料與該輸入資料校準比對產生一上/下修正信號；以及

一計數器，其將該上/下修正信號進行累計產生一修正權值 k ，且將該修正權值 k 輸出至該相位內插器內以修正該取樣相位。

2、如申請專利範圍第 1 項所述之快速鎖定時脈之資料回復電路，其中，該取樣相位 Φ_n 與該相位 θ_n 及該 θ_{n+2} 關係為：

$$\Phi_n = \theta_n \times k + \theta_{n+2} \times (1 - k) \quad 0 \leq k \leq 1$$

其中初始該修正權值 k 係為 0.5。

3、如申請專利範圍第 2 項所述之快速鎖定時脈之資料回復電路，其中，該相位偵測器內設有一移位暫存器，用以決定該修正權值 k 及記憶搜尋比對次數。

4、如申請專利範圍第 1 項所述之快速鎖定時脈之資料回復電路，其中，該鎖相迴路係為壓控振盪器。

5、如申請專利範圍第 1 項所述之快速鎖定時脈之資料回復電路，其中，由該相位偵測器判斷該取樣相位 Φ_n 是否為最佳之取樣狀態，若為最佳狀態則不會產生該上/下修正信號至該計數器。

- 6、如申請專利範圍第 1 項所述之快速鎖定時脈之資料回復電路，其中，該相位內插器係利用內插法計算產生該取樣相位 Φ_n 。
- 7、如申請專利範圍第 1 項所述之快速鎖定時脈之資料回復電路，其中，該相位 θ_n 係利用平行產生方式。
- 8、如申請專利範圍第 1 項所述之快速鎖定時脈之資料回復電路，其中，該相位偵測器係利用二位元搜尋法校準比對該取樣相位所擷取之資料與該輸入資料。
- 9、如申請專利範圍第 1 項所述之快速鎖定時脈之資料回復電路，其中，該鎖相迴路之操作頻率係為該輸入資料傳輸率 $\frac{1}{b}$ 倍，且其中 b 值與 n 值關係為：

$$n = 2 \times b。$$

- 10、一種校準電路之二位元搜尋法，提供一相位內插器正確之修正權值 k，使該相位內插器計算合成所擷取一相位 θ_n 及一相位 θ_{n+2} 之信號時能取得最佳之一取樣相位，該二位元搜尋法係利用一由 m 位元組成之移位暫存器及一計數器執行，該二位元搜尋法包括下列步驟：

由一相位偵測器產生一上/下修正信號至該計數器；

該計數器依序將該暫存器第 m 位元至第二位元的值與該計數器所儲存的值相加，相加之結果輸入至一類比轉換器中，以改變該修正權值 k 之大小，同時該移位暫存器會以至少一位元為單位移動，而該修正權值 k 變化時也進而使該取樣相位改變；以及

重複上述二步驟直至搜尋出最佳該取樣相位為止。

11、如申請專利範圍第 10 項所述之校準電路之二位元搜尋法，其中，該修正信號為一下修正信號時，該計數器依序將該暫存器第 m 位元至第二位元的值乘以 -1 後，再與該計數器所儲存的值相加。

12、如申請專利範圍第 10 項所述之校準電路之二位元搜尋法，其中，初次執行搜尋時，該修正權值 k 係為 0.5 。

13、如申請專利範圍第 10 項所述之校準電路之二位元搜尋法，其中，該移位暫存器移動至最後一位元時，若尚未取得最佳之該取樣相位，即為搜索結束。

14 如申請專利範圍第 13 項所述之校準電路之二位元搜尋法，其中，當該相位偵測器再產生該上/下修正信號時，該計數器所儲存的值只與最後一位元的值加減，並將該移位暫存器隔離使其不再移動。

15、如申請專利範圍第 10 項所述之校準電路之二位元搜尋法，其中，該取樣相位 Φ_n 、該相位 θ_n 、該相位 θ_{n+2} 及該修正權值 k 關係為係為：

$$\Phi_n = \theta_n \times k + \theta_{n+2} \times (1 - k) \quad 0 \leq k \leq 1。$$

16、一種校準電路之陣列二位元搜尋法，提供一相位內插器正確之一修正權值 k ，使該相位內插器計算合成所擷取一相位 θ_n 及一相位 θ_{n+2} 之信號時能取得最佳之一取樣相位，該二位元搜尋法係利用一 m 位元之計數器執行，該計數器係為一位元陣列，該位元陣列具有 $2^{\frac{m}{2}} \times 2^{\frac{m}{2}}$ 位元，該位元陣列係由分別具有 $2^{\frac{m}{2}} - 1$ 位元之一行解碼器及一列解碼器形成，該行解碼器及該列解碼器則係為移位暫存器所組成，該二位元搜尋法包括下列步驟：

由一相位偵測器產生一上/下修正信號至該計數器；以及

該行解碼器依該上/下修正信號而進行以 $2^{\frac{m-1-j}{2}}$ 行為單位移動，該j值係為執行搜尋次數；

當 $\frac{m}{2}-1 < j < m$ 時則該行解碼器停此動作，而該列解碼器再以 $2^{\frac{m-1-j}{2}}$ 位元移動，以取得正確該修正權值k；以及

重複上述二步驟直至搜尋出最佳該取樣相位為止。

17、如申請專利範圍第16項所述之校準電路之陣列二位元搜尋法，其中，當執行完該陣列二位元搜尋法後，更可進行一微小修正，該微小修正係為該列解碼器以一位元為單位移動。

18、如申請專利範圍第16項所述之校準電路之陣列二位元搜尋法，其中，當該列解碼器之執行次數 $j = \frac{m}{2}$ 時且該相位偵測器產生該下修正信號時，除了該列解碼器移動外，該行解碼器要左移一位元。

19、如申請專利範圍第16項所述之校準電路之陣列二位元搜尋法，其中，初次執行搜尋時，該修正權值k係為0.5。

20、如申請專利範圍第16項所述之校準電路之陣列二位元搜尋法，其中，當該列解碼器之執行次數 $j = m-1$ 時，即為搜索結束。

21、如申請專利範圍第16項所述之校準電路之陣列二位元搜尋法，其中，該取樣相位 Φ_n 、該相位 θ_n 、該相位 θ_{n+2} 及該修正權值k關係為係為：

$$\Phi_n = \theta_n \times k + \theta_{n+2} \times (1-k) \quad 0 \leq k \leq 1。$$

22、一種校準電路之二位元搜尋法，提供一相位內插器正確之修正權值k，使該相位內插器計算合成所擷取一相位 θ_n 及一相位 θ_{n+2} 之信號時能取得最

佳之一取樣相位，該二位元搜尋法係利用一 m 位元之計數器執行，該計數器係為一第一移位暫存器及一第二移位暫存器組成，該第一移位暫存器係由 m 暫存器組成，用以記錄執行搜尋次數 j ，該第二移位暫存器係由 2^{m-1} 暫存器組成，該二位元搜尋法包括下列步驟：

一相位偵測器產生一上/下修正信號至該計數器；

該第二移位暫存器依該上/下修正信號以 2^{m-1-j} 位移，而執行每一次搜尋時該第一移位暫存器會移動一位元，以取得正確該修正權值 k ；以及

重複上述二步驟直至搜尋出最佳該取樣相位為止。

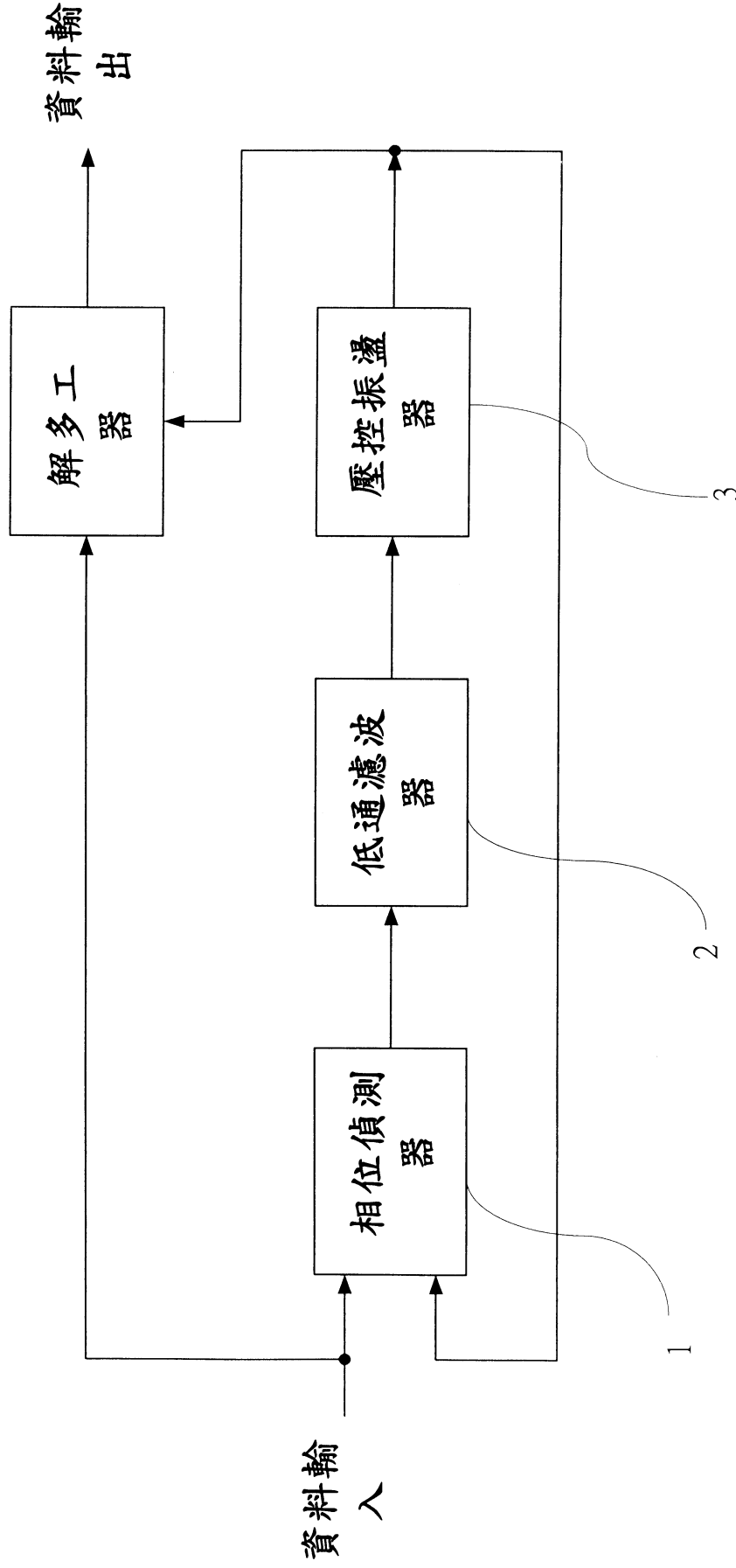
23、如申請專利範圍第 22 項所述之校準電路之二位元搜尋法，其中，當該搜尋次數 $j=m$ 時，即為搜索結束。

24、如申請專利範圍第 23 項所述之校準電路之二位元搜尋法，其中，當搜索結束時，若再有該上/下修正信號產生，該第一移位暫存器不動作，而該第二移位暫存器會左/右移動一位元。

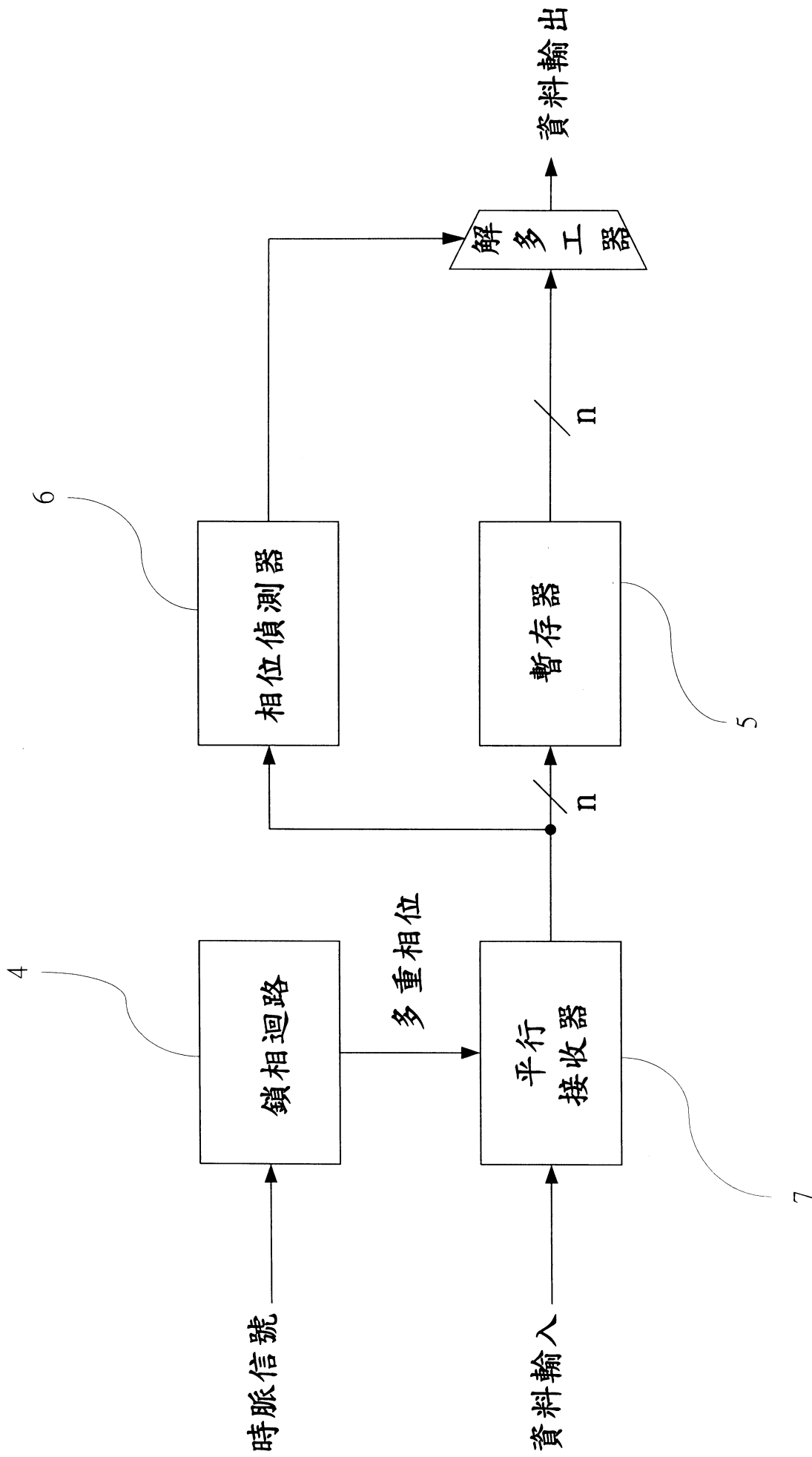
25、如申請專利範圍第 22 項所述之校準電路之二位元搜尋法，其中，初次執行搜尋時，該修正權值 k 係為 0.5。

26、如申請專利範圍第 22 項所述之校準電路之二位元搜尋法，其中，該取樣相位 Φ_n 、該相位 θ_n 、該相位 θ_{n+2} 及該修正權值 k 關係為係為：

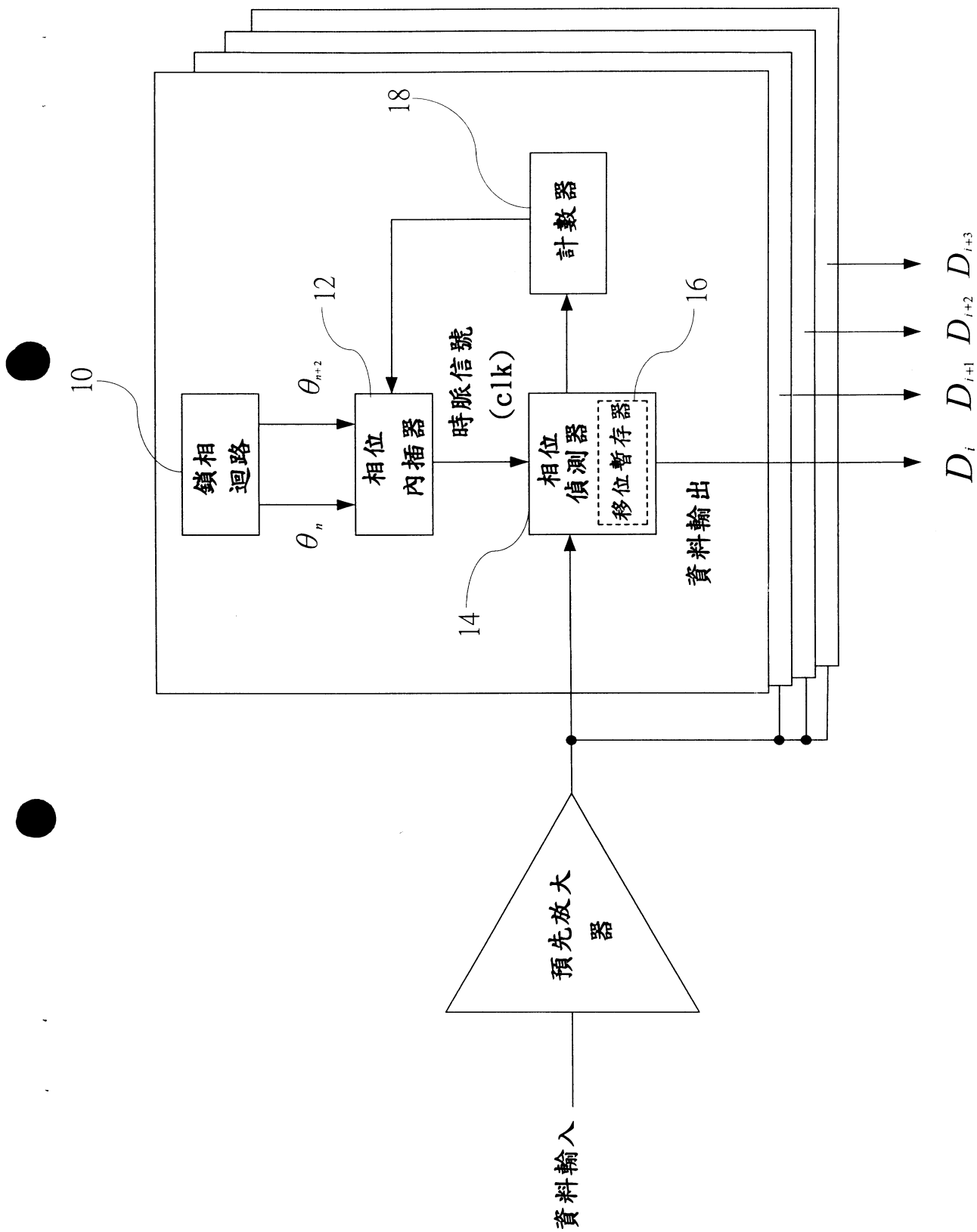
$$\Phi_n = \theta_n \times k + \theta_{n+2} \times (1 - k) \quad 0 \leq k \leq 1。$$



第一圖
(先前技術)



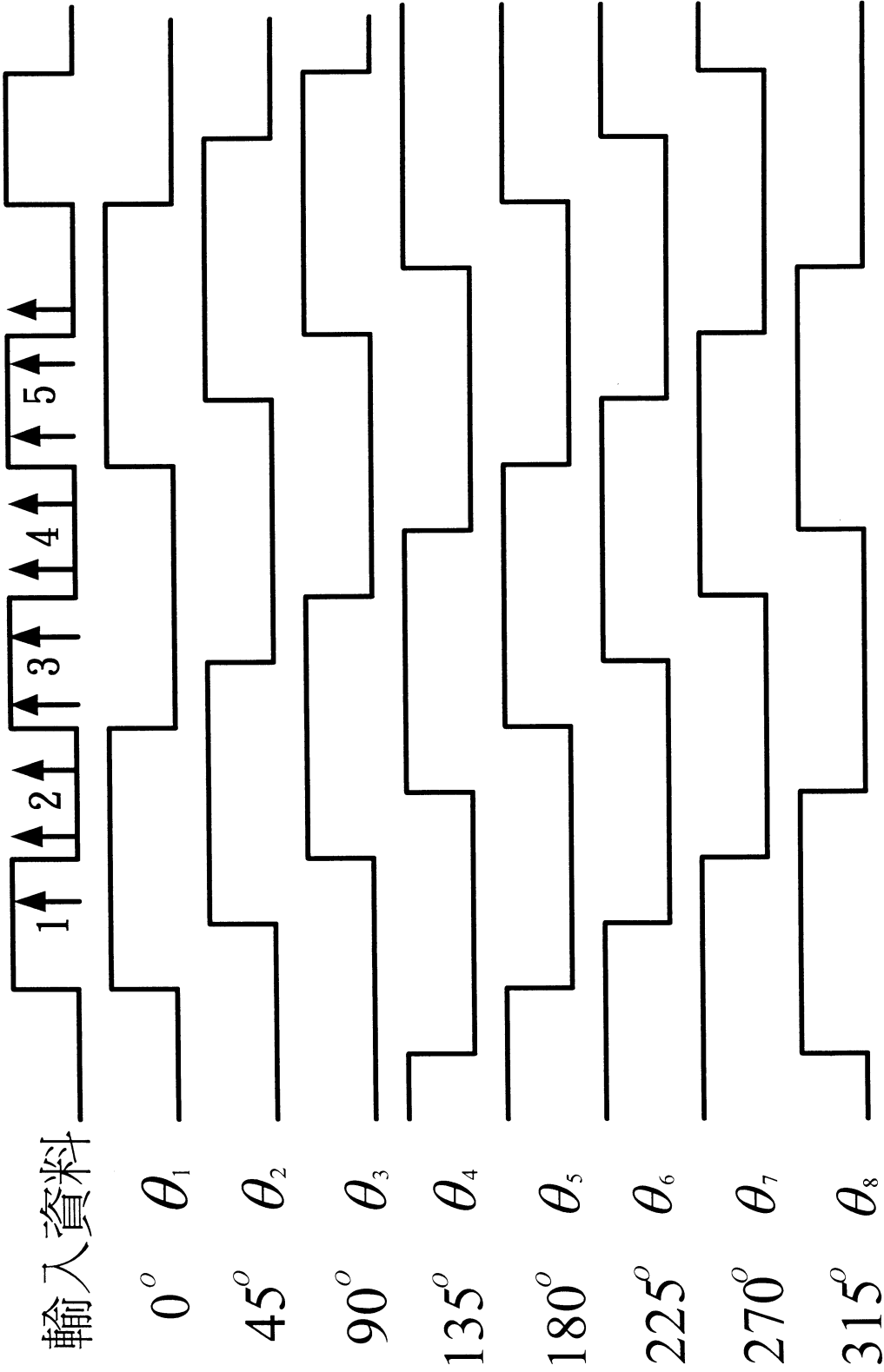
第二圖
(先前技術)



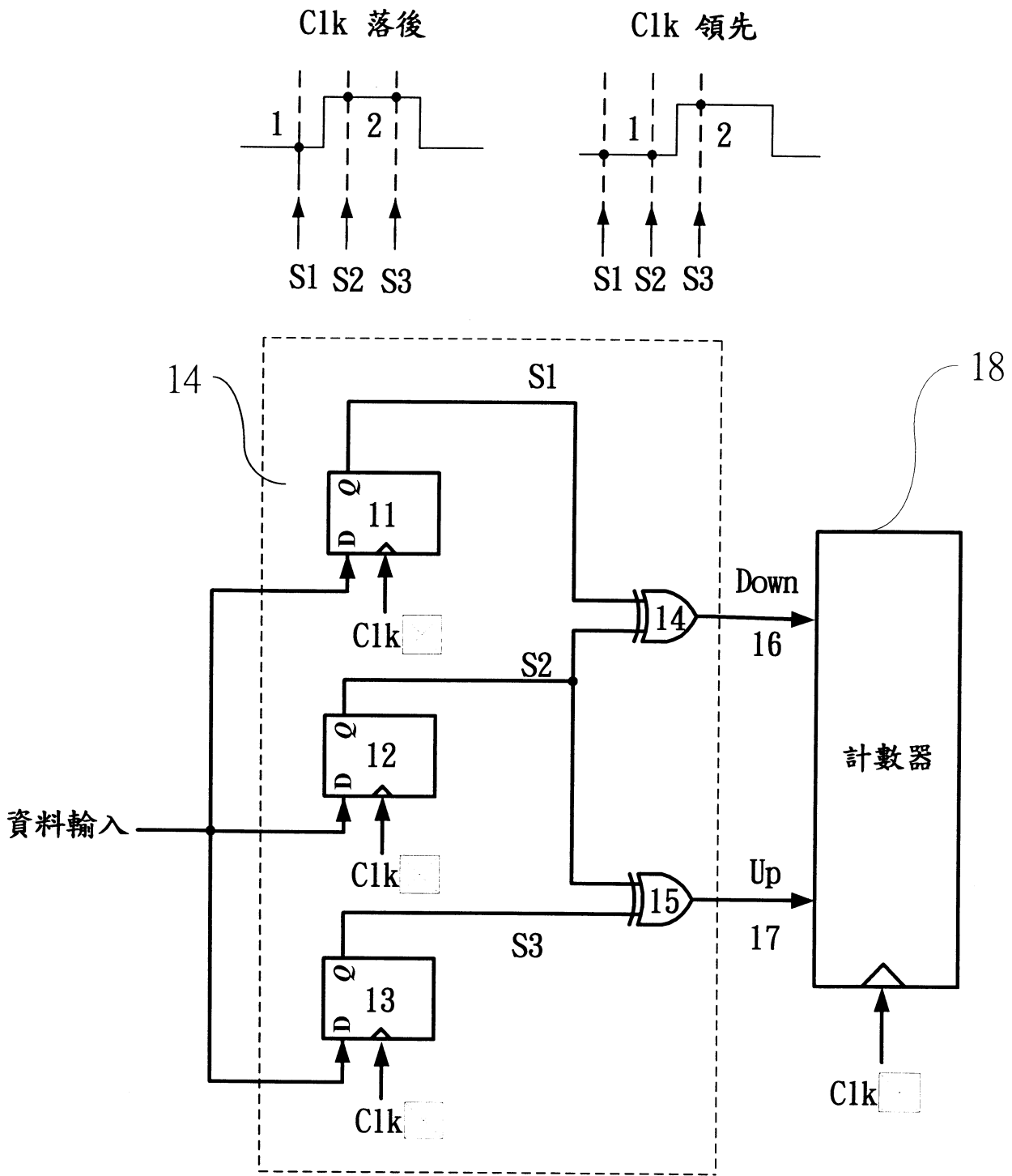
第三圖



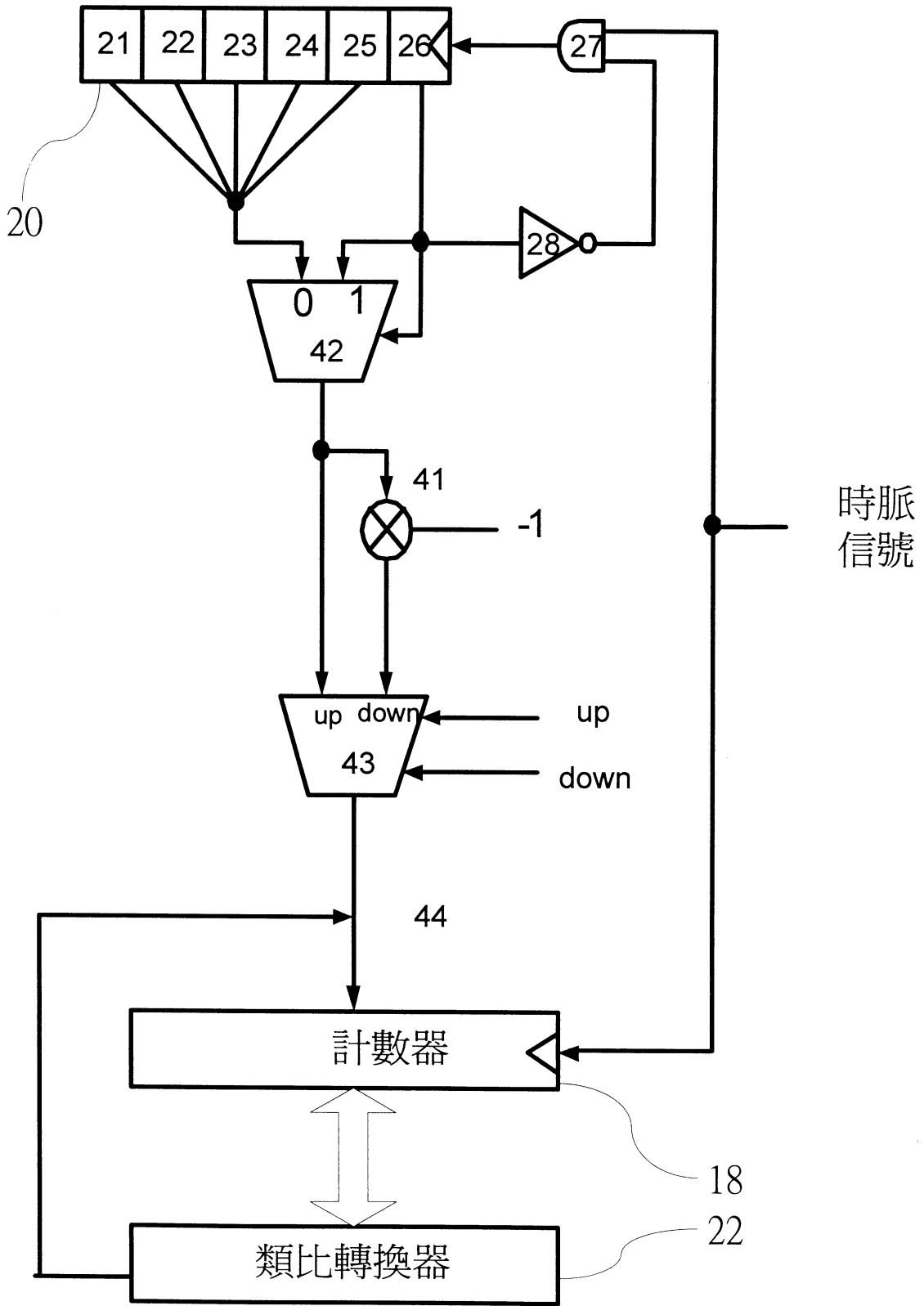
$\Phi_1 \Phi_2 \Phi_3 \Phi_4 \Phi_5 \Phi_6 \Phi_7 \Phi_8 \Phi_1$



第四圖

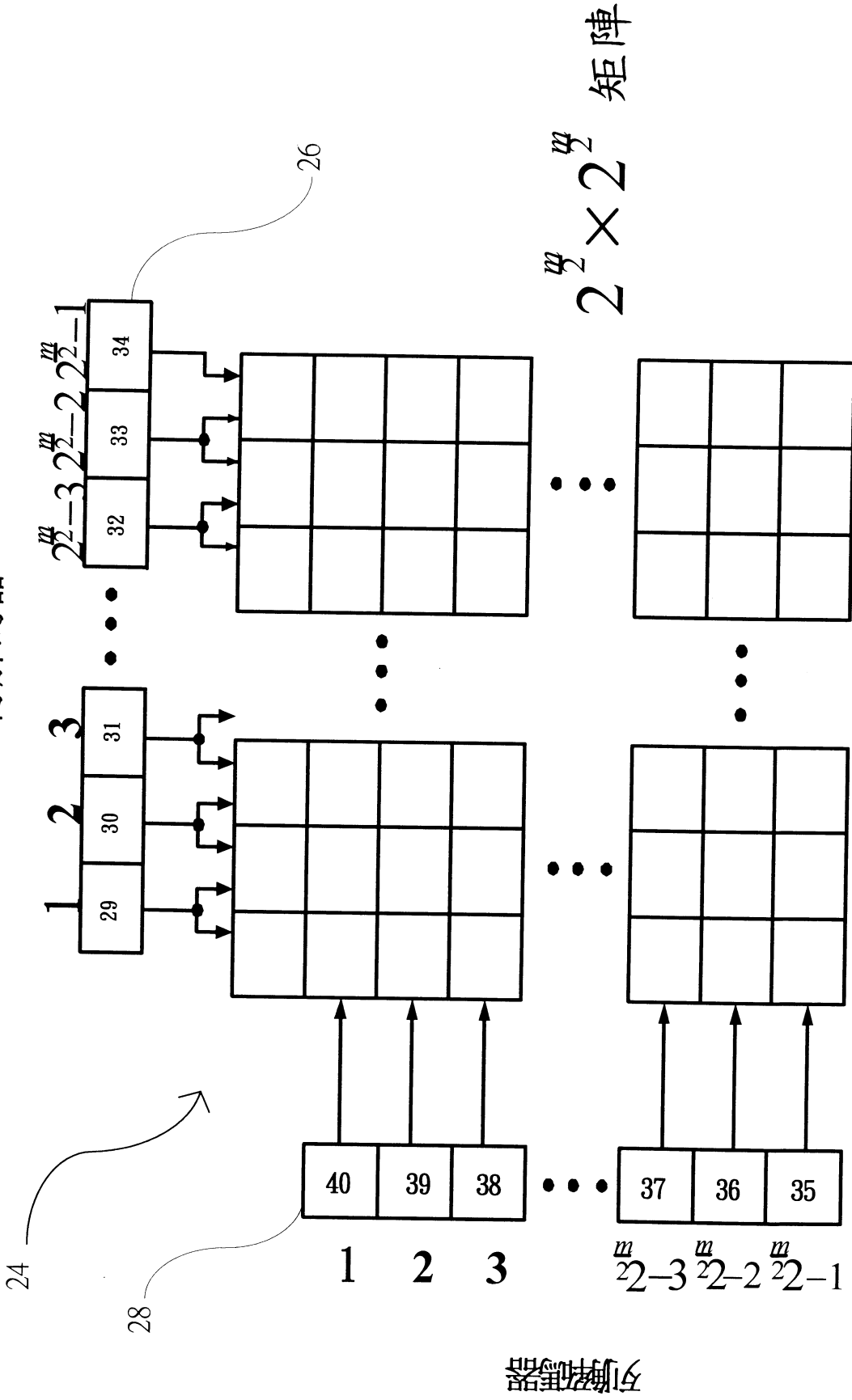


第五圖

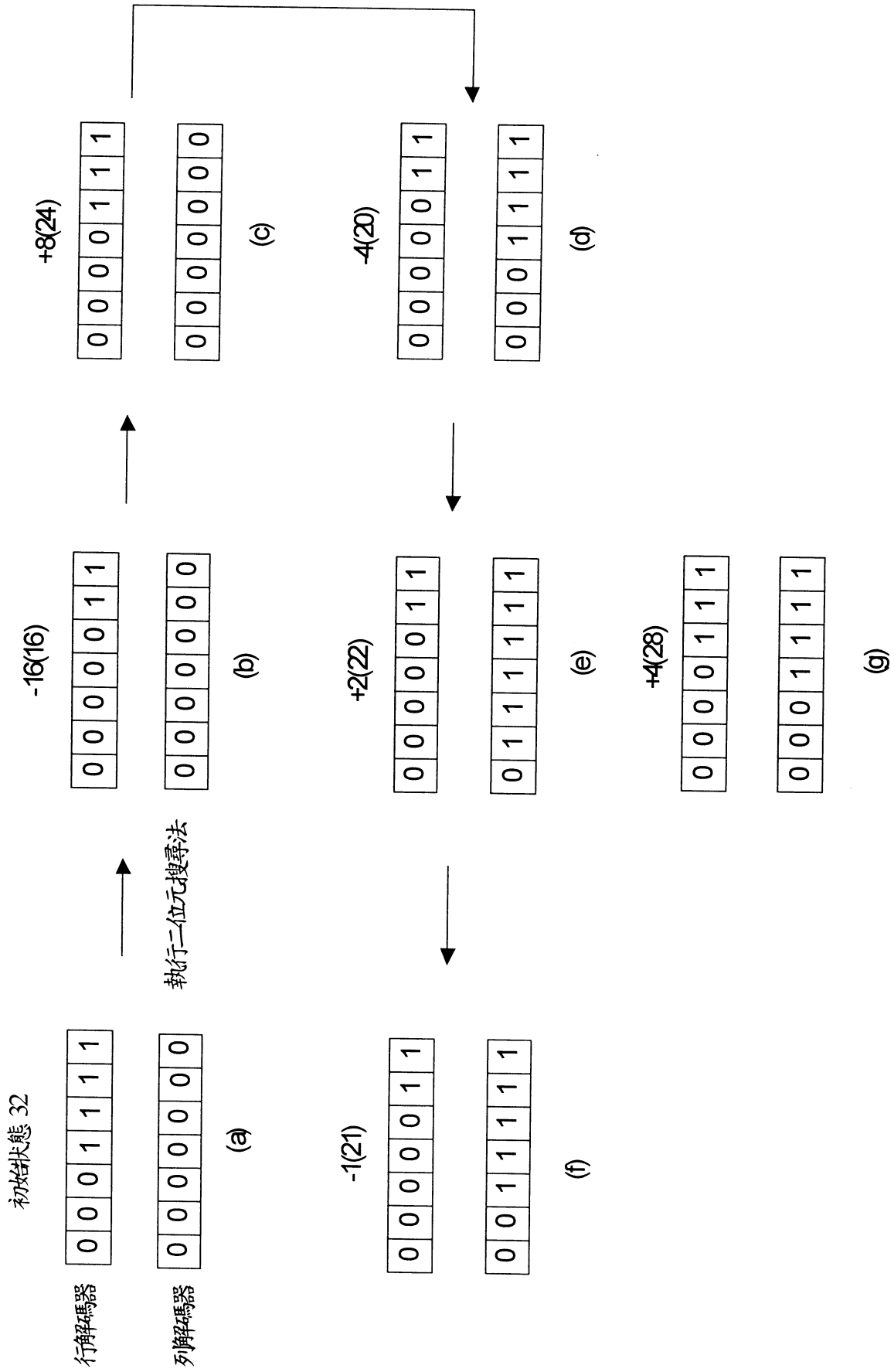


第六圖

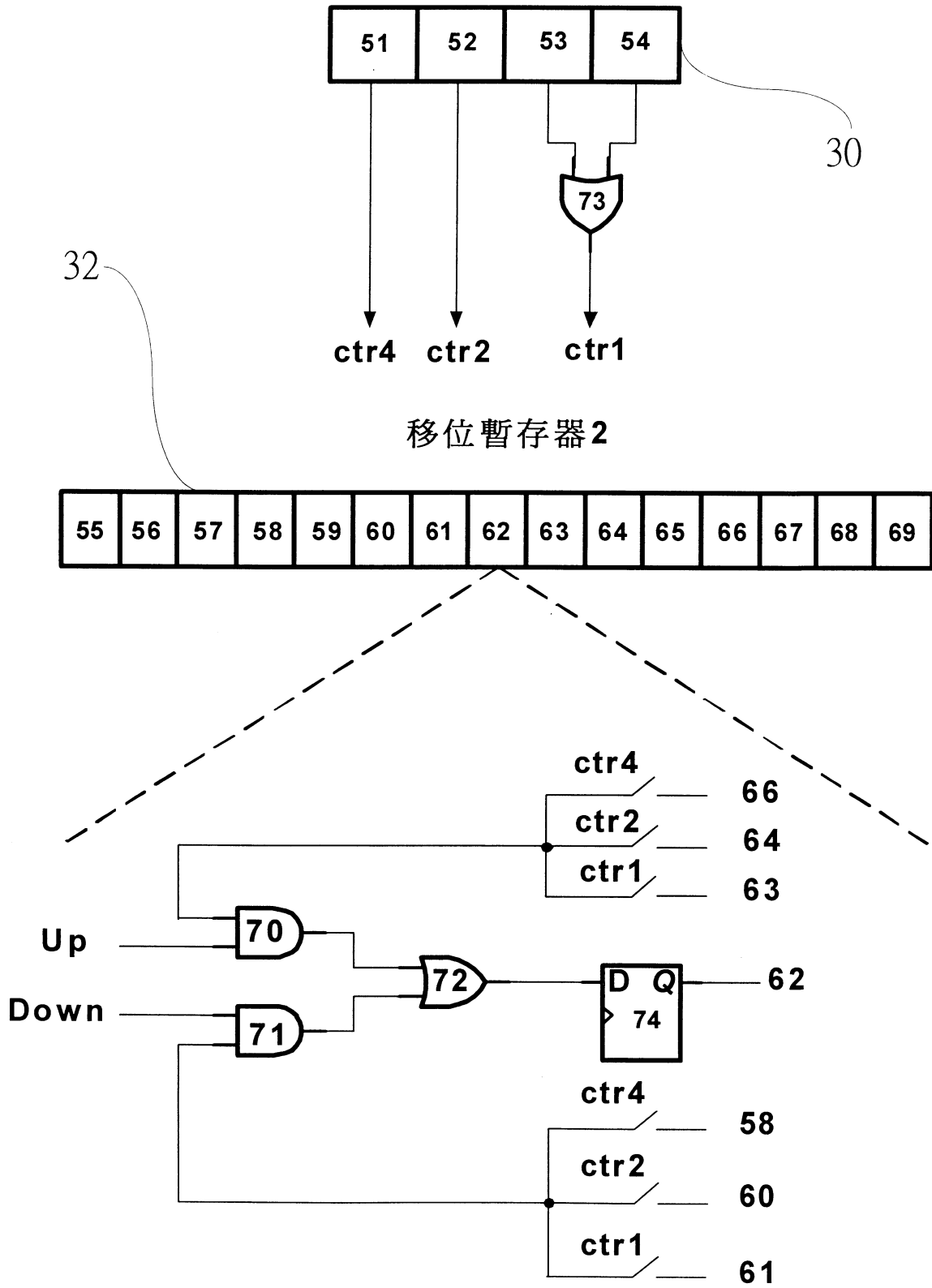
行解碼器



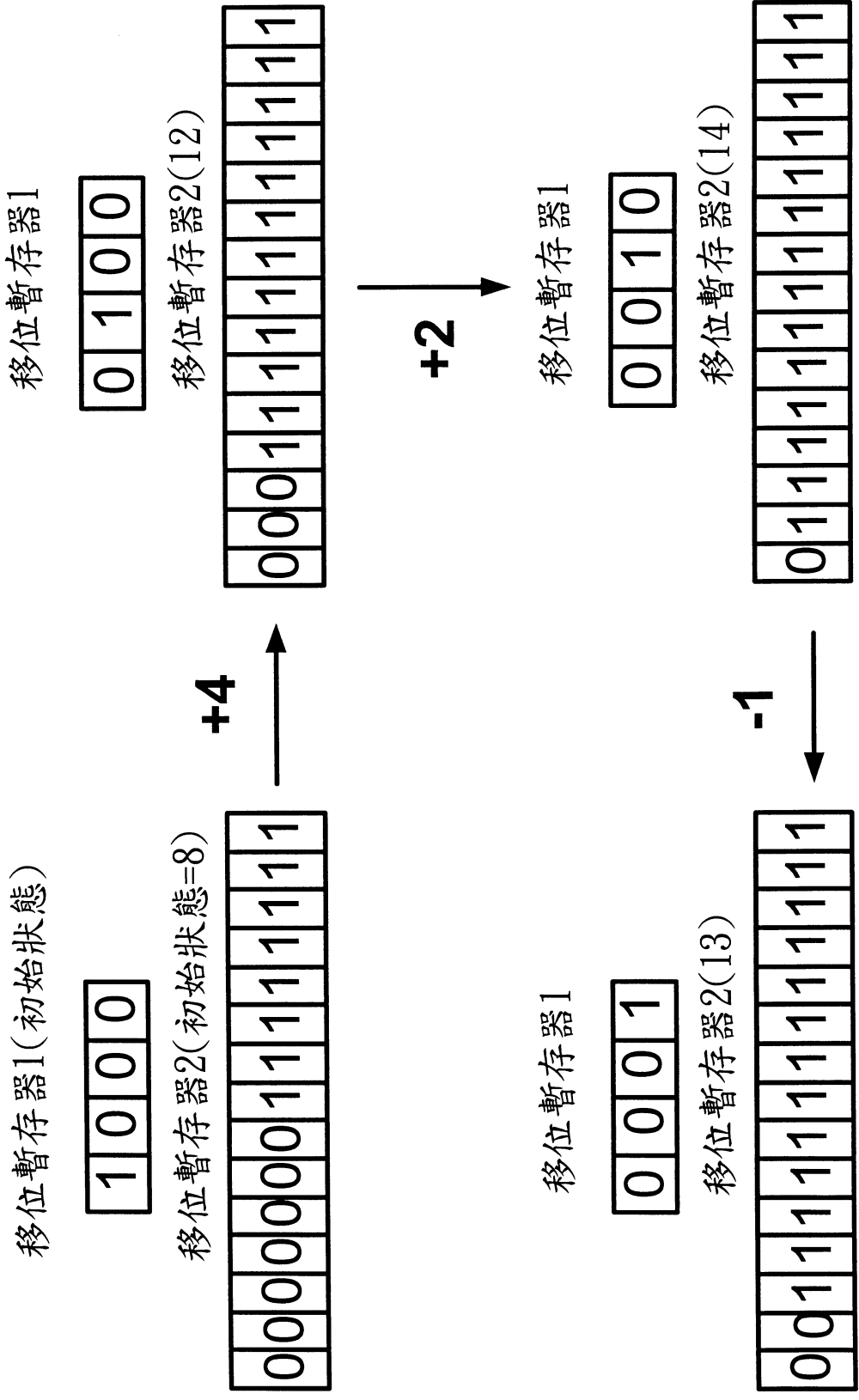
第七圖



第八圖



第九圖



第十圖