

申請日期： 93-12-3	IPC分類
申請案號： 93137297	G11C11/34

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	隨機存取記憶體陣列結構
	英文	
二、 發明人 (共2人)	姓名 (中文)	1. 鄭東栓 2. 黃威
	姓名 (英文)	1. 2.
	國籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW
三、 申請人 (共1人)	名稱或 姓名 (中文)	1. 國立交通大學
	名稱或 姓名 (英文)	1.
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中文)	1. 新竹市大學路1001號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1.
	代表人 (中文)	1. 張俊彥
代表人 (英文)	1.	



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十七條第一項國際優先權

無

二、主張專利法第二十九條第一項國內優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十二條第二項第一款或第二款規定之事實，其事實發生日期為：

2004/06/15

四、有關生物材料已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

有關生物材料已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

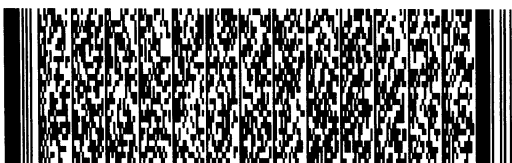
不須寄存生物材料者：所屬技術領域中具有通常知識者易於獲得時，不須寄存。



四、中文發明摘要 (發明名稱：隨機存取記憶體陣列結構)

本發明提供一種隨機存取記憶體陣列結構，其係將一隨機存取記憶體陣列結構分成複數個資料區塊，每一資料區塊以陣列方式排列，且每一資料區塊連接有一及閘及電源閘，利用一編碼裝置使一數據資料進行儲存或讀取動作。本發明能有效使電路減少漏電流的產生，進而大幅降低動態功率之消耗。

五、英文發明摘要 (發明名稱：)



六、指定代表圖

(一)、本案代表圖為：第___四___圖

(二)、本案代表圖之元件代表符號簡單說明：

20	資料區塊	22	字元線
24	位元線	26	記憶胞
28	電晶體	30	及閘
32	電源閘	34	橫列編碼器
36	縱行編碼器	38	接腳



五、發明說明 (1)

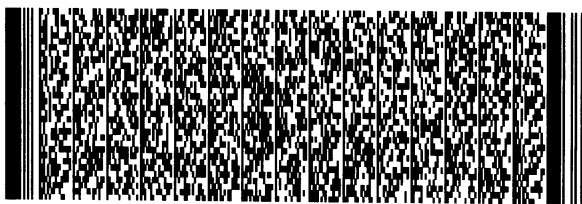
【發明所屬之技術領域】

本發明係有關一種記憶體陣列結構，特別是有關一種大幅降低消耗功率之隨機存取記憶體陣列結構。

【先前技術】

按，記憶體係用以儲存資料或數據的半導體元件，而記憶體可分隨機存取記憶體(Random-Access Memory, RAM)及唯讀記憶體(Read-Only Memory, ROM)。ROM是唯讀的，廠商於ROM上放了電腦開啟時所需的指令，是不能更改的。電腦需要RAM來跑系統及應用程式，及儲存資料，可讀寫，然電源關掉時內容即消失。

習知傳統靜態隨機存取記憶體(Static RAM)陣列結構，如第一圖所示，其係由複數個儲存記憶胞10以陣列的方式排列組合而成，且於同行或同列的記憶胞10則利用共同的導線加以串接，其中連接橫列上的記憶胞10之導線稱之為字元線12 (word line, WL)，而上下縱行的導線則與數據傳輸有關稱之為位元線14 (bit line, BL)，接著將字元線12連接一電源端16，使此靜態隨機存取記憶進行資料的儲存及讀取。然而，當電源端16通電時在整體的電路上有漏電流的情況發生，此漏電流使此電路形成自我反向偏壓(self-reverse biasing)的產生，造成此電路在動態功率上非常多損耗，對於此缺點業界提出改善的方法，請參考第二圖所示，此改良式靜態隨機存取記憶體係在電源端16與記憶胞10之間增加一電源閘18，此電源閘18係為



五、發明說明 (2)

二極體連接式N型金氧半導體(Diode-connected NMOS transistor)，雖然此改良可以降低漏電流及自我反向偏壓的產生，請同時參閱第三圖所示，圖中功率損耗由 V_{ss0} 降至 V_{ss1} ，然而此改善方式仍多少會造成了電路在動態功率上的損耗 V_{ss1} ，所以如何更降低漏電流及自我反向偏壓對隨機存取記憶體的影響係刻不容緩的，也是目前業界所亟需解決的困擾。

有鑑於此，本發明係針對上述之問題，提出一種大幅降低消耗功率之隨機存取記憶體陣列結構。

【發明內容】

本發明之主要目的，係在提供一種隨機存取記憶體陣列結構，藉由將記憶體陣列結構分為複數資料區塊且每一資料區塊分別有一專屬電源閘，使進行存取動作時只供給被存取的資料區塊電源，用以大幅降低動態功率之消耗。

本發明之再一目的，係在提供一種隨機存取記憶體陣列結構，藉由在每一資料區塊設置一專屬電源閘，使電路減少漏電流的產生。

根據本發明，一種隨機存取記憶體陣列結構，其係利用一編碼裝置使一數據資料進行儲存或讀取動作，此隨機存取記憶體陣列結構係由複數資料區塊以陣列之方式組合而成，接著將每一資料區塊連接一及閘，且在每一資料區塊與及閘之間串接一電源閘。

底下藉由具體實施例配合所附的圖式詳加說明，當更



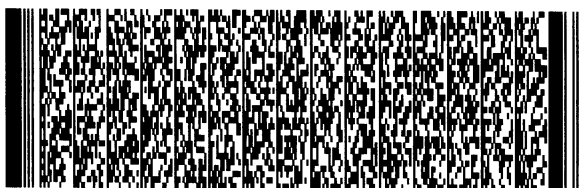
五、發明說明 (3)

容易瞭解本發明之目的、技術內容、特點及其所達成之功效。

【實施方式】

本發明係一種隨機存取記憶體陣列結構，請參閱第四圖所示，此隨機存取記憶體陣列結構係由複數資料區塊20以陣列之方式組合而成，每一資料區塊20包括一字元線22及複數位元線24，此字元線22係連接橫列上的複數記憶胞26，而位元線24則是縱向連接此記憶胞26，每一記憶胞26內設有複數電晶體28，每一電晶體28的源極係電連接至相對的字元線22，而閘極及汲極則共同串接至相對之位元線24並形連電連接。接著將每一資料區塊20分別連接一及閘30，且在每一資料區塊20與及閘30(AND gate)之間設有一電源閘32，此電源閘32係為二極體連接式N型金氧半導體(Diode-connected NMOS transistor)。另外此隨機存取記憶體陣列結構設有一編碼裝置，此編碼裝置包含一橫列編碼器34及一縱行編碼器36。此外此隨機存取記憶體陣列結構設有複數接腳38，用以插設在電腦主機板上接收資料及電力，且此記憶體陣列結構記憶容量在不變情況下，接腳38數量係與每一資料區塊20的記憶容量成反比，也就是接腳38數愈多，則每一資料區塊20的記憶容量愈小。

本創作使用時，將此隨機存取記憶體陣列結構插設在電腦主機板上，藉由複數接腳將一數據資料接收，接收後利用橫列編碼器34及一縱行編碼器36將此數據資料轉換，接著此編碼裝置會選擇一資料區塊20將此數據資料存取，

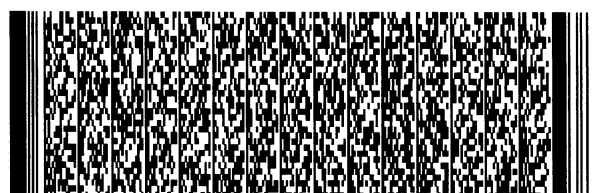
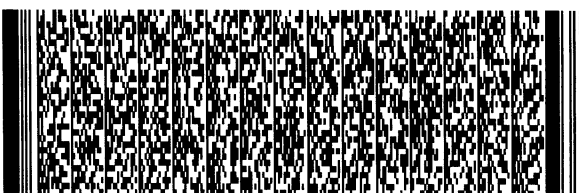


五、發明說明 (4)

其中此數據資料存取時，被選擇之資料區塊20的及閘30會將其所對應連接之電源閘32開啟，其餘在此隨機存取記憶體陣列結構中未選擇之資料區塊20所對應之該電源閘32則係呈現關閉狀態。如此只有被選擇之資料區塊20產生極少許漏電流，使此隨機存取記憶體陣列結構在動態功率消耗上大幅降低，請同時參閱第五圖所示，圖中本發明所消耗的功率比先前的傳統技術下降88%及改良技術下降77%。另外在此隨機存取記憶體陣列結構，除了一資料區塊20設置一電源閘32，也可依讀取或儲存需求改成複數資料區塊20共同使用一電源閘20，如此可使此記憶體陣列結構的設計更多元化，使此隨機存取記憶體陣列結構可應用於動態隨機存取記憶體(Dynamic Random Access Memory, DRAM)、靜態隨機存取記憶體(Static Random Access Memory, SRAM)、快閃記憶體(flash memory)及快取記憶體(cache)之中。

故，本創作藉由將此記憶體陣列結構分為複數資料區塊20且每一資區塊20分別有一電源閘32，使進行存取動作時只供給被存取的資料區塊20電源，使電路減少漏電流的產生，進而大幅降低動態功率之消耗。

以上所述係藉由實施例說明本發明之特點，其目的在使熟習該技術者能瞭解本發明之內容並據以實施，而非限定本發明之專利範圍，故，凡其他未脫離本發明所揭示之精神所完成之等效修飾或修改，仍應包含在以下所述之申請專利範圍中。



圖式簡單說明

【圖式簡單說明】

第一圖為先前技術之傳統式靜態隨機存取記憶體電路示意圖。

第二圖為先前技術之改良式靜態隨機存取記憶體電路示意圖。

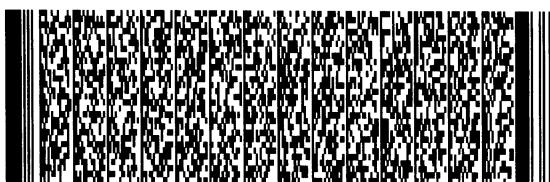
第三圖為先前技術消耗電壓與時間之關係圖。

第四圖為本發明之隨機存取記憶體電路示意圖。

第五圖為本發明與先前技術所消耗動態功率之關係圖。

【主要元件符號說明】

10	記憶胞	12	字元線
14	位元線	16	電源端
18	電源閘	20	資料區塊
22	字元線	24	位元線
26	記憶胞	28	電晶體
30	及閘	32	電源閘
34	橫列編碼器	36	縱行編碼器
38	接腳		



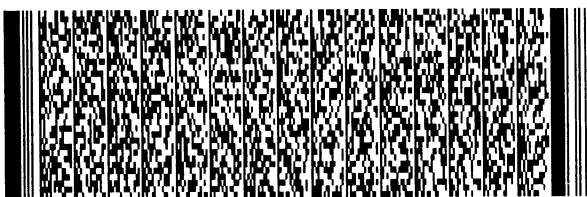
六、申請專利範圍

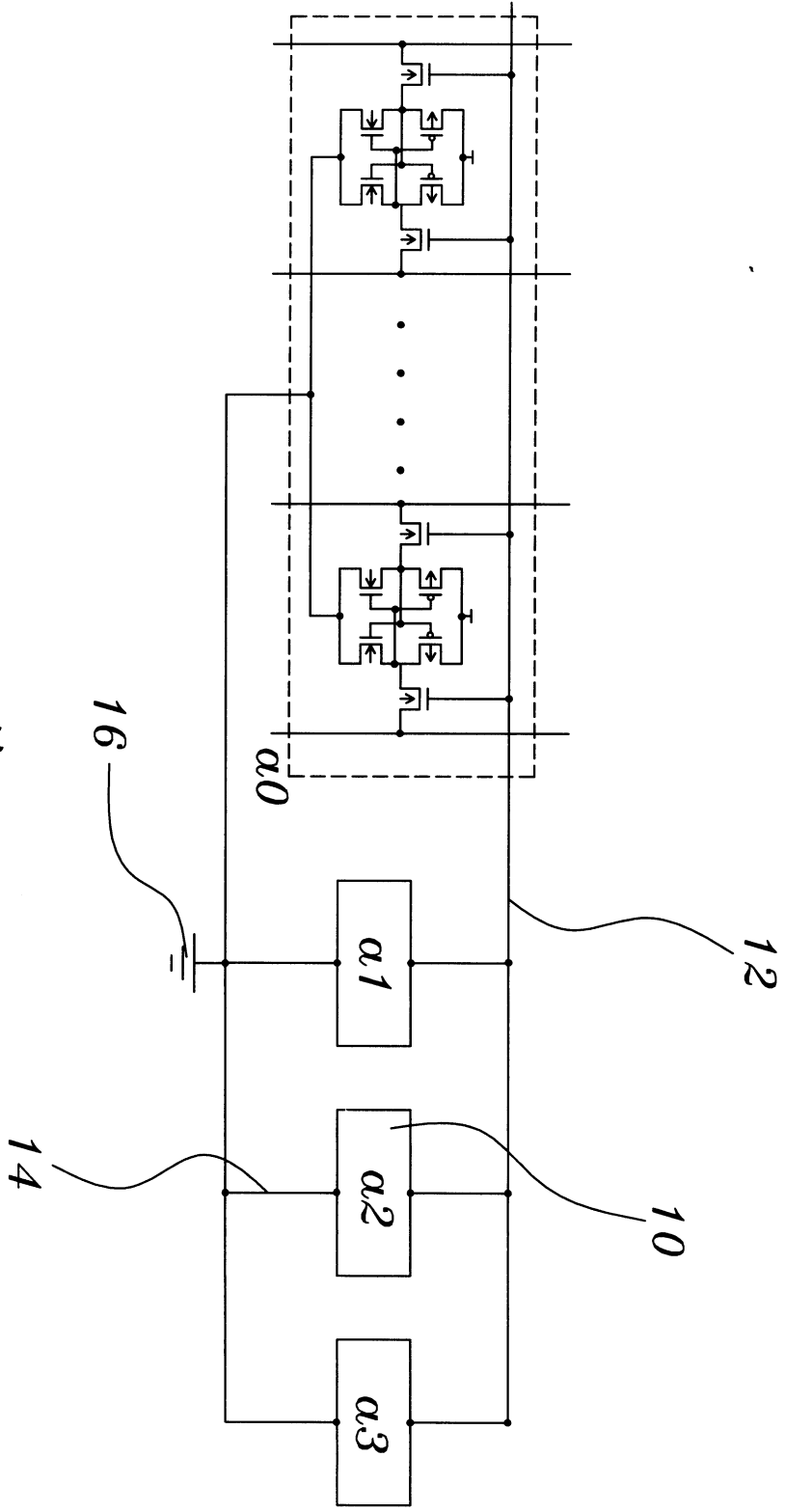
- 1、一種隨機存取記憶體陣列結構，其係利用一編碼裝置使一數據資料進行儲存或讀取動作，該隨機存取記憶體陣列結構包括：
複數資料區塊，其係以陣列之方式排列而成；以及
至少一及閘(AND gate)，其係分別連接每一該資料區塊，且在每一該資料區塊與該及閘之間串接一電源閘。
- 2、如申請專利範圍第1項所述之隨機存取記憶體陣列結構，其中，該等資料區塊包括：
一字元線，其係連接橫列上的複數記憶胞；以及
複數位元線，其係連接縱行之該等記憶胞，每一該記憶胞內設有複數電晶體，該等電晶體之源極係電連接至相對的該字元線，而閘極及汲極則共同串接至相對之該位元線並形連電連接。
- 3、如申請專利範圍第1項所述之隨機存取記憶體陣列結構，其中，該電源閘二極體連接式N型金氧半導體(Diode-connected NMOS transistor)。
- 4、如申請專利範圍第1項所述之隨機存取記憶體陣列結構，更設有複數接腳，用以將該數據資料輸出或寫入。
- 5、如申請專利範圍第4項所述之隨機存取記憶體陣列結構，其中，該等資料區塊之容量大小可依該等接腳數量而改變。
- 6、如申請專利範圍第4項所述之隨機存取記憶體陣列結構，其中，該隨機存取記憶體陣列結構在相同記憶容量下，該等接腳數量係與該等資料區塊之容量大小成反比。



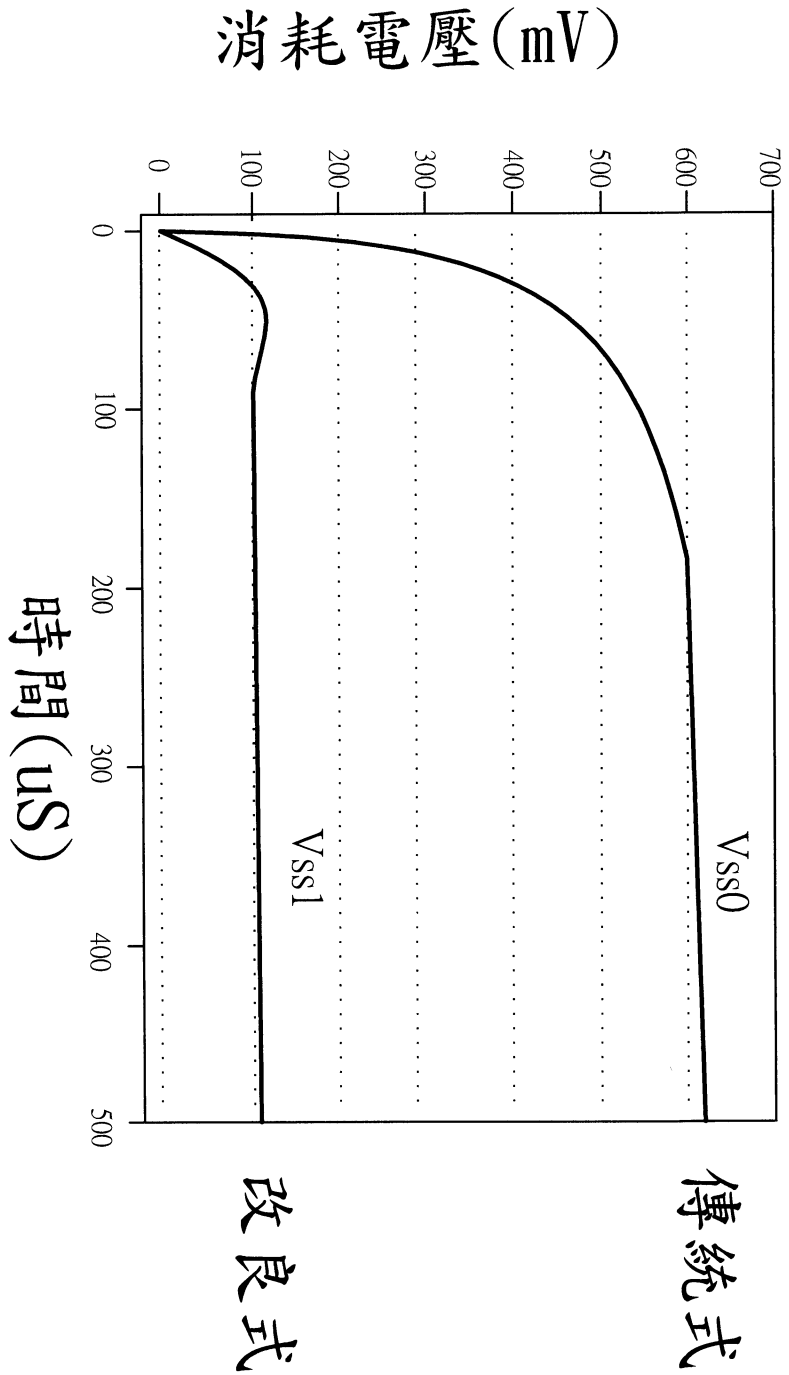
六、申請專利範圍

- 7、如申請專利範圍第1項所述之隨機存取記憶體陣列結構，其中，該複數個該資料區塊可依讀取或儲存需求而共同使用一該電源閘。
- 8、如申請專利範圍第1項所述之隨機存取記憶體陣列結構，其中，該編碼裝置係用以將該數據資料編碼轉換後選擇一該資料區塊，將該數據資料存取入該資料區塊中。
- 9、如申請專利範圍第1項所述之隨機存取記憶體陣列結構，其中，該數據資料存取入該資料區塊時，經由該資料區塊之該及閘將其所對應連接之該電源閘開啟，其餘未存取該數據資料的該資料區塊所對應之該電源閘為關閉。
- 10、如申請專利範圍第1項所述之隨機存取記憶體陣列結構，其中，該隨機存取記憶體陣列結構可應用於動態隨機存取記憶體(Dynamic Random Access Memory, DRAM)、靜態隨機存取記憶體(Static Random Access Memory, SRAM)、快閃記憶體(flash memory)及快取記憶體(cache)。

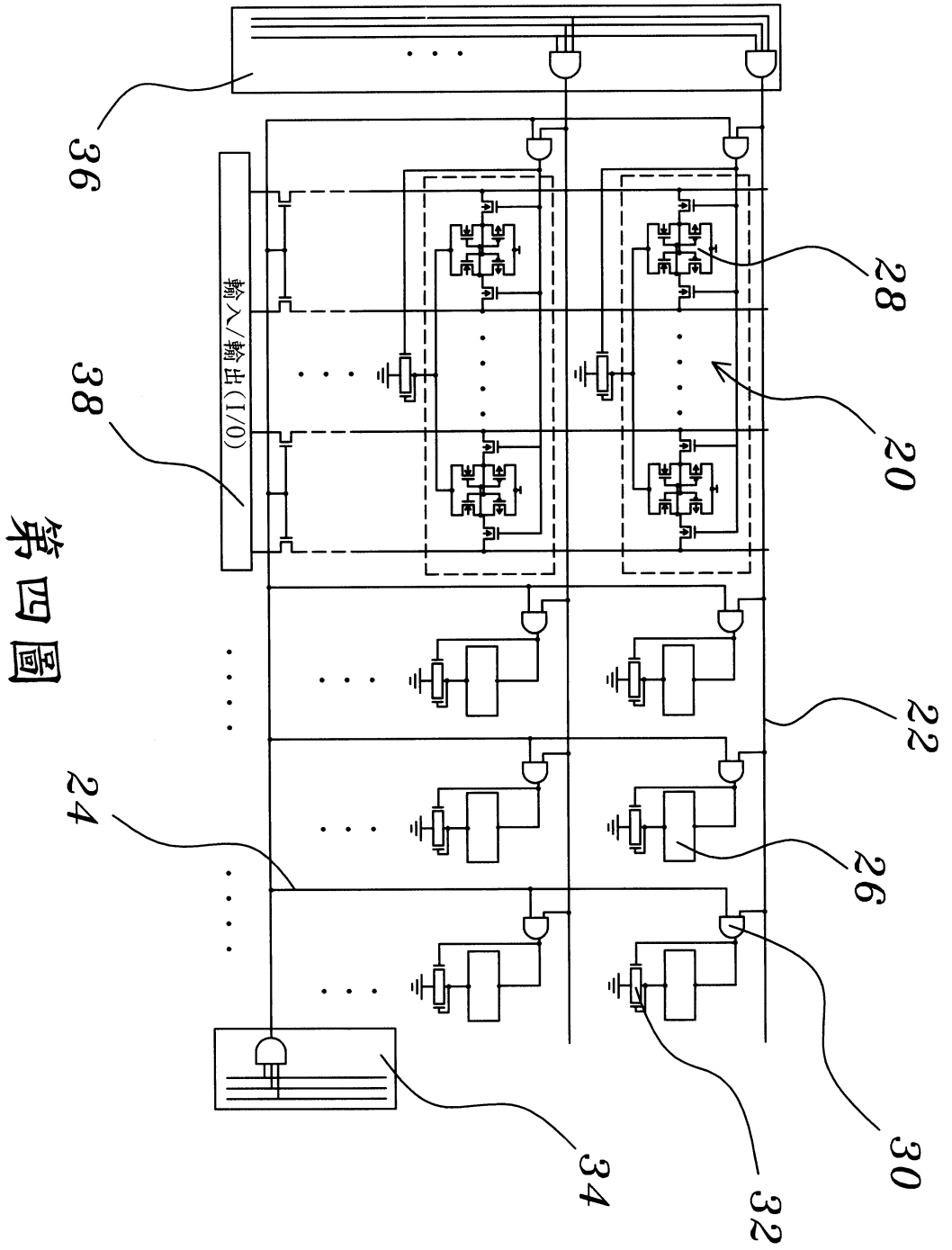




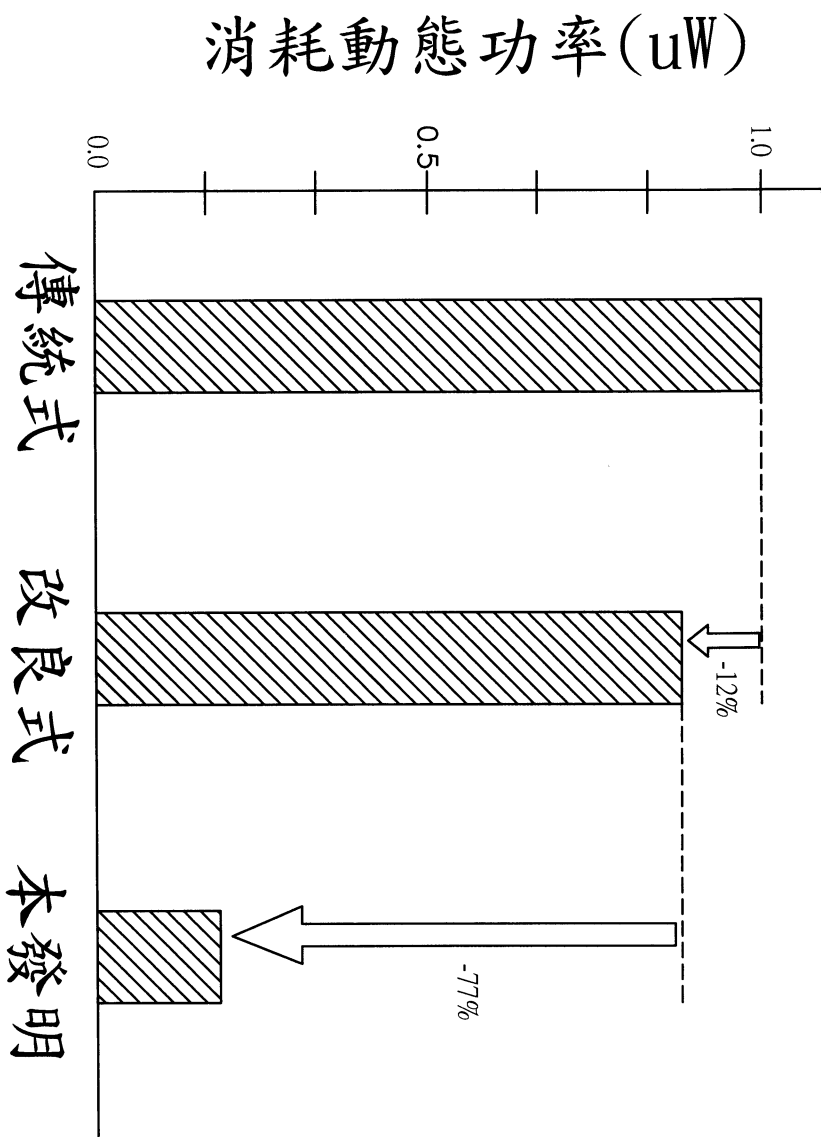
第一圖
(先前技術)



第三圖
(先前技術)



第四圖



第五圖