



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I450853 B

(45) 公告日：中華民國 103 (2014) 年 09 月 01 日

(21) 申請案號：100136611

(22) 申請日：中華民國 100 (2011) 年 10 月 07 日

(51) Int. Cl. : **B82B3/00 (2006.01)****H01L21/3065(2006.01)**(71) 申請人：國立交通大學(中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)  
新竹市大學路 1001 號

(72) 發明人：張原銘 CHANG, YUAN MING (TW) ; 莊振益 JUANG, JENH YIH (TW)

(74) 代理人：林火泉

(56) 參考文獻：

TW 201121878A1

TW 201130732A1

WO 2006/078952A1

審查人員：林士淵

申請專利範圍項數：8 項 圖式數：8 共 0 頁

(54) 名稱

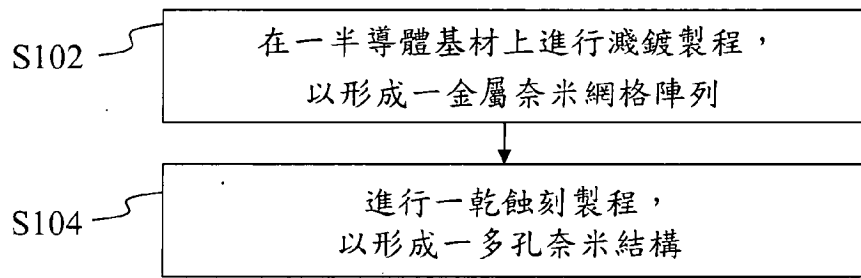
多孔奈米結構之製作方法

A METHOD FOR FABRICATING A POROUS NANO-STRUCTURE

(57) 摘要

一種多孔奈米結構之製作方法，係藉由在一半導體基材上進行一濺鍍製程，以形成一金屬奈米網格陣列。之後，再對上述之半導體基材與金屬奈米網格陣列進行一乾蝕刻製程，以在半導體基材上形成一多孔奈米結構。利用此種製作方法，僅需兩道製程步驟，即可完成高性能之抗反射多孔矽奈米仿生結構的製作，相較於習知，可有效兼具減少繁瑣製程步驟以及具備高抗反射性之優點。

A method for fabricating a porous nano-structure includes steps of performing a sputtering process on a semiconducting substrate to form a metal nano-grids array, and performing a dry etching process to form a porous nano-structure upon the semiconducting substrate. By employing this fabrication method, it requires only two process steps to form a biomimetics porous silicon. As a result, compared to the prior art, the process and energy cost can be significantly reduced, and the porous Si biomimetics nano-structure with as low as about 0.69% of reflectivity over the spectral region ranging from deep-ultraviolet to infrared light is obtained.



第 1 圖

## 發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號： 100136611

※申請日： 100.10.07

※IPC 分類：

B82B 3/00 = 2006.01

H01L 21/3065 = 2006.01

一、發明名稱：(中文/英文)

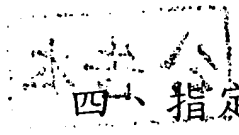
多孔奈米結構之製作方法 / A method for fabricating a porous nano-structure

二、中文發明摘要：

一種多孔奈米結構之製作方法，係藉由在一半導體基材上進行一濺鍍製程，以形成一金屬奈米網格陣列。之後，再對上述之半導體基材與金屬奈米網格陣列進行一乾蝕刻製程，以在半導體基材上形成一多孔奈米結構。利用此種製作方法，僅需兩道製程步驟，即可完成高性能之抗反射多孔矽奈米仿生結構的製作，相較於習知，可有效兼具減少繁瑣製程步驟以及具備高抗反射性之優點。

三、英文發明摘要：

A method for fabricating a porous nano-structure includes steps of performing a sputtering process on a semiconducting substrate to form a metal nano-grids array, and performing a dry etching process to form a porous nano-structure upon the semiconducting substrate. By employing this fabrication method, it requires only two process steps to form a biomimetics porous silicon. As a result, compared to the prior art, the process and energy cost can be significantly reduced, and the porous Si biomimetics nano-structure with as low as about 0.69% of reflectivity over the spectral region ranging from deep-ultraviolet to infrared light is obtained.



四、指定代表圖：

(一)本案指定代表圖為：第 ( 1 ) 圖。

(二)本代表圖之元件符號簡單說明：

無。

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

## 六、發明說明：

### 【發明所屬之技術領域】

本發明係有關於一種多孔奈米結構之製作方法，特別是一種利用乾蝕刻製程來製作出具備高抗反射性的奈米仿生結構之製作方法。

### 【先前技術】

奈米級顆粒係為人所熟知的。在多種產品例如塗料、墨水、醫藥、治療製劑及化妝品中皆利用奈米級顆粒之性質，並且令其作為諸如熱塑性塑料及熱固性材料之基質材料之添加劑。由於奈米顆粒相對於材料中佔有極大百分比之原子總數可另外具有其獨特或有效之尺寸相依性質，且該等性質係不同於彼等相同組合物之塊狀材料者，因此在工業上係被廣泛地使用。

一般而言，已知銀為一種優良的導體。若銀顆粒足夠小而不致阻擋大量光，且若顆粒係相互連接於一塗層基板上，則該基板應可具有一呈現高導電性、良好透明性及堅固性之銀顆粒塗層。先前技術用來製造上述金屬微顆粒之方法多為化學合成的方式，不僅步驟繁瑣冗雜，更需要精度較高之儀器。

除此之外，就目前已發表的國際期刊（SCI）之中，皆必須利用二道以上之製程步驟，方可完成金屬微顆粒的製作。此一製作方式通常是以化學氣相沈積（chemical vapor deposition, CVD）或是物理氣相沈積（physical vapor deposition, PVD）製程先沈積一層薄膜於基板表面。然後，再應用高溫退火（post annealing），使該薄膜形成球狀的聚集，最後方可形成金屬奈米的顆粒陣列。由於上述之高溫退火製程，必需以例如高於 500 °C 的高溫方可完成，不僅在製作上耗費大量的能源與成本，更需要大量的製程時間。

再者，若欲將上述附有銀顆粒塗層的基板製作為一抗反射的奈米仿生結構，則必須再次透過其他化學合成或熱處理之步驟，於此，更進一步地增加其製程之複雜度（complexity）。

有鑑於此，本發明遂提出一種多孔奈米結構之製作方法，藉以有效解決習知技術存在的問題。

### 【發明內容】

本發明之主要目的係在提供一種多孔奈米結構之製作方法，其係僅需以兩道製程步驟，即可完成製作具備高抗反射的多孔奈米結構，係為一兼具高效率及節省時間之製程方法。

本發明之另一目的係在提供一種多孔奈米結構之製作方法，其無須經過任何熱處理製程即可完成金屬奈米網格陣列，並進一步藉由金屬奈米網格陣列作為一效果極佳的金屬遮罩，使得半導體基材免於受到蝕刻，進而完成多孔奈米結構之製作。此一多孔奈米結構於一入射光波長範圍下，具備極低的反射率，可有效應用於製作高效率之太陽能電池。

為達到上述之目的，本發明係有關於一種多孔奈米結構之製作方法，此一製作方法首先在一半導體基材上進行一濺鍍製程，以形成一金屬奈米網格陣列。之後，再對上述之金屬奈米網格陣列與半導體基材進行乾蝕刻製程，使半導體基材上形成一多孔奈米結構。

根據本發明之實施例，此一濺鍍製程中所使用的靶材材質可以是：金（Au）、銀（Ag）、白金（Pt）、鎳（Ni）或銦錫氧化物（ITO），以形成與金屬奈米網格陣列同材質之金屬或合金。

根據本發明之實施例，其中上述之半導體基材材質為矽時，其形成之

多孔奈米結構係為一多孔矽奈米結構 (porous silicon nano-structure)。

根據本發明之實施例，當有一入射光入射多孔奈米結構，且入射光之波長介在 300 至 1000 奈米時，上述之多孔奈米結構具有一約為 0.69% 之反射率。

底下藉由具體實施例配合所附的圖式詳加說明，當更容易瞭解本發明之目的、技術內容、特點及其所達成之功效。

### 【實施方式】

本發明揭露一種利用乾蝕刻製程，即可形成多孔奈米結構的製作方法，其無須透過額外之退火或熱處理步驟，不僅達到節約能源與時間的目的，並且製作過程中亦無需任何微影 (lithography) 製程，可大幅省卻習知繁冗之製程步驟。

利用此種多孔奈米結構，在 300 至 1000 奈米之入射光波長範圍下，其具備有極低之反射率 (約為 0.69%)，此一數據結果係發表於世界知名的國際期刊 (The Journal Physical Chemistry C)，證實本發明所揭示之多孔奈米結構之價值與應用於產業界之潛力。

請參閱第 1 圖，係為根據本發明實施例多孔奈米結構之製作方法的步驟流程圖。此一製作方法主要包括步驟 S102 與步驟 S104，以下關於本發明所揭示之製作方法請一併參閱第 2A 圖至第 2D 圖所示，茲詳細說明如下。

首先，如步驟 S102 所示，本發明首先提供一半導體基材 10。此一半導體基材 10 例如可為矽晶圓，其材質例為矽 (Si)。之後，如第 2B 圖所示，在半導體基材 10 上進行一濺鍍 (sputter) 製程 20。

根據本發明之實施例，此一濺鍍製程 20 可經由一射頻濺鍍系統 (RF

Sputtering System) 來進行，其選用的靶材材質例如為：金 (Au)、銀 (Ag)、白金 (Pt)、鎳 (Ni) 或是銦錫氧化物 (ITO)，以藉由上述之金屬/合金材質形成本發明後續所欲製作的金屬奈米網格陣列。

其中，濺鍍製程中所使用的各項參數可設定如下：濺鍍功率：150 瓦特 (W)，氬氣流量：25 sccm，濺鍍時間：20 秒。

因此，如第 2C 圖所示，在完成以上述參數設定之濺鍍製程後，本發明即可在半導體基材 10 上形成一金屬奈米網格陣列 (metal nano-grids array) 12。

由上可知，相較於先前技術，本發明僅需單一濺鍍製程，即可完成金屬奈米網格陣列的製作，且此一金屬奈米網格陣列的成長過程僅需 20 秒鐘，亦無須經過退火製程，大幅降低了習知製作所需耗費的時間、電力與製作成本。

之後，請同時參閱第 1 圖與第 2D 圖，如步驟 S104 所示，本發明接著對金屬奈米網格陣列 12 與半導體基材 10 進行一乾蝕刻 (dry etching) 製程 30，此一乾蝕刻製程 30 例如可以是一製程時間為 7 至 13 分鐘之反應式離子蝕刻 (reactive ion etching)，其中較佳的乾蝕刻製程為 10 分鐘，以使得半導體基材 10 上形成一多孔奈米結構。

在一實施例中，當選用的半導體基材 10 之材質為矽時，則本發明所形成之多孔奈米結構係為一多孔矽 (porous Si) 奈米結構。

根據本發明之實施例，當上述之濺鍍製程中所選用的靶材材質為銀，則本發明可製作出銀奈米網格陣列，第 3 圖係為根據一實施例之銀奈米網格陣列的掃描式電子顯微鏡 (Scanning Electron Microscope, SEM) 成像圖。



由於此一銀奈米網格陣列可做為一效果極佳的金屬遮罩 (mask)。因此，當在進行第 2D 圖之乾蝕刻製程 30 時，基於銀奈米網格陣列的保護，可使得矽晶圓於乾蝕刻製程 30 中，免於受到蝕刻，進而使得矽晶圓上形成一多孔矽奈米結構，第 4 圖即為根據本發明實施例之多孔矽奈米結構 14 的掃描式電子顯微鏡 (Scanning Electron Microscope, SEM) 成像圖，其左上插圖係為較大倍率的 SEM 圖。

請參見第 5 圖，其係為根據本發明實施例之多孔矽奈米結構與矽基板之反射率數據分析圖，由第 5 圖之數據可見，此一多孔矽奈米結構係為一種極佳之抗反射 (anti-reflective) 多孔奈米結構。在入射光波長介在 300 至 1000 奈米時，具有一平均反射率 (reflectance) 0.69%，可有效應用作太陽能產業中必要的抗光反射奈米結構，具有應用範圍極廣且製程簡單之優勢。

因此，鑒於以上，熟習此項技術領域者根據本發明所揭示之技術思想，如以乾蝕刻製程所製作而成之多孔奈米結構，皆應隸屬於本發明之發明範圍。

綜上所述，本發明提出一種多孔奈米結構之製作方法，其基於開發綠色能源、及降低製作成本與時間等之目的，提出以乾蝕刻製程完成多孔奈米結構之製作方法，藉此克服習知技術存在之缺失。

由於本發明獨特的製程步驟僅需極短的製程時間，並且無須額外之退火、熱處理或微影製程，將具備可觀之市場佔有率，促進相關產業之蓬勃發展。

以上所述之實施例僅係為說明本發明之技術思想及特點，其目的在使熟習此項技藝之人士能夠瞭解本發明之內容並據以實施，當不能以之限定

本發明之專利範圍，即大凡依本發明所揭示之精神所作之均等變化或修飾，仍應涵蓋在本發明之專利範圍內。

### 【圖式簡單說明】

第 1 圖係為根據本發明實施例多孔奈米結構之製作方法的步驟流程圖。

第 2A 圖係為根據本發明實施例之半導體基材的結構示意圖。

第 2B 圖係為根據本發明實施例進行濺鍍製程的結構示意圖。

第 2C 圖係為根據本發明實施例之金屬奈米網格陣列的結構示意圖。

第 2D 圖係為根據本發明實施例進行乾蝕刻製程的結構示意圖。

第 3 圖係為根據本發明實施例之銀奈米網格陣列的掃描式電子顯微鏡成像圖。

第 4 圖係為根據本發明實施例之多孔矽奈米結構的掃描式電子顯微鏡成像圖。

第 5 圖係為根據本發明實施例之多孔矽奈米結構與矽基板之反射率數據分析圖。

### 【主要元件符號說明】

- 10 半導體基材
- 12 金屬奈米網格陣列
- 14 多孔矽奈米結構
- 20 濺鍍製程
- 30 乾蝕刻製程

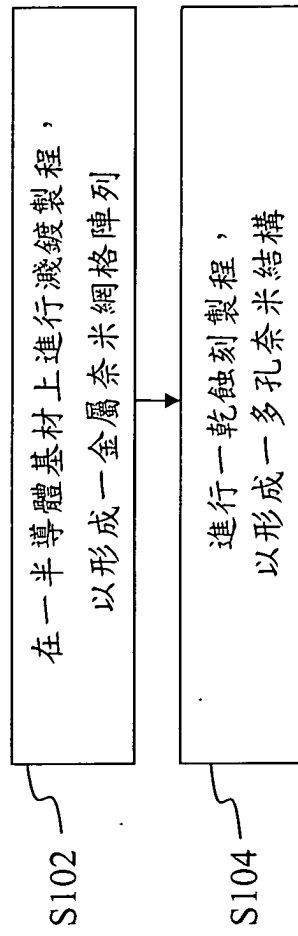
## 七、申請專利範圍：

1. 一種多孔奈米結構之製作方法，包括以下步驟：

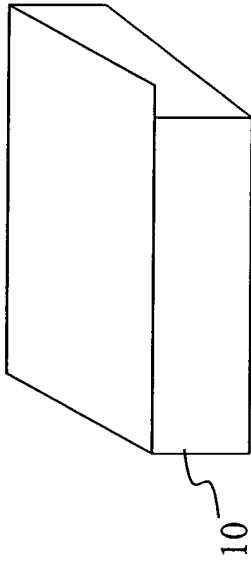
在一半導體基材上進行一濺鍍製程，以形成一金屬奈米網格陣列；以及對該金屬奈米網格陣列與該半導體基材進行一乾蝕刻製程，使該半導體基材上形成一抗反射之多孔奈米結構。

2. 如請求項 1 所述之多孔奈米結構之製作方法，其中該半導體基材之材質係為矽時，該多孔奈米結構係為一多孔矽奈米結構。
3. 如請求項 1 所述之多孔奈米結構之製作方法，其中該濺鍍製程係經由一射頻濺鍍系統（RF Sputtering System）所進行。
4. 如請求項 1 所述之多孔奈米結構之製作方法，其中該濺鍍製程中所使用的靶材材質係為：金（Au）、銀（Ag）、白金（Pt）、鎳（Ni）或銦錫氧化物（ITO），以形成與該金屬奈米網格陣列同材質之金屬或合金。
5. 如請求項 1 所述之多孔奈米結構之製作方法，其中該濺鍍製程之濺鍍功率為 150 瓦特（W），氬氣流量為 25 sccm，濺鍍時間為 20 秒。
6. 如請求項 1 所述之多孔奈米結構之製作方法，其中該乾蝕刻製程係為一反應式離子蝕刻（reactive ion etching）製程。
7. 如請求項 1 所述之多孔奈米結構之製作方法，其中該乾蝕刻製程之製程時間約為 7 至 13 分鐘。
8. 如請求項 1 所述之多孔奈米結構之製作方法，其中一入射光入射該多孔奈米結構，且該入射光之波長介在 300 至 1000 奈米時，該多孔奈米結構之反射率約為 0.69%。

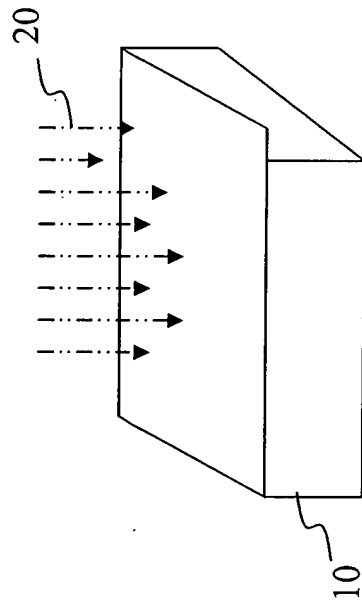
八、圖式：



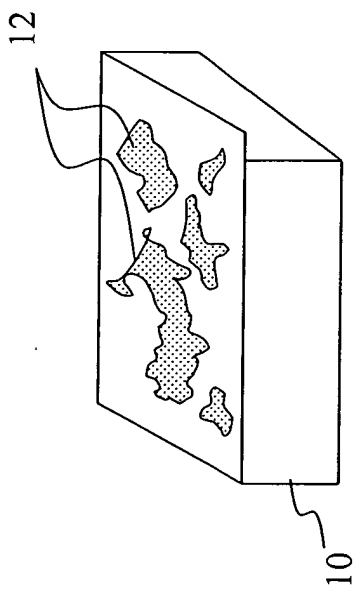
第1圖



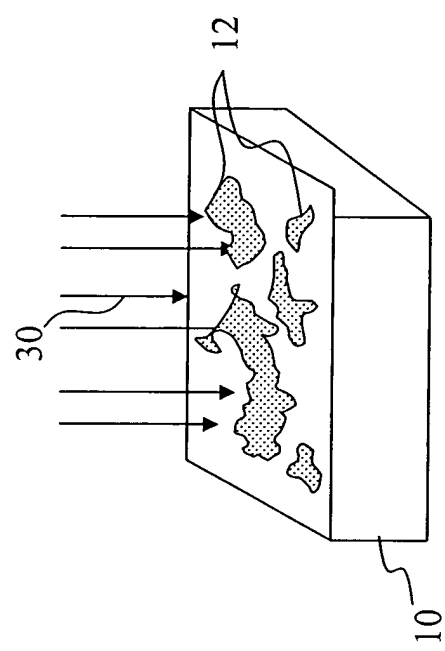
第 2A 圖



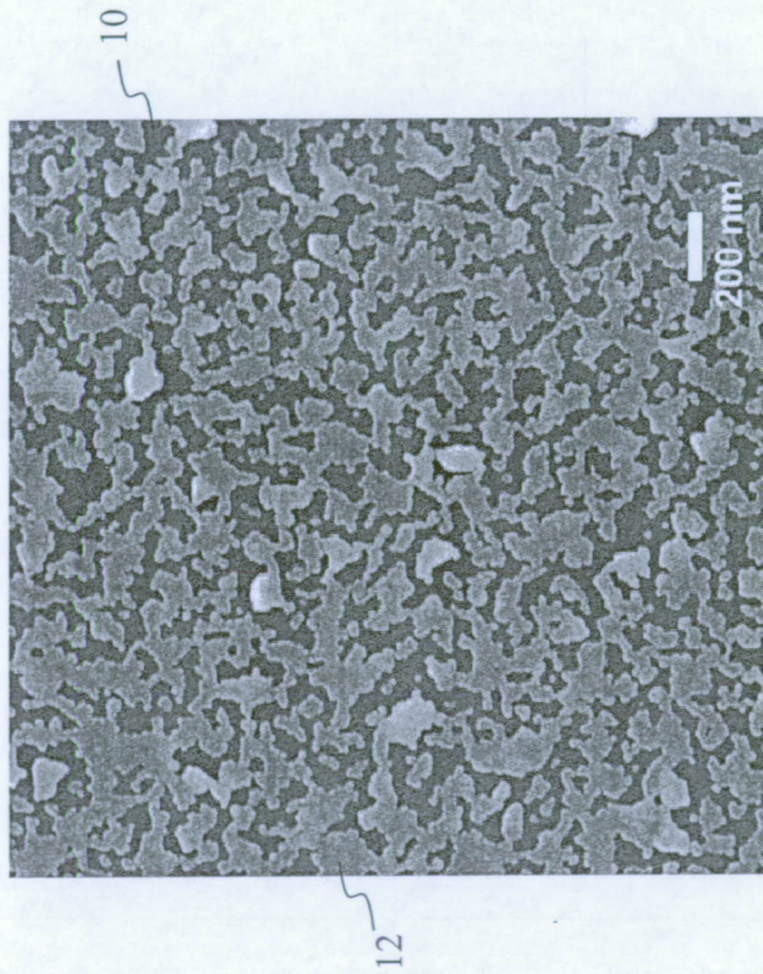
第 2B 圖



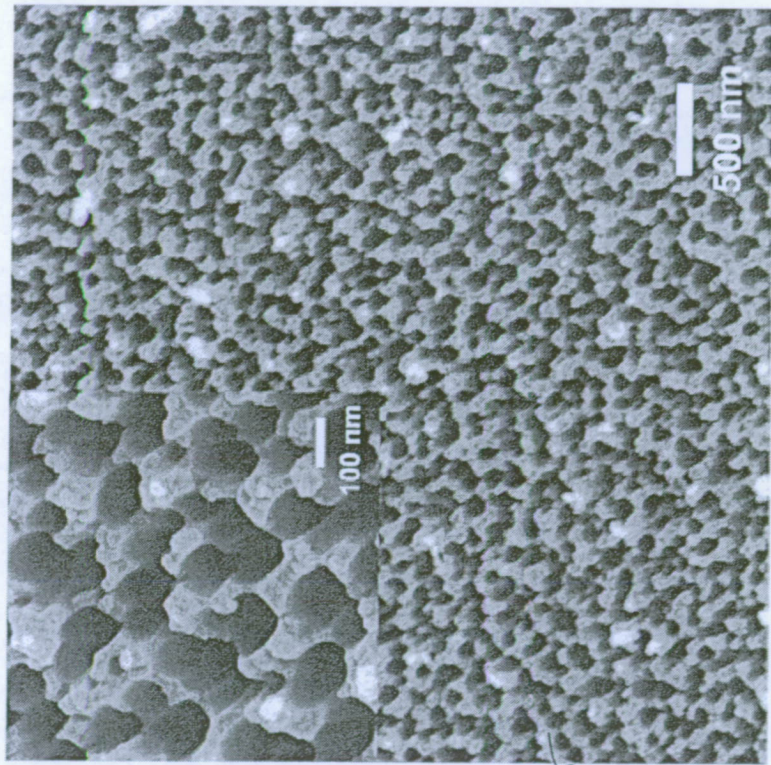
第 2C 圖



第 2D 圖



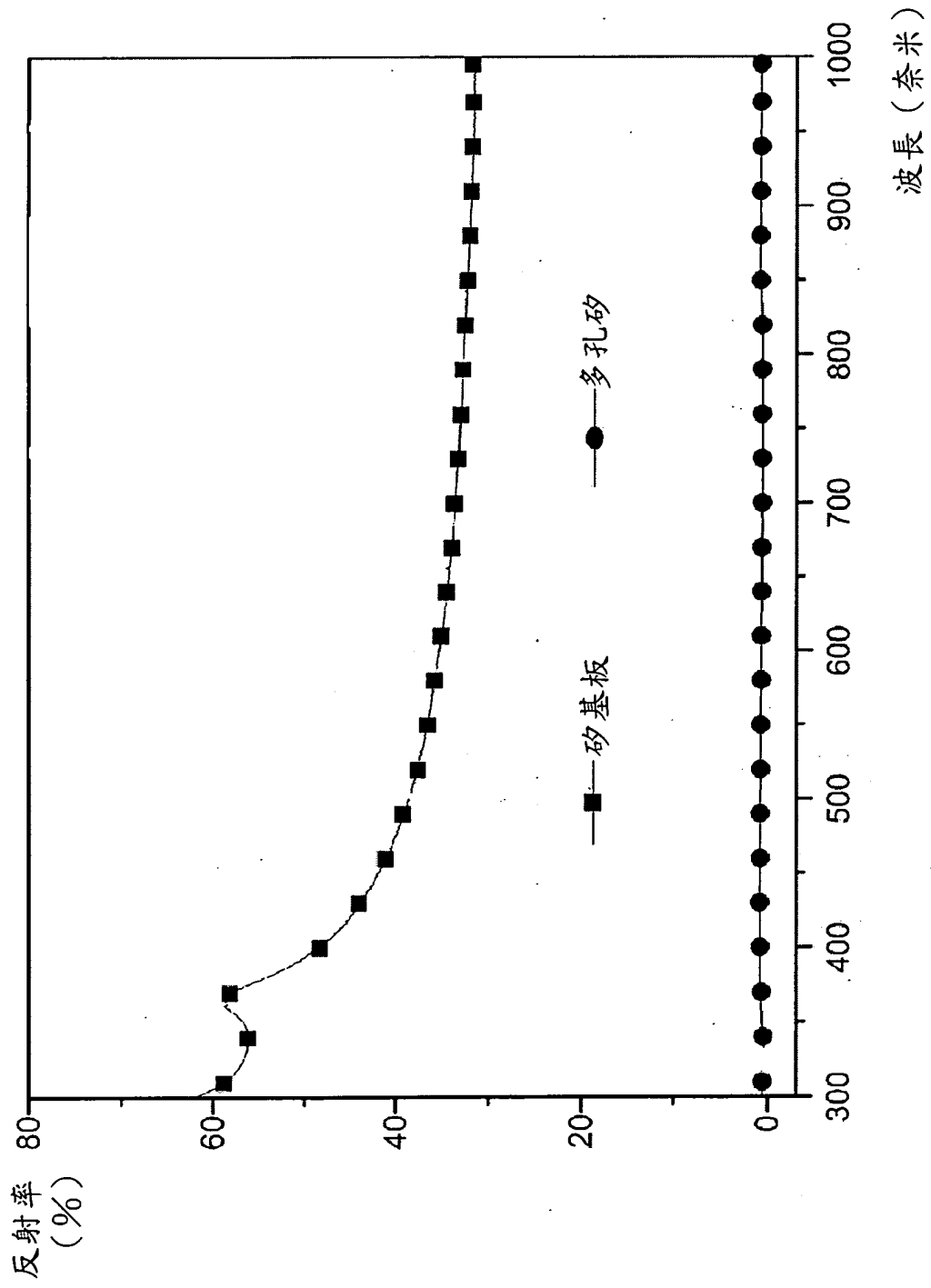
第3圖



14

第4圖





第5圖