

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：P411133P

※申請日期：94.4.11

※IPC 分類：H01L 21/02

一、發明名稱：(中文/英文)

應用於積體電路之微型電感

A MINIATURE INDUCTOR SUITABLE FOR INTEGRATED CIRCUITS

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

國立交通大學

NATIONAL CHIAO TUNG UNIVERSITY

代表人：(中文/英文)

張俊彥/CHANG, CHUN-YEN

住居所或營業所地址：(中文/英文)

新竹市大學路 1001 號

1001 Ta-Hsueh Rd., Hsinchu, Taiwan R.O.C.

國籍：(中文/英文)

中華民國/R.O.C

三、發明人：(共 2 人)

姓名：(中文/英文)

1. 郭建男/KUO, CHIEN-NAN

2. 馬健嘉/MA, CHIEN-CHIA

國籍：(中文/英文)

1. ~ 2. 中華民國/R.O.C

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

本案未在國外申請專利

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

一種應用於積體電路之微型電感，包括具有共平面帶線之一半導體基板以及多數個 MIM 電容，其中這些 MIM 電容相互平行連接於共平面帶線之傳輸線間，且連接這些 MIM 電容之共平面帶線更包括交叉型平面帶線結構或平移型平面帶線結構。本發明使用加入 MIM 電容以及對折傳輸線的方式，減小電感所佔用之面積，並減輕電感受基材損耗影響的低品質因子之問題。

六、英文發明摘要：

A miniature inductor suitable for integrated circuits is presented. It is constructed by coplanar stripline(CPS) and several metal-insulator-metal(MIM) capacitors on the silicon substrate. Those MIM capacitors are connected distributively between the stripline. Moreover, the coplanar stripline structure can be configured as the crossed and shifted patterns. By inserting MIM capacitors and folding the transmission line, this invention not only reduces the chip area occupied by inductors but alleviates the quality factor degradation that is introduced by coil substrate loss.

七、指定代表圖：

(一)本案指定代表圖為：第 3 圖。

(二)本代表圖之元件符號簡單說明：

- 1 (金屬 - 絕緣體 - 金屬, MIM) 電容
- 3 末端短路的共平面帶線
- 4 末端短路的高慢波係數共平面帶線
- 5 交叉的高慢波係數共平面帶線
- 6 交叉型平面帶線結構

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

九、發明說明：

【發明所屬之技術領域】

本發明係有關一種應用於積體電路之微型電感，且特別是有關於一種具有對折型之共平面帶線之微型電感。

【先前技術】

習知應用於積體電路之微型電感佔用面積甚大，並且受基材損耗影響、品質因子值不高以及自振頻率不高。

目前以一般積體電路製程技術來製作電感的方式有非常多種，舉例來說，由 W. Abadeer et al.於 2004 年 3 月所提出之“Inductor for Integrated Circuits”美國專利案第 6,714,113 號及由 J. N. Burghartz et al.於 1996 年 1 月在 IEEE MTT 提出之論文“Microwave Inductors and Capacitors in Standard Multilevel Interconnect Silicon Technology”皆使用微帶傳輸線(microstrip line)架構，此架構為平面式，雖然應用螺旋形狀或折線形式，但缺點仍是佔用面積較大，且在積體電路矽製程中，易受基材損耗影響且難以提高品質因子(Quality factor)。

另外根據 C.-C. Tang et al 於 2002 年 4 月所提出之論文“Miniature 3-D Inductors in Standard CMOS Process”其利用多層金屬連線結構，將電感設計成立體形狀，如此則能減少佔用面積。缺點是因多層結構影響，造成寄生電容較大，使得應用頻段較低，無法難以提升至 10GHz 以上。再者，由 Danesh et al 於 2002 年 1 月所提出之論文“Differentially Driven Symmetric Microstrip Inductors”討論如果以差動方

式使用微帶傳輸線架構，可大幅提昇品質因子，但缺點是仍無法減少佔用面積。

【發明內容】

有鑑於此，本發明之目的在於提供一種應用於積體電路之微型電感，此微型電感可降低電感元件所佔用之面積，有效降低高頻積體電路的成本，以及同時減輕電感受基材損耗影響所造成之低品質因子之問題。

為達本發明之目的，本發明提出一種應用於積體電路之微型電感，其主要係使用一般積體電路製程，至少包括：具有一共平面帶線之半導體基板、多數條金屬線、多數個金屬-絕緣體-金屬(Metal-Insulator-Metal, MIM)電容 1。其中多數條金屬線形成於半導體基板之表面上；多數個 MIM 電容 1 平行連接於共平面帶線之傳輸線間。

根據本發明一較佳實施例，本發明微型電感有兩種打折結構，一種為交叉型平面帶線結構 6，另一種為平移型平面帶線結構 8。其中交叉型平面帶線結構 6 具有一將共平面帶線從中間部分交叉並反轉之形狀。平移型平面帶線結構 8 具有一將平移部分共平面帶線並將其反轉之形狀。

本發明另外提出一種應用於積體電路之微型電感之製作方法，包括下列步驟：提供一半導體基板；於半導體基板表面上形成共平面帶線；連接多數個 MIM 電容 1 於共平面帶線之傳輸線間；將共平面帶線從中間部分交叉；以及將交叉後之共平面帶線反轉。

本發明又提出一種應用於積體電路之微型電感之製作

方法，包括下列步驟：提供一半導體基板；於半導體基板表面上形成共平面帶線；連接多數個 MIM 電容 1 於共平面帶線之傳輸線間；平移部分此共平面帶線；以及將平移後之共平面帶線反轉。

綜上所述，本發明應用傳輸線理論，於末端短路之共平面帶線 3 內加入 MIM 電容 1 元件以提高慢波係數 (slow-wave factor)，加上交叉或平移並反轉之方法，以減小電感所佔用面積來製作微型電感。且本發明之設計架構採用平面式架構，所以寄生電容較小，可配合高頻率波段應用。

為達本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖示，做詳細說明如下：

【實施方式】

第 1 圖為傳輸線單截線阻抗匹配法之示意圖。由圖可知，當我們將一條傳輸線末端短路時，可將其看成一個具電感性的電路元件使用，其輸入阻抗如下列方程式 (1) 所示，將方程式 (1) 展開之後，將其展開整理之後可得由輸入阻抗之實部虛部，進而推得方程式 (2)。

$$Z_{in} = Z_0 \cdot \tanh(\gamma l) = (R + jX) \cdot \tanh((\alpha + \beta j)l) \quad \dots \text{方程式 (1)}$$

$$Q = \left(\frac{\sin 2\beta l}{\sinh 2\alpha l} + \frac{X}{R} \right) / \left(1 - \frac{X}{R} \frac{\sin 2\beta l}{\sinh 2\alpha l} \right) \quad \dots \text{方程式 (2)}$$

由下列方程式 (3) 可知，我們可以看出在一特定的特性阻抗 R 之下，若想要降低所使用的傳輸線長度，則必須使用較大的 β 值，另外由方程式 (4) 可知藉由增加單位長度電感

或電容值來達到我們的目標：

$$L_{eff} = R \tan(\beta l) / \omega \quad \dots \text{方程式 (3)}$$

$$\beta = \omega \sqrt{LC} \quad \dots \text{方程式 (4)}$$

第 2 圖為根據本發明一較佳實施例於共平面帶線 (Coplanar strip line, CPS) 加入 MIM 電容 1 之示意圖。請參照第 2 圖，根據高慢波係數共平面帶線 (High Slow-wave factor CPS, HS-CPS)² 的概念，藉由 β 值的增加，可以有效降低所使用的長度，也就是面積可以變小，不過因為特性阻抗也會隨之下降，因此長度縮短的效果是取決於 tangent 函數上升的速度，當我們使用較大的 β 值時，由於函數上升的幅度較快，因此可以使用較短的線長。至於電感 Q 值的部分，由方程式 (2) 我們可以看出，當電感 α 值越低時，Q 值的表現就會越好，而造成能量損失的主因是由於基板損耗 (substrate loss) 以及導體損耗 (conductor loss)。除了 CPS 本身差動激發的特性，使得基板損耗減少之外，位在 CPS 線與線之間的 MIM 電容 1 會更進一步將電場集中，降低到矽基板中的耦合 (coupling) 將損失降到最低；而金屬損失的部分，我們採取將製程中兩層金屬線以並接的方式解決。

由於所設計的 CPS 線長度可能會長達數百 μm ，因此本發明使用將 CPS 線打折，根據本發明之一較佳實施例，對折結構有兩種，第一種為交叉型平面帶線結構 6，亦即為第 3a~3d 圖根據本發明較佳實施例之下線電感架構示意圖。首先，第 3a 圖繪示末端短路的共平面帶線 3 之架構圖；接著，

連接多數個相互平行之 MIM 電容 1 於共平面帶線之傳輸線間，形成末端短路的高慢波係數共平面帶線 4，亦即如第 3b 圖所示；然後，將連接多數個 MIM 電容 1 之共平面帶線從中間部分交叉，即交叉的高慢波係數共平面帶線 5 如第 3c 圖所示；最後，將交叉後之共平面帶線進行反轉，亦即如第 3d 圖所示。

在本發明另一較佳實施例中，採取另外一種對折結構，亦即平移型平面帶線結構 8。如第 4a~4d 圖所示，與上述實施例之交叉型平面帶線結構不同之處在於，平移已連接多數個 MIM 電容 1 之部分共平面帶線，即平移的高慢波係數共平面帶線 7 如第 4c 圖所示；接下來，將平移後之共平面帶線進行反轉，如第 4d 圖所示。

上述這兩種繞線方式不僅可以因為對折而將面積縮短為一半，還可以因為兩條線之間的互感，增加每單位長度的電感值，使得 β 值和特性阻抗也隨之增加，將有助於 CPS 總長度的降低。

在本發明一較佳實施例中，其目標為實現工作在 10GH 附近的 1nH 電感器，且整個電感長度低於 200 μm 。在此舉設計 1nH 電感器為例：首先，在步驟 a 中，令 $\beta_1=40^\circ$ ， $l=400\text{um}$ 時所需的 β 與特性阻抗 R 分別為 1.8 (rad/mm)，75 歐姆；接下來，在步驟 b 中，藉由電磁模擬軟體以及手算分析可推知：當週期性地每相距 64 μm ，加入每單位為 16fF 的 MIM 電容 1，將可使其大致達到所需的 β 值；最後，在步驟 c 中，藉由調整金屬線距與線寬使得特性阻抗滿足設計時的需

求，並且在 10GHz 具有 1nH 的電感值。

第 5a 圖為根據本發明較佳實施例之交叉並反轉之 CPS 的等效模型示意圖。請參照第 5a 圖，值得注意的是，由於我們將 CPS 打折，因此每單位長度會有兩條傳輸線通過。考慮第一種對折方式時，亦即交叉型平面帶線結構 6，我們視其為是兩條不同特性阻抗 Z_1 、 Z_2 而長度皆為 L 的傳輸線互相連接，最後再將其等效為一條特性阻抗為 Z_3 ，長度為 $2L$ 的傳輸線。可以利用電磁模擬軟體得到等效的 Z_3 以及 γ_3 ，以便利用前述之方程式進行電感器的設計。

本發明第 5b 圖為根據本發明較佳實施例之平移並反轉之 CPS 的等效模型示意圖。參照第 5b 圖，考慮第二種打折方式時，亦即平移型平面帶線結構 8，由於兩條 CPS 線具有相同的特性阻抗 Z_1' ，因此我們將其等效為一條特性阻抗 Z_3' 、傳播係數 γ_3' 而長度為 $2L$ 的傳輸線。

本發明較佳實施例之兩種架構如第 6a 圖與第 6b 圖所示，MIM 電容 1 用第六層金屬線 9 接線的方式與周圍兩邊金屬相連，若要連接到最外層金屬，由於要橫跨並接的第六層金屬線與第五層金屬線 10，必須使用第四層金屬線 11。

在本發明一較佳實施例中，針對兩種架構來進行效能的比較，相同之規格條件設定為：相同金屬線寬 8 μm 、金屬線間距 2 μm 、M6 與 M5 相並接的情況下開始進行模擬：

第一種架構 Symmetric (差動激發)：無加入電容，亦即為一般的對稱式電感；

第二種架構 MiM_S64 μm ：在電感內部每隔 64 μm 加入

MIM 電容 1；

結果顯示，在相同電感值的情況下，使用 MIM 電容 1 的第二種架構電感器相較於第一種沒有加入 MIM 電容 1 架構电感器的面積的確能夠減少大約百分之十五左右，而且 Q_{max} 所發生的位置也就在 10GH 附近表示我們利用此架構也能夠對 Q_{max} 進行調整，讓電感的使用更有效率。

雖然本發明已以許多較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可做些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

第 1 圖為傳輸線單截線阻抗匹配法之示意圖；

第 2 圖為根據本發明較佳實施例於 CPS 線加入 MIM 電容器之示意圖；

第 3a~3d 圖為根據本發明較佳實施例之下線電感架構示意圖；

第 4a~4d 圖為根據本發明較佳實施例之下線電感架構示意圖；

第 5a 圖為根據本發明較佳實施例之交叉並反轉之 CPS 的等效模型示意圖；

第 5b 圖為根據本發明較佳實施例之平移並反轉之 CPS 的等效模型示意圖；

第 6a~6b 圖為根據本發明較佳實施例之兩種折線方式的架構示意圖。

【 元件代表符號 】

- 1 (金屬 - 絕緣體 - 金屬, MIM) 電容
- 2 高慢波係數共平面帶線 (HS-CPS)
- 3 末端短路的共平面帶線
- 4 末端短路的高慢波係數共平面帶線
- 5 交叉的高慢波係數共平面帶線
- 6 交叉型平面帶線結構
- 7 平移的高慢波係數共平面帶線
- 8 平移型平面帶線結構
- 9 第六層金屬線
- 10 並接的第六層金屬線與第五層金屬線
- 11 第四層金屬線

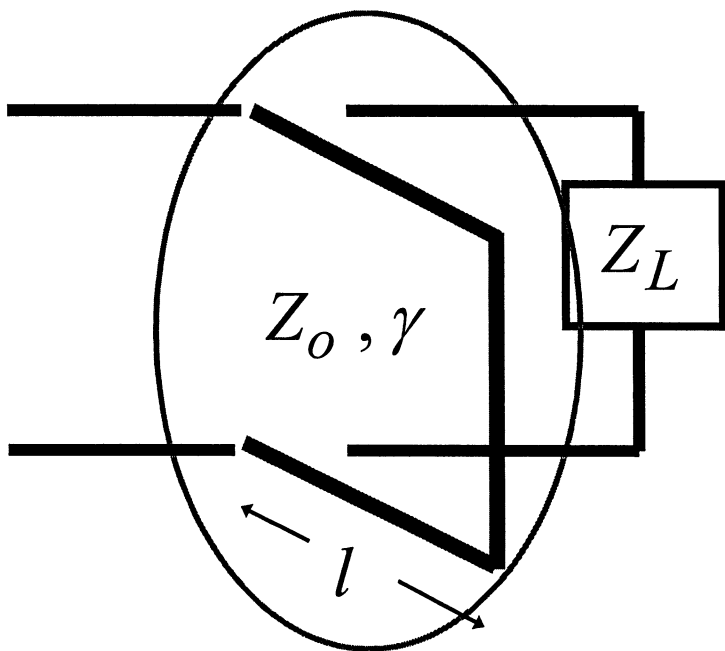
十、申請專利範圍：

1. 一種應用於積體電路之微型電感，包括：
 - 具有一共平面帶線之一半導體基板；
 - 多數個 MIM 電容，該些 MIM 電容相互平行連接於該共平面帶線之一傳輸線間；以及
 - 其中，連接該些 MIM 電容之該共平面帶線更包括一交叉型平面帶線結構或一平移型平面帶線結構。
2. 如申請專利範圍第 1 項所述之微型電感，其中該交叉型平面帶線結構係具有一種將該共平面帶線從中間部分交叉並將其反轉之形狀。
3. 如申請專利範圍第 1 項所述之微型電感，其中該平移型平面帶線結構係具有一種平移部分該共平面帶線並將其反轉之形狀。
4. 如申請專利範圍第 1 項所述之微型電感，其中該共平面帶線之末端係為短路。
5. 如申請專利範圍第 1 至 3 項中任一項所述之微型電感，其中金屬損失的區域係將該共平面帶線具有之部分金屬線進行並接。
6. 如申請專利範圍第 5 項所述之微型電感，其中包括使用一積體電路矽製程製造該微型電感。
7. 一種應用於積體電路之微型電感之製作方法，包括下列步驟：
 - 提供一半導體基板；
 - 於該半導體基板形成一共平面帶線；

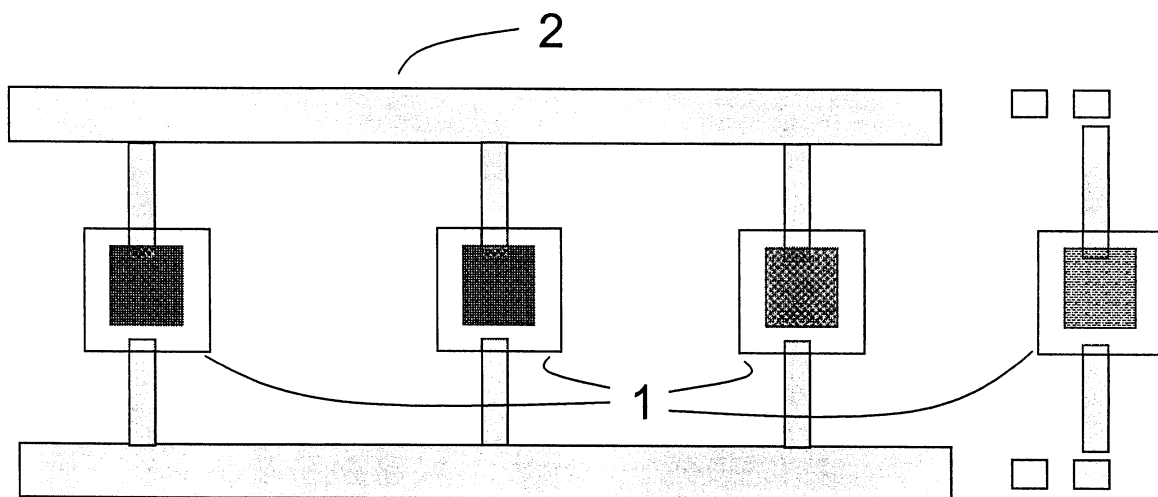
連接多數個 MIM 電容於該共平面帶線之傳輸線間；以及形成一將該共平面帶線從中間部分交叉並反轉之形狀。

8. 如申請專利範圍第 7 項所述之製作方法，其中該共平面帶線之末端係為短路。
9. 如申請專利範圍第 7 項所述之製作方法，其中金屬損失的區域係將該共平面帶線具有之部分金屬線進行並接。
10. 如申請專利範圍第 7 項所述之製作方法，其中包括使用一積體電路矽製程製造該微型電感。
11. 一種應用於積體電路之微型電感之製作方法，包括下列步驟：
 - 提供一半導體基板；
 - 於該半導體基板形成一共平面帶線；
 - 連接多數個 MIM 電容於該共平面帶線之傳輸線間；以及形成一將部分該共平面帶線平移並反轉之形狀。
12. 如申請專利範圍第 11 項所述之製作方法，其中該共平面帶線之末端係為短路。
13. 如申請專利範圍第 11 項所述之製作方法，其中金屬損失的區域係將該共平面帶線具有之部分金屬線進行並接。
14. 如申請專利範圍第 11 項所述之製作方法，其中包括使用一積體電路矽製程製造該微型電感。

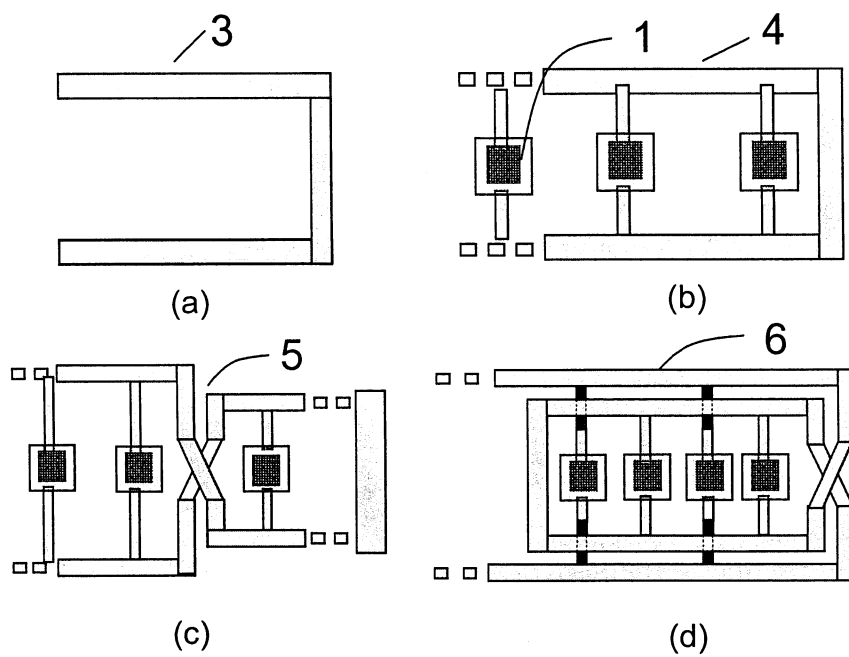
十一、圖式：



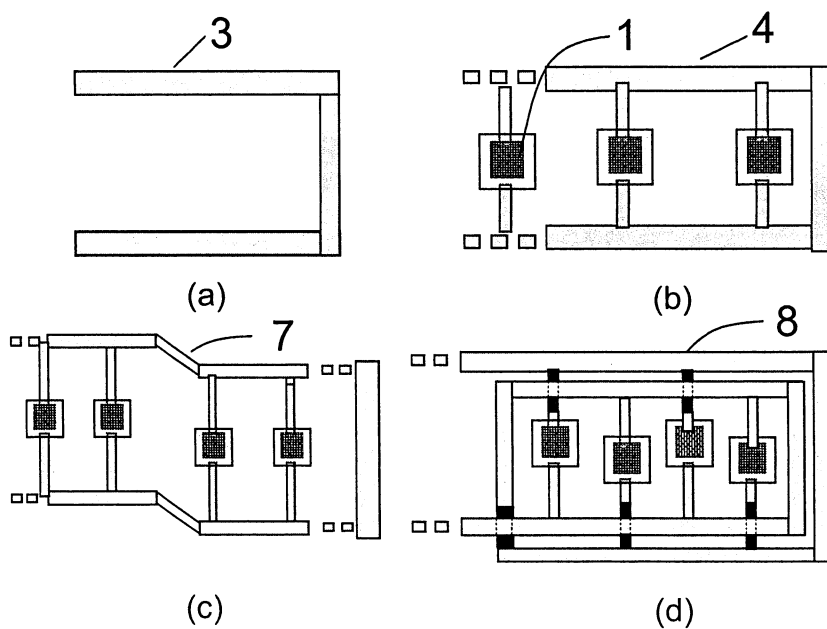
第 1 圖



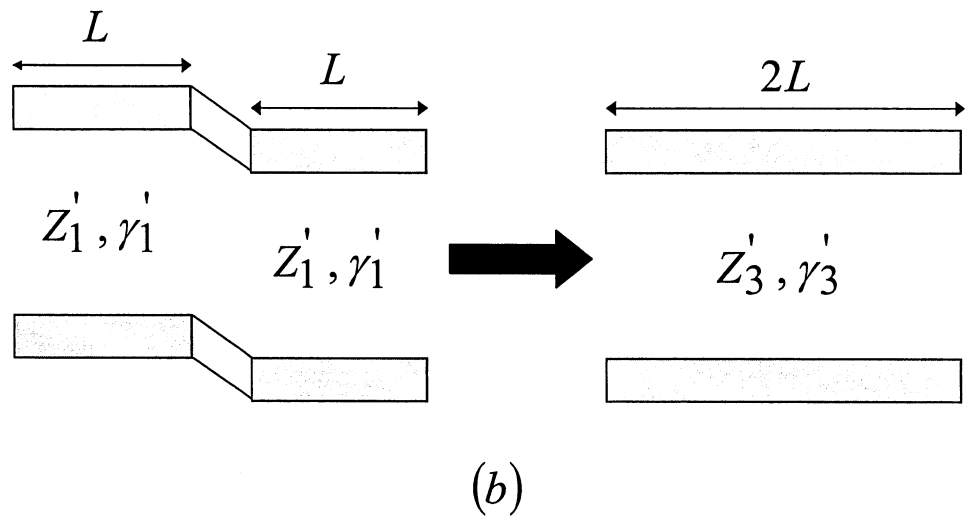
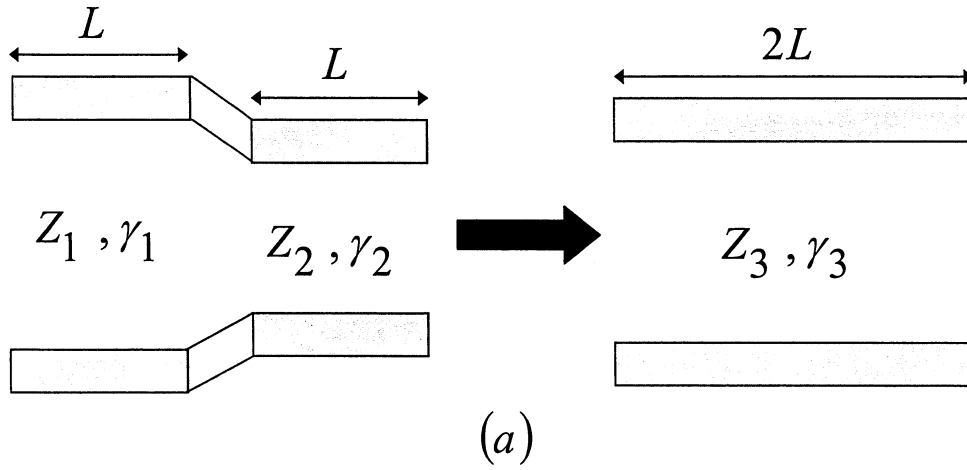
第 2 圖



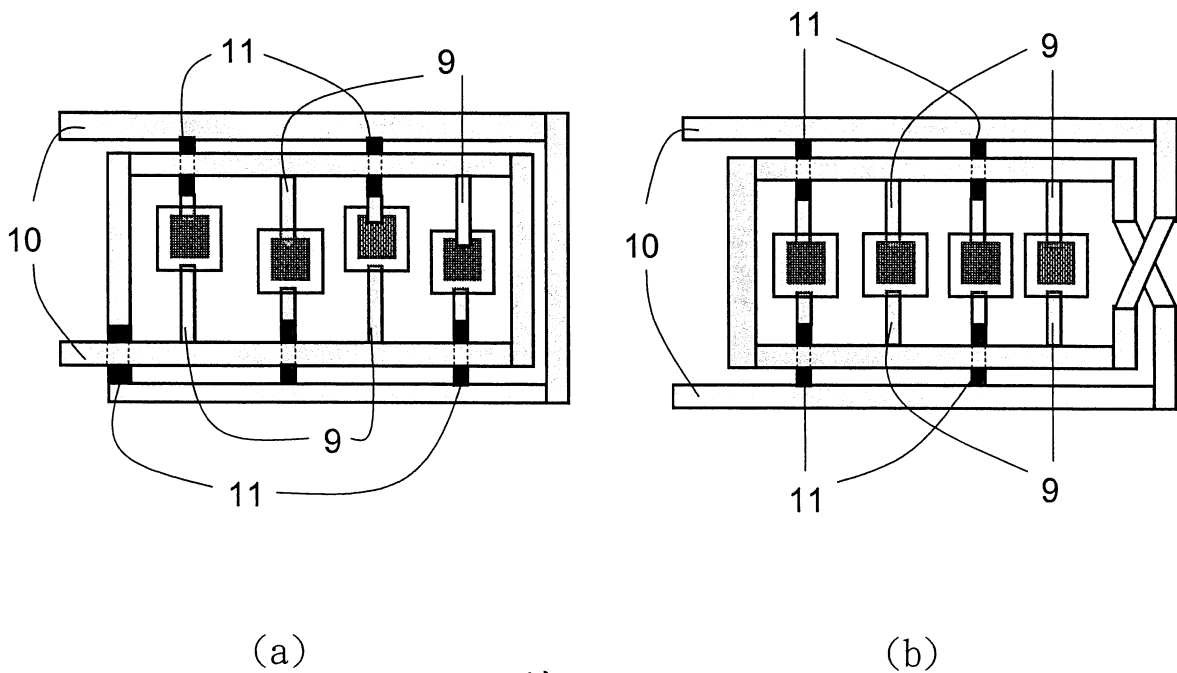
第 3 圖



第 4 圖



第 5 圖



第 6 圖