

# 發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：97121273

※申請日期：97.10.15

※IPC 分類：H02M 3/04  
405F 1/10

一、發明名稱：(中文/英文)

電荷幫浦式直流轉直流轉換器增益電路

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

國立交通大學 / National Chiao Tung University

代表人：(中文/英文) 張俊彥 / Chun-Yen Chang

住居所或營業所地址：(中文/英文)

新竹市大學路 1001 號 / 1001 Ta Hsueh Rd., Hsinchu,  
Taiwan

國籍：(中文/英文) 中華民國

三、發明人：(共 2 人)

姓名：(中文/英文)

1. 張隆國

2. 胡致暉

國籍：(中文/英文)

1. 中華民國

2. 中華民國

四、聲明事項：

主張專利法第二十二條第二項第一款或第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

### 五、中文發明摘要：

本發明係為藉由電荷幫浦輸出級跨壓損失修正電路 (PGI)，使輸出級的切換開關能適當的阻止輸出端的電荷倒灌回升壓電路中，並且不會產生輸出級的跨壓損失，改善輸出電壓的限制，且可搭配一比較器與一緩衝電路形成  $n^i$  指數倍率升壓的直流轉直流電源轉換電路，簡化本發明之整體的升壓電路，可減少製作成本，適用於低輸入電壓（如：一般電池）的情況下操作，可作為直流轉直流的電壓轉換器。

### 六、英文發明摘要：

## 七、指定代表圖：

(一)本案指定代表圖為：第 ( 1 ) 圖。

(二)本代表圖之元件符號簡單說明：

電荷幫浦輸出級跨壓損失修正電路	1
第一金屬氧化半導體	1 1
第一電容	1 2
第二電容	1 3
第二金屬氧化半導體	1 4
第三金屬氧化半導體	1 5
第四金屬氧化半導體	1 6
第五金屬氧化半導體	1 7
第六金屬氧化半導體	1 8
節點 A	2 1
節點 B	2 2
節點 C	2 3
節點 D	2 4

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

## 九、發明說明：

### 【發明所屬之技術領域】

本發明係提供一電荷幫浦式直流轉直流轉換器增益電路，特別是本發明係利用指數升壓架構串接或改變兩倍電荷幫浦電路來提升電壓的倍率，可適用於晶片設計、記憶體、手持式電子產品及驅動電路等相關產業。

### 【先前技術】

目前串接式的電荷幫浦電路在串接級數少時，輸出電壓倍率勉強可以隨著串接級數增加而增加，但當串接級數增多時，若要再提升輸出電壓倍率，可能需要串接很多級的電路，才能達到高倍率的電壓輸出，然而當級數增加至某個程度，因金屬氧化半導體(MOS)開關臨界電壓( $V_{th}$ )上升的關係，後面級數的開關可能無法正常運作，造成輸出電壓受到限制，雖可利用時脈(clock)來提升金屬氧化半導體開關閘極控制電壓，以克服金屬氧化半導體開關的臨界電壓，使金屬氧化半導體開關得以正常運作，但當級數太多或者升壓太高，使得後級的金屬氧化半導體開關的臨界電壓大幅上升至超過時脈可以克服的範圍，造成電荷幫浦電路無法有效工作，且升壓的限制更易出現在輸入電壓較小的操作情況下，由於輸入電壓小，其時脈的電壓也較小，無法克服金屬氧化半導體開關臨界電壓上升的現象將提早產生。

上述之電荷幫浦電路的架構，以金屬氧化半導體二極體(MOS diode)串聯，搭配適當的時脈來推動充電電容，使電壓隨著電路級數線性的增加，但由於金屬氧化半導體二極體之導通特性造成導通跨壓降的問題，造成每一級電路的跨壓損失，且當輸出電壓隨串接級數增加，金屬氧化半導體二極體中之源極端(Source)與基極端(Body)的電位差也越大，導致基板效應(body effect)更加嚴重，造成臨界電壓會隨充電電壓上升而提高，使得每一級電路的跨壓損失隨著級數增加而提高，將使最高可產生的電壓受到限制。

為解決上述的問題，可以利用改變製程改變基極端的連接方式來改善，在製程上將使用浮動的井(floating well)加在金屬氧化半導體之外面，臨界電壓上升的情況將趨緩，但影響仍然存在，且製程改變也變更了標準製程，造成製作上的不便。Jieh-Tsorng Wu所提出的NCP系列的修改(NCP1 & NCP2)，為了解決每一級向後級傳輸時，臨界電壓所造成的電壓浪費，利用後級產生的高電壓驅動前級的金屬氧化半導體開關(後極的高電壓接至前級金屬氧化半導體開關的閘極端)，但由於後級的臨界電壓上升十分嚴重，欲要產生夠大的閘極電壓( $V_g$ )才能克服，而後級的電壓已經受到臨界電壓的影響，使得輸出電壓受到限制。

**【發明內容】**

因此，本發明之主要目的係在於提供一電路級數少、電路結構簡單及無輸出電壓限制之電荷幫浦式直流轉直流轉換器增益電路。

為達上述之目的，本發明係提供一電荷幫浦式直流轉直流轉換器增益電路，係藉由電荷幫浦輸出級跨壓損失修正電路（PGI），使輸出級的切換開關能適當的阻止輸出端的電荷倒灌回升壓電路中，同時使輸出級不會因基體效應（body effect）而造成開關或二極體跨壓損失變大的問題，改善輸出電壓的限制。該電荷幫浦輸出級跨壓損失修正電路可搭配一比較器與一緩衝電路形成  $n^i$  指數倍率升壓的直流轉直流電源轉換電路，具備高輸出電壓轉換倍率，並解決了因線性升壓而受到基體效應限制的問題，達到  $n^i$  指數倍率升壓（其中， $n$  為每一級電路的升壓倍率， $i$  為總共使用到的升壓電路之總級數）。本發明之電荷幫浦輸出級跨壓損失修正電路搭配  $n^i$  指數倍率升壓的直流轉直流電源轉換電路，將有效提高升壓效率，並因電路級數少，可減少製作成本，適用於低輸入電壓（如：一般電池）的情況下操作，可作為直流轉直流的電壓轉換器，以低成本的電路達到高升壓倍率的電壓，可應用於相關晶片設計、記憶體、手持式電子產品及驅動電路等產業。

**【實施方式】**

請參閱『第 1 ~ 6 圖』所示，係本發明之電荷幫浦輸出級跨壓損失修正電路示意圖、本發明之電壓增益提升之電荷幫浦輸出級跨壓損失修正電路示意圖及本發明之電荷幫浦輸出級跨壓損失修正電路之電壓模擬圖。如圖所示：本發明之電荷幫浦式直流轉直流轉換器增益電路係包含電荷幫浦輸出級跨壓損失修正電路 (PGI) 1，該電荷幫浦輸出級跨壓損失修正電路 (PGI) 1 由一作為 PN 接面之第一金屬氧化半導體 (MOS) 1 1 的兩端分別與一第一電容 1 2 及一第二電容 1 3 相連接，一作為二極體之第二金屬氧化半導體 1 4 之一端與一第三金屬氧化半導體 1 5 之一端相連接成一連接端，該連接端並與該第二電容 1 3 及該第一金屬氧化半導體 1 1 之相連端連接，而該第三金屬氧化半導體 1 5 之另一端與該第二金屬氧化半導體 1 4 之另一端連接，該第三金屬氧化半導體 1 5 作為開關使用，一第四金屬氧化半導體 1 6 之一端、該第三金屬氧化半導體 1 5 之閘極端與一第五金屬氧化半導體 1 7 之閘極端及一第六金屬氧化半導體 1 8 之一端相連接，且該第六金屬氧化半導體 1 8 之閘極端與該第四金屬氧化半導體 1 6 之閘極端相連接，並與該第二金屬氧化半導體 1 4 及該第一金屬氧化半導體 1 1 之相連端連接，該第六金屬氧化半導體 1 8 之另一端與該第一金屬氧化半導體 1 1 之閘極端相連接，而上述之第五金屬氧化半導體 (MOS Switch output, MSO) 1 7



為輸出級切換開關，可在適當的時脈週期導通或關閉，阻止輸出端的電荷倒灌回升壓電路中，同時使輸出級不會因基體效應(body effect)而造成開關或二極體跨壓損失變大。

在電荷幫浦輸出級跨壓損失修正電路電壓模擬中，當輸入電壓 ( $V_{dd}$ ) 等於時脈 1 ( $clk1$ ) 3 1 等於時脈 2 ( $clk2$ ) 3 2 等於 3V 時，因其輸入電壓夠大，輸出升壓速度很快，在約  $5\mu s$  時，輸出電壓 ( $V_{out}$ ) 3 3 達到理想值 12V (如第 3 圖所示)。若將輸入電壓 ( $V_{dd}$ ) 降為 1.5V 時，輸出響應雖然較慢，但仍約在  $25\mu s$  達到理想值 6V 之輸出電壓 3 3 (如第 4 圖所示)。將所有電容充滿電荷成為 1.5V 輸出電壓之穩態操作狀態下，節點 C (node C) 2 3 的  $V_c$  電壓 2 3 1 隨著時脈 1 3 1 被頂起，其變動週期將和時脈 1 3 1 一致，當時脈 1 3 1 於高準位時，該  $V_c$  電壓 2 3 1 被推升至時脈 1 3 1 之高準位 (約 6V)，將該  $V_c$  電壓 2 3 1 經該第五金屬氧化半導體 1 7 輸出至輸出電壓 ( $V_{out}$ ) 3 3，因該第五金屬氧化半導體 1 7 的閘極 (gate) 端足以克服臨界電壓 (threshold voltage,  $V_{th}$ ) 的高電壓 (如第 5 圖之  $V_B$  電壓 2 2 1)，使該第五金屬氧化半導體 1 7 完全導通，故該  $V_c$  電壓 2 3 1 接近 6V 的電壓完全提供給輸出端 (如第 5 圖所示)。

為了產生夠高的該第五金屬氧化半導體 1 7 之閘極 (gate) 電壓，在時脈 2 高 (high) (如表 1 所示) 時，節點

A(node A) 2 1 的  $V_A$  電壓 2 1 1 被推至高位準 (略小於 7.5V)，再透過由 PMOS 所接成 PN 二極體 (PN junction diode) 之第一金屬氧化半導體 1 1 對節點 B(node B) 2 2 的第一電容 1 2 充電，由於該第一金屬氧化半導體 1 1 有導通的跨壓降 (cut-in voltage 約 0.5V)，使得節點 B 2 2 的  $V_B$  電壓 2 2 1 提升至大約 7V ( $7.5 - 0.5 = 7V$ )，即為第二電容 1 3 對第一電容 1 2 充電，將使該第二電容 1 3 所儲存的電荷消耗一些並儲存至該第一電容 1 2，所以該  $V_A$  電壓 2 1 1 會略微下降，所損失的電壓 (會損失的電荷) 將在下一個半週期 (clk1 high, clk2 low) 時，由電容 C3 補充。由於該第一金屬氧化半導體 1 1 為 PMOS 所接成 PN 二極體，該 PN 二極體的導通壓降不會受到基體效應的影響，而接近一定值，所以該  $V_B$  電壓 2 2 1 不會因該第一金屬氧化半導體 1 1 的導通跨壓而大幅度的下降。當下一個半週期 (clk1 high, clk2 low) 時，因該第一電容 1 2 之下極板連接至時脈 1 3 1，所以該  $V_B$  電壓 2 2 1 被往上推升一個時脈 (clock) 約為 8.5V ( $7 + 1.5 = 8.5V$ )，該  $V_C$  電壓 2 3 1 被時脈 1 3 1 推至 6V 而要對輸出電容充電時，該第五金屬氧化半導體 1 7 的閘極 (gate) 會產生高電壓使得該第五金屬氧化半導體 1 7 完全導通，當該第五金屬氧化半導體 1 7 之閘極電壓為時脈 2 低 (clk2 low) 時，由節點 D(node D) 2 4 左方之第四金屬氧化半導體 1 6 的閘極端連接至節點 A 2 1，該  $V_A$  電壓 2 1 1 位於

5.8~5.9V之低位準，故該第四金屬氧化半導體 1 6 的閘極電壓約為 5.8~5.9V，而該第四金屬氧化半導體 1 6 的源極(source)端為該 $V_C$ 電壓 2 3 1 接近 6V，該第四金屬氧化半導體 1 6 的 $V_{GS}$ 電壓接近於 0，並未大於臨界電壓( $V_{th}$ )，此時該第四金屬氧化半導體 1 6 關閉(off)。同樣的，如上述之時脈 2 低(clk2 low)時，該節點 D 2 4 右方之該第六金屬氧化半導體 1 8 之閘極端電壓為該 $V_A$ 電壓 2 1 1 (5.8~5.9V)，該第六金屬氧化半導體 1 8 之源極端為該 $V_B$ 電壓 2 2 1 (8.5V左右)，該第六金屬氧化半導體 1 8 的 $V_{GS}$ 電壓可克服該臨界電壓，所以該第六金屬氧化半導體 1 8 為開啟(on)的狀態，因該第六金屬氧化半導體 1 8 導通，將節點 D 2 4 的 $V_D$ 電壓 2 4 1 拉至接近該 $V_B$ 電壓 2 2 1 的位準(8.5V)，足以克服該臨界電壓，使得該第五金屬氧化半導體 1 7 完全導通，將該 $V_C$ 電壓 2 3 1 的 6V 送至輸出端。同時，該第二電容 1 3 在上個半週期被消耗用於對該第一電容 1 2 充電的電荷，將藉由 C3 上的該 $V_C$ 電壓 2 3 1 (6V)來補充，所以該 $V_A$ 電壓 2 1 1 會小幅的提升，由 7.5V(時脈 2 高)降至 5.8~5.9V(時脈 2 低)的電壓值提升至更接近 6V (如第 5 圖所示)。

為了使輸出電壓 3 3 不會倒灌回電路，在時脈 1 低，時脈 2 高(clk1 low, clk2 high)(如表 1 所示)時，該第六金屬氧化半導體 1 8 的閘極端接至該 $V_A$ 電壓(7.5V)，該第六金屬氧化半導體 1 8 的源極端為該 $V_B$ 電壓(7V)，由於

該閘極端之電壓比該源極端之電壓高，無法克服該臨界電壓，所以該第六金屬氧化半導體 1 8 截止，而該第四金屬氧化半導體 1 6 的閘極端接至該  $V_A$  電壓 (7.5V)，該第四金屬氧化半導體 1 6 的源極端接至該  $V_C$  電壓接近 4.5V，該第四金屬氧化半導體 1 6 的  $V_{GS}$  電壓遠大於該臨界電壓，將使該第四金屬氧化半導體 1 6 導通，使得該節點 D 2 4 的  $V_D$  電壓 2 4 1 被拉至和該節點 C 2 3 接近，亦即該第五金屬氧化半導體 1 7 之閘極電壓接近 4.5V，所以該第五金屬氧化半導體 1 7 處於截止狀態，能將該輸出電壓擋住而不致回充至升壓電路中。如上敘所述，該節點 D 2 4 的  $V_D$  電壓 2 4 1 為該第五金屬氧化半導體 1 7 之閘極電壓，在該第五金屬氧化半導體 1 7 需要導通時，會趨近該  $V_B$  電壓 2 2 1 ( $\approx 8.5V$ )，使該第五金屬氧化半導體 1 7 導通；而當該第五金屬氧化半導體 1 7 需要關閉時，會趨近該  $V_C$  電壓 2 3 1 ( $\approx 4.5V$ )，將使該第五金屬氧化半導體 1 7 關閉(如第 6 圖所示)。

請參閱『第 7 A ~ 7 B 圖』所示，係本發明之 2x2 升壓電荷幫浦電路示意圖。如圖所示：係本發明之電荷幫浦輸出級跨壓損失修正電路係可與一比較測定器及一緩衝電路形成一  $n^i$  指數倍率升壓電荷幫浦電路，亦即由至少一以上之兩倍電荷幫浦電路(如第一級、第二級...第  $n$  級)與一比較測定器、一震盪器及一緩衝電路形成一拓樸架構之升壓電荷幫浦電路，先將小倍率的第一級兩倍電荷

幫浦電路 2 5 提升電壓，再透過該比較器與該緩衝器，同時提升時脈的電壓大小，使第二級兩倍電荷幫浦電路 2 6 不再使用小電壓來做幫浦時脈(pumping clock)，將輸出能大幅提高，並降低開關的電荷消耗，可最快的將輸出電壓提升至所需要的倍率，而由於該時脈的電壓同步提升，可克服因臨界電壓所造成輸出電壓限制的問題，即使在小的輸入電壓 ( $V_{dd}=1.5V$ ,  $clk1=clk2=1.5V$ ) 操作下，將該第一級兩倍電荷幫浦電路 2 5 之 2 倍輸出電壓 ( $V_{o1}$ ) 3 4 接近 3V，提升至該第二級兩倍電荷幫浦電路 2 6 之 2 倍輸出電壓 ( $V_{out}$ ) 3 5 接近 6V(如第 8 圖所示)。由於該第一級兩倍電荷幫浦電路 2 5 為兩倍升壓電路，將輸入時脈 1 3 4 1 之電壓 (1.5V) 提升至輸出時脈之電壓 3 4 2 接近 3V，並將該輸出時脈之電壓 3 4 2 連接該比較器與該緩衝器作為該第二級兩倍電荷幫浦電路 2 6 之電源，將該輸入時脈 1 3 4 1 拉至該比較器，使該輸入時脈 1 3 4 1 同步產生一輸入時脈' 1 ( $clk' 1$ ) 3 4 4 與反相的時脈' 2 ( $clk' 2$ )，該輸入時脈' 1 3 4 4 之輸出電壓值接近該輸出時脈之電壓 3 4 2 (3V)，再將該輸入時脈' 1 3 4 4 與該輸出時脈之電壓 3 4 2 送至該第二級兩倍電荷幫浦電路 2 6，得到一接近兩倍該輸出時脈之電壓 3 4 2 之第二級輸出電壓 3 4 3 (6V)(如第 9 圖所示)。

本發明之電荷幫浦式直流轉直流轉換器增益電路係利用電荷幫浦輸出級跨壓損失修正電路搭配指數升壓架

構串接或改變兩倍電荷幫浦電路來提升電壓的倍率，請參閱『第10圖』所示，係本發明之 $2 \times 2 \times 2$ 升壓電荷幫浦電路示意圖。如圖所示：係以三組兩倍電荷幫浦電路串接成 $n^i$ 指數倍率升壓電荷幫浦電路，當第一級兩倍電荷幫浦電路25輸入電壓和時脈1、時脈2皆為1.5V（一顆電池的電壓），透過比較器與緩衝電路，產生時脈'1和時脈'2，該時脈'1之電壓也將接近3V，再將該時脈'1之電壓(3V)與該時脈'1作為第二級兩倍電荷幫浦電路26的輸入，即可產生另一個兩倍電壓輸出，第二級兩倍電荷幫浦電路26之輸出電壓接近6V，再作為另一個比較器和緩衝器的電源電壓，產生另一組時脈''1和時脈''2，該時脈''1之電壓大小也將趨近第二級兩倍電荷幫浦電路26之輸出電壓的6V，再將該時脈''1之電壓(6V)與該時脈''1當作第三級兩倍電荷幫浦電路27的輸入，輸出又提升兩倍至接近12V，將輸出電壓放大8倍（ $12/1.5=8$ ），亦即 $2 \times 2 \times 2 = 2^3$ ，得到 $n^i$ （ $n$ 的 $i$ 次方）的升壓倍率（如： $2^4$ 、 $3^2$ ……），將使本發明之電荷幫浦式直流轉直流轉換器增益電路之整體的升壓電路結構簡化，具有電路級數少，可減少製作成本，可適用於低輸入電壓的情況下操作（如：只有一顆電池當電源的攜帶式電子設備，大幅縮減電池所造成的面積浪費），達到 $n^i$ 指數倍率升壓等優點，並可作為直流轉直流的電壓轉換器。

綜上所述，本發明之電荷幫浦式直流轉直流轉換器增益電路，以「簡化電路結構」作為主要策略，可有效改善習用之種種缺點，使其具有電路級數少即可達到所需升壓倍率、無輸出電壓限制、適用於低輸入電壓操作等優點，進而使本發明之產生能更進步、更實用、更符合使用者之所需，確已符合新型專利申請之要件，爰依法提出專利申請，尚請 貴審查委員撥冗細審，並盼早日准予專利以勵創作，實感德便。

惟以上所述者，僅為本發明之較佳實施例而已，當不能以此限定本發明實施之範圍；故，凡依本發明申請專利範圍及發明說明書內容所作之簡單的等效變化與修飾，皆應仍屬本發明專利涵蓋之範圍內。

## 【圖式簡單說明】

第 1 圖，係本發明之電荷幫浦輸出級跨壓損失修正電路示意圖。

第 2 圖，係本發明之電壓增益提升之電荷幫浦輸出級跨壓損失修正電路示意圖。

第 3 ~ 6 圖，係本發明之電荷幫浦輸出級跨壓損失修正電路之電壓模擬圖。

第 7 A ~ 7 B 圖，係本發明之 2x2 升壓電荷幫浦電路示意圖。

第 8 ~ 9 圖，係本發明之 2x2 升壓電荷幫浦電路之電壓模擬圖。

第 10 圖，係本發明之 2x2x2 升壓電荷幫浦電路示意圖。

表 1，係本發明之電荷幫浦輸出級跨壓損失修正電路的節點電壓及時脈表。

## 【主要元件符號說明】

電荷幫浦輸出級跨壓損失修正電路	1
第一金屬氧化半導體	1 1
第一電容	1 2
第二電容	1 3
第二金屬氧化半導體	1 4
第三金屬氧化半導體	1 5
第四金屬氧化半導體	1 6



第五金屬氧化半導體	1 7
第六金屬氧化半導體	1 8
節點 A	2 1
$V_A$ 電壓	2 1 1
節點 B	2 2
$V_B$ 電壓	2 2 1
節點 C	2 3
$V_C$ 電壓	2 3 1
節點 D	2 4
$V_D$ 電壓	2 4 1
第一級兩倍電荷幫浦電路	2 5
第二級兩倍電荷幫浦電路	2 6
第三級兩倍電荷幫浦電路	2 7
時脈 1	3 1
時脈 2	3 2
輸出電壓	3 3
第一級兩倍電荷幫浦電路之 2 倍輸出電壓	3 4
輸入時脈 1	3 4 1
輸出時脈之電壓	3 4 2
第二級輸出電壓	3 4 3
輸入時脈'	3 4 4
第二級兩倍電荷幫浦電路之 2 倍輸出電壓	3 5

表 1

節點電壓	時脈 2 (CLK2) low	時脈 2 (CLK2) high
$V_A$	$\approx 6V$	$\approx 7.5V$
節點電壓	時脈 1 (clk1) low	時脈 1 (clk1) high
$V_B$	$\approx 7V$	$\approx 8.5V$
$V_C$	$\approx 4.5V$	$\approx 6V$

十、申請專利範圍：

1.一種電荷幫浦式直流轉直流轉換器增益電路，係至少包含：

一第一電容；

一第一金屬氧化半導體(MOS)，該第一金屬氧化半導體之一端與該第一電容之一端相連接；

一第二電容，該第二電容之一端與該第一金屬氧化半導體之另一端連接；

一第二金屬氧化半導體，該第二金屬氧化半導體之一端與該第二電容及該第一金屬氧化半導體之相連端連接；

一第三金屬氧化半導體，該第三金屬氧化半導體之一端與該第二金屬氧化半導體及該第一金屬氧化半導體之相連端連接，且該第三金屬氧化半導體之另一端與該第二金屬氧化半導體之另一端連接；

一第四金屬氧化半導體，該第四金屬氧化半導體之一端與該第三金屬氧化半導體之閘極端連接；

一第五金屬氧化半導體，該第五金屬氧化半導體之閘極端與該第三金屬氧化半導體之閘極端相連接；及

一第六金屬氧化半導體，該第六金屬氧化半導體之一端與該第三金屬氧化半導體之閘極端相連接，且該第六金屬氧化半導體之閘極端與該第四金屬氧化半導體之閘極端相連接，且該相連端與該第二金屬氧化半導體及該第一金屬氧化半導體之相連端連接，該第六

- 金屬氧化半導體之另一端與該第一金屬氧化半導體之間極端相連接。
2. 依據申請專利範圍第 1 項所述之電荷幫浦式直流轉直流轉換器增益電路，其中，該第五金屬氧化半導體為輸出級切換開關。
  3. 依據申請專利範圍第 1 項所述之電荷幫浦式直流轉直流轉換器增益電路，其中，該電荷幫浦式直流轉直流轉換器增益電路為電荷幫浦輸出級跨壓損失修正電路(PGI)。
  4. 依據申請專利範圍第 3 項所述之電荷幫浦式直流轉直流轉換器增益電路，其中，該電荷幫浦輸出級跨壓損失修正電路為至少一以上，並與一比較測定器及一緩衝電路形成一升壓電荷幫浦電路。
  5. 依據申請專利範圍第 4 項所述之電荷幫浦式直流轉直流轉換器增益電路，其中，該升壓電荷幫浦電路為  $n^i$  指數倍率升壓。
  6. 依據申請專利範圍第 4 項所述之電荷幫浦式直流轉直流轉換器增益電路，其中，該升壓電荷幫浦電路之結構為拓撲架構。
  7. 依據申請專利範圍第 4 項所述之電荷幫浦式直流轉直流轉換器增益電路，其中，該升壓電荷幫浦電路為直流轉直流的電壓轉換器。
  8. 一種電荷幫浦式直流轉直流轉換器增益電路，係至少包

合：

一 震盪器及一緩衝器；

一 第一級兩倍電荷幫浦電路，係與該震盪器及該緩衝器相連接；

一 比較測定器及一緩衝器，係與該第一級兩倍電荷幫浦電路相連接；

一 第二級兩倍電荷幫浦電路，係與該比較測定器及該緩衝器相連接。

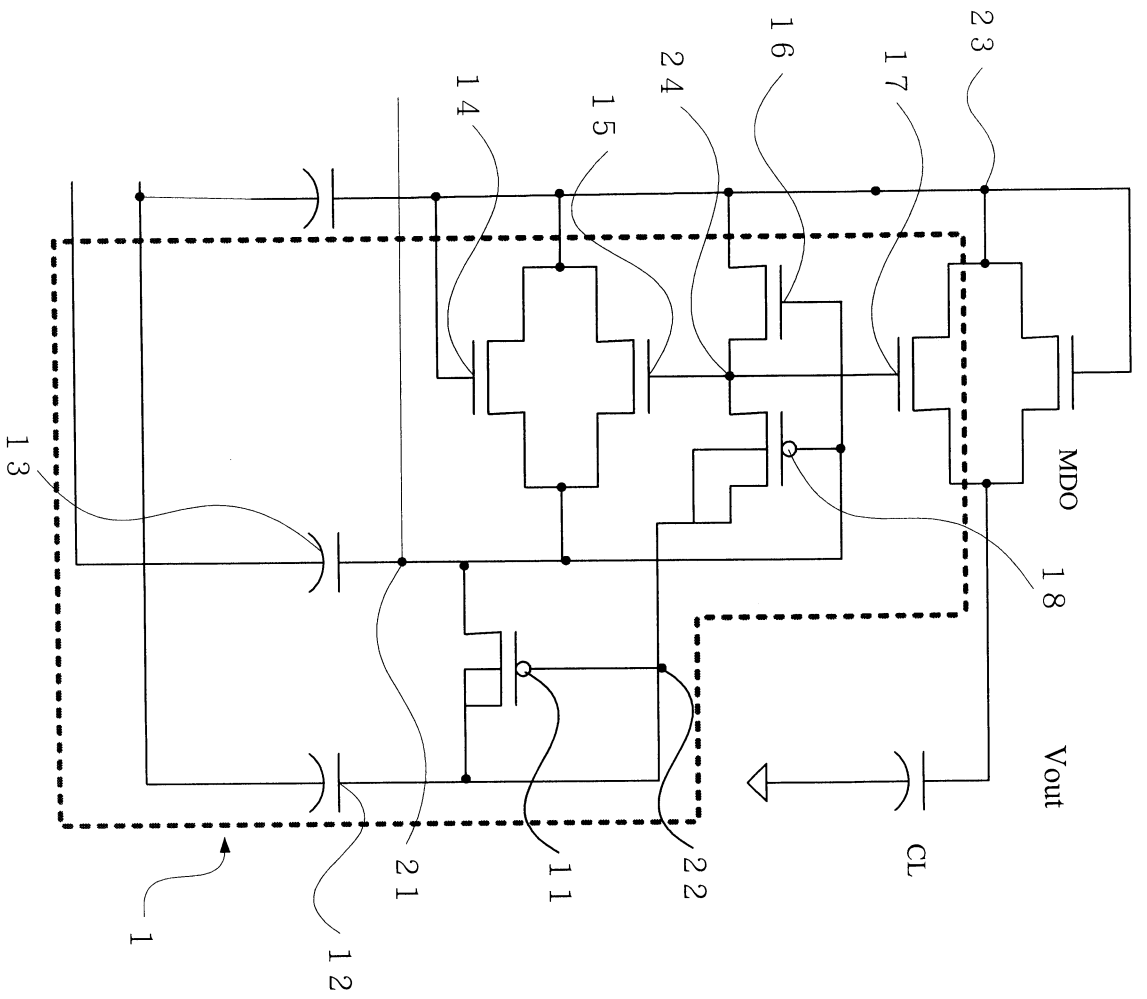
9. 依據申請專利範圍第 8 項所述之電荷幫浦式直流轉直流轉換器增益電路，其中，該電荷幫浦式直流轉直流轉換器增益電路為升壓電荷幫浦電路。

10. 依據申請專利範圍第 9 項所述之電荷幫浦式直流轉直流轉換器增益電路，其中，該升壓電荷幫浦電路為  $n^i$  指數倍率升壓。

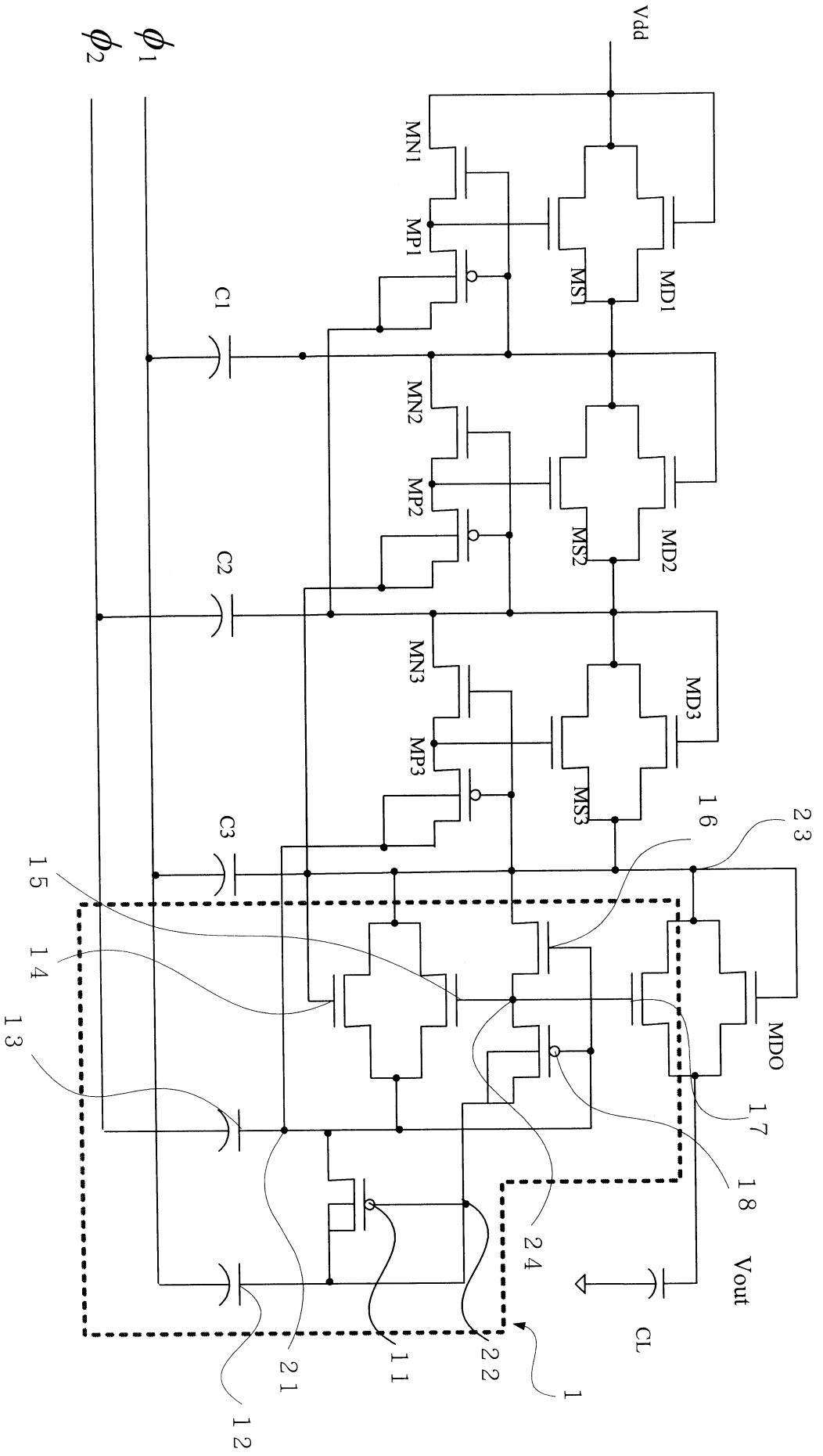
11. 依據申請專利範圍第 9 項所述之電荷幫浦式直流轉直流轉換器增益電路，其中，該升壓電荷幫浦電路之結構為拓樸架構。

12. 依據申請專利範圍第 9 項所述之電荷幫浦式直流轉直流轉換器增益電路，其中，該升壓電荷幫浦電路為直流轉直流的電壓轉換器。

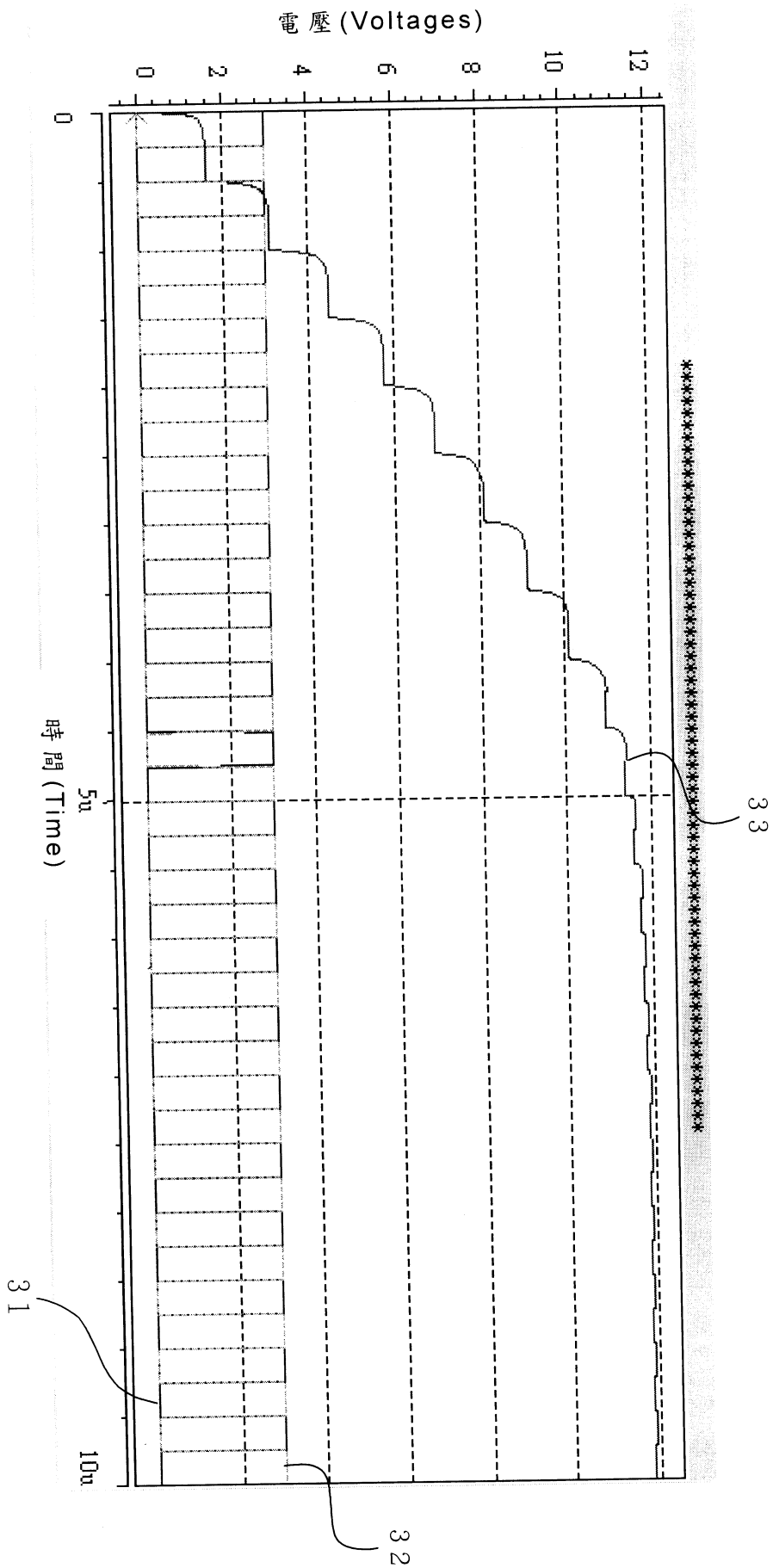
92121203



第 1 圖

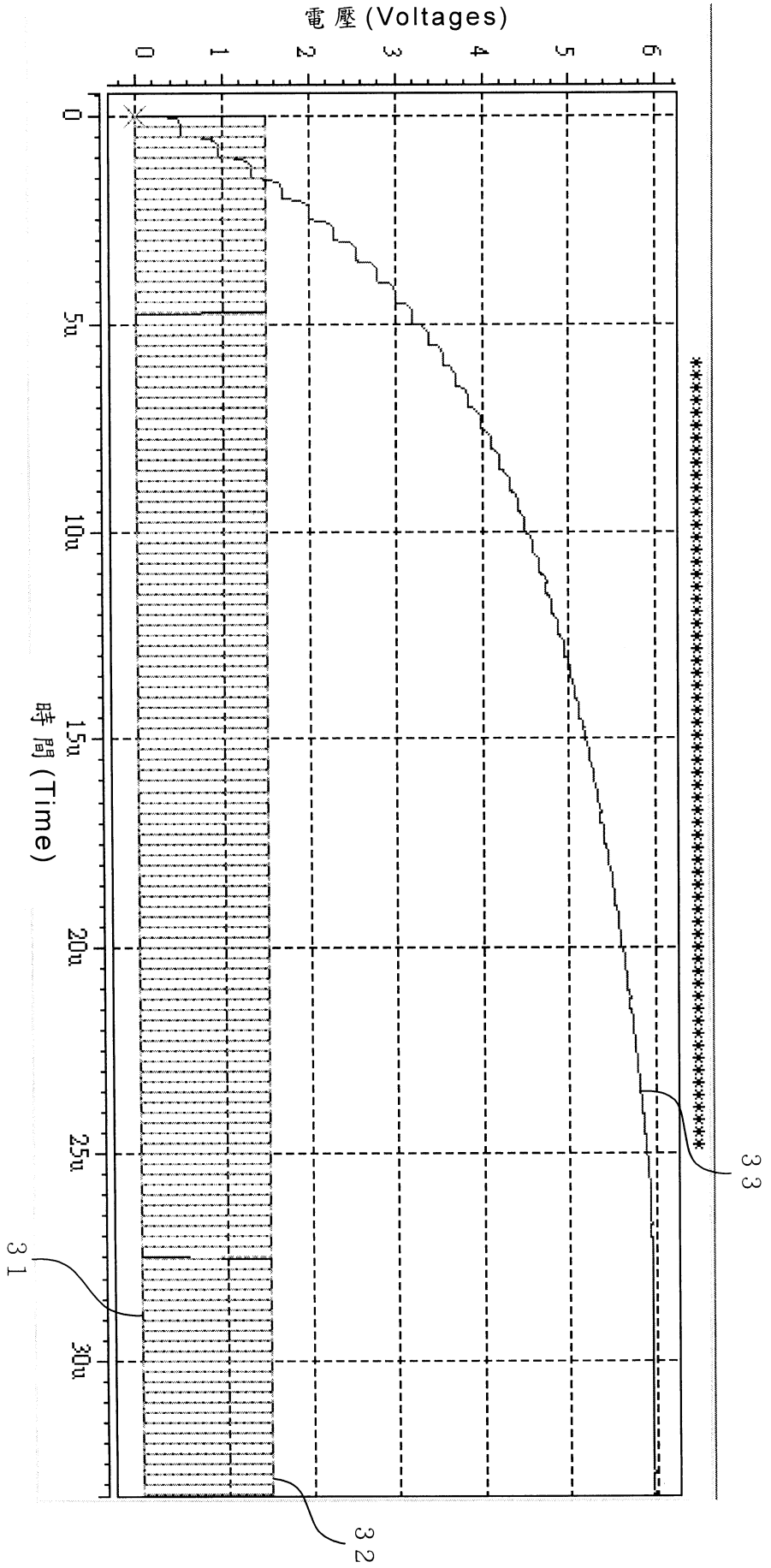


第 2 圖

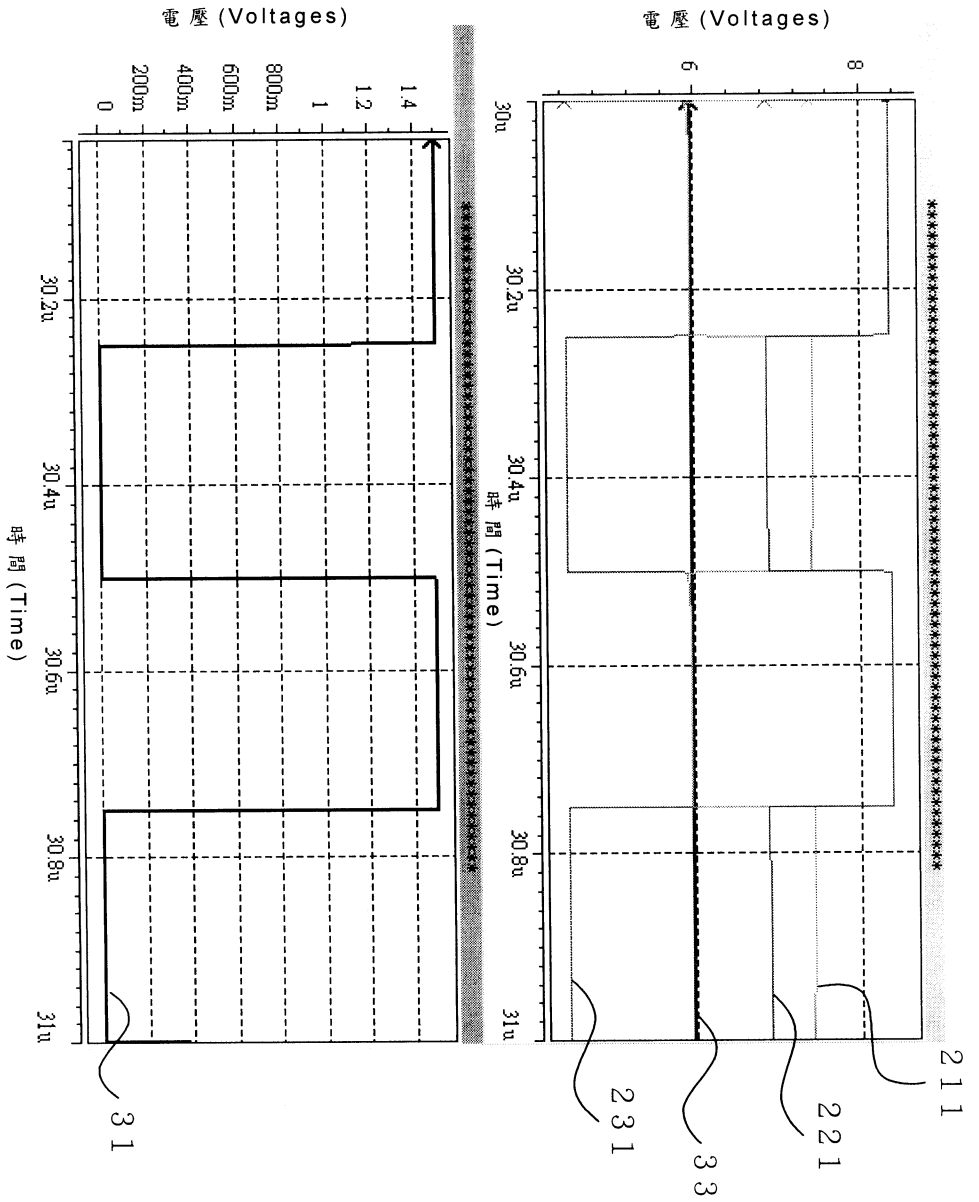


第3圖

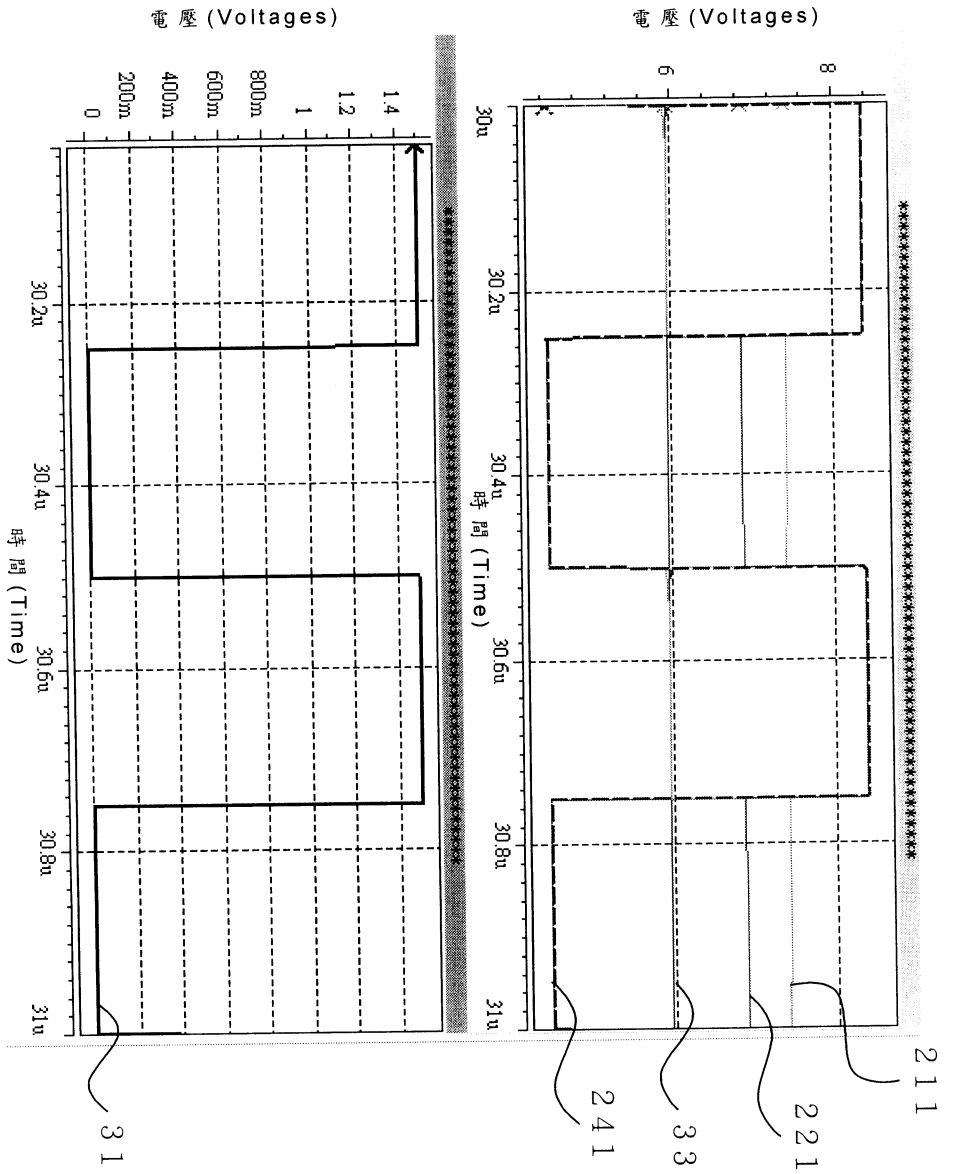




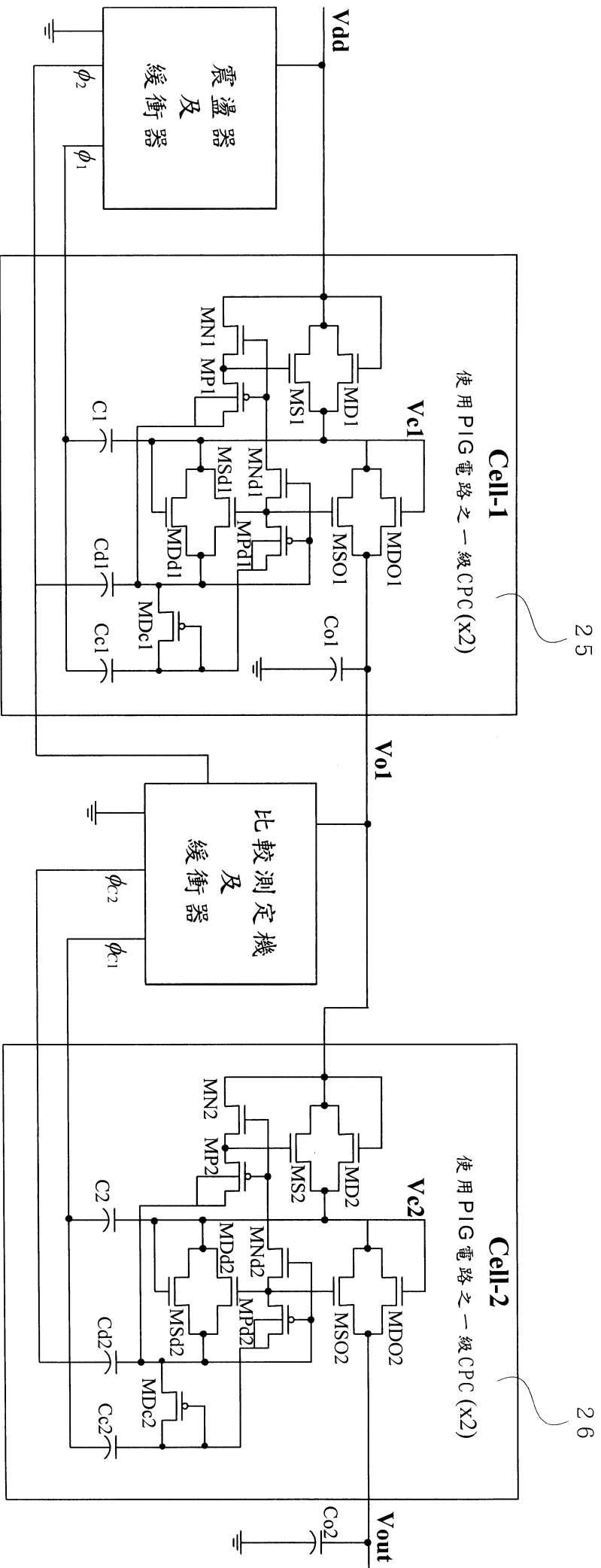
第 4 圖



第 5 圖



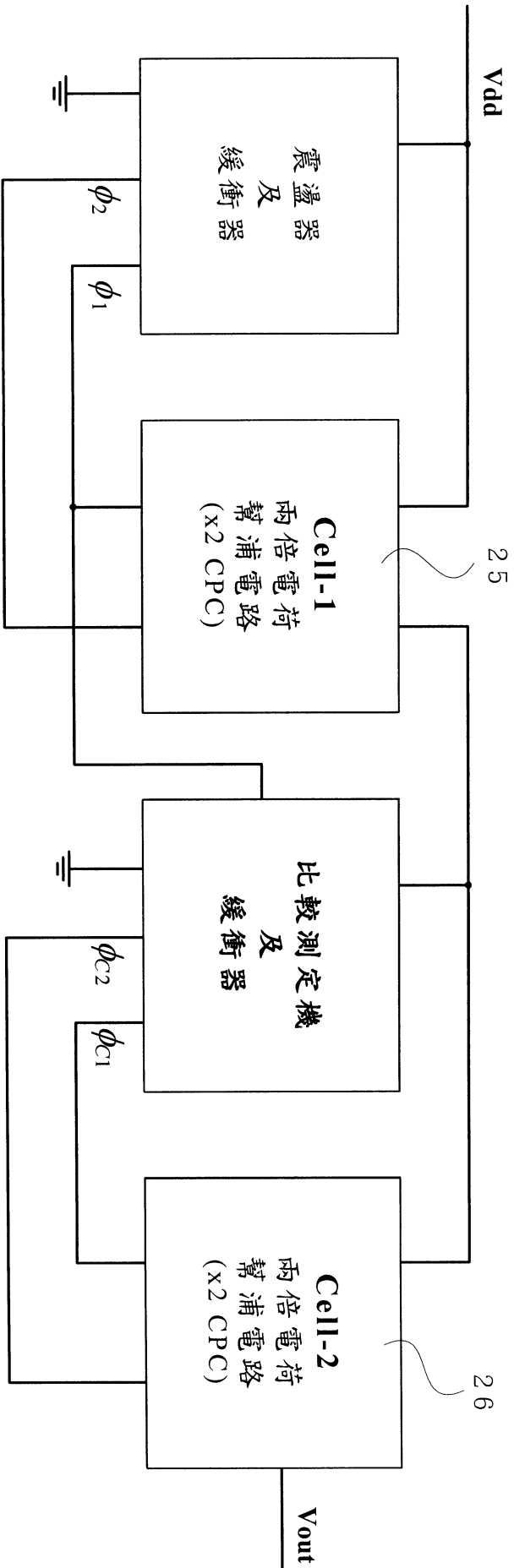
第 6 圖



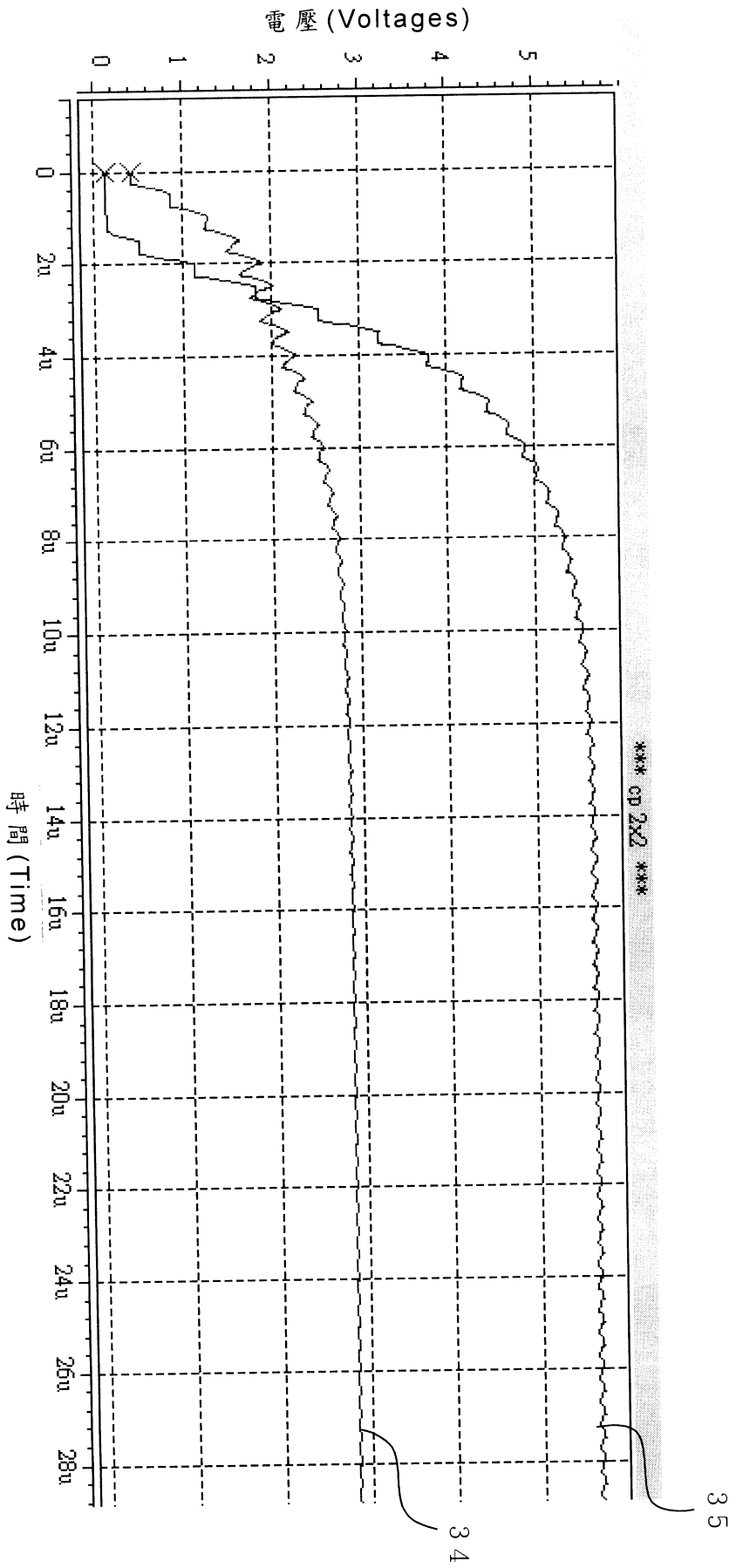
25

26

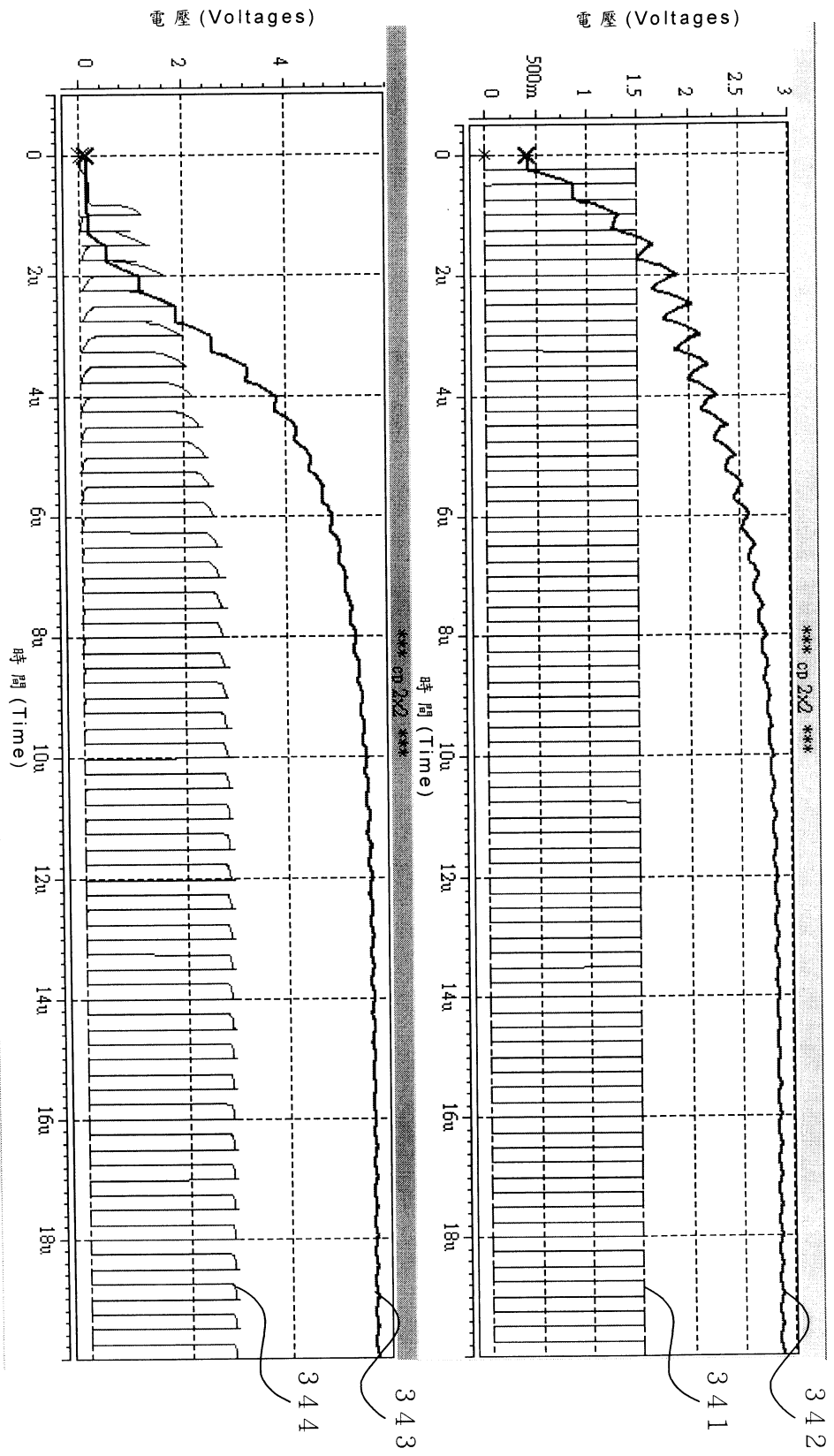
第 7 A 圖



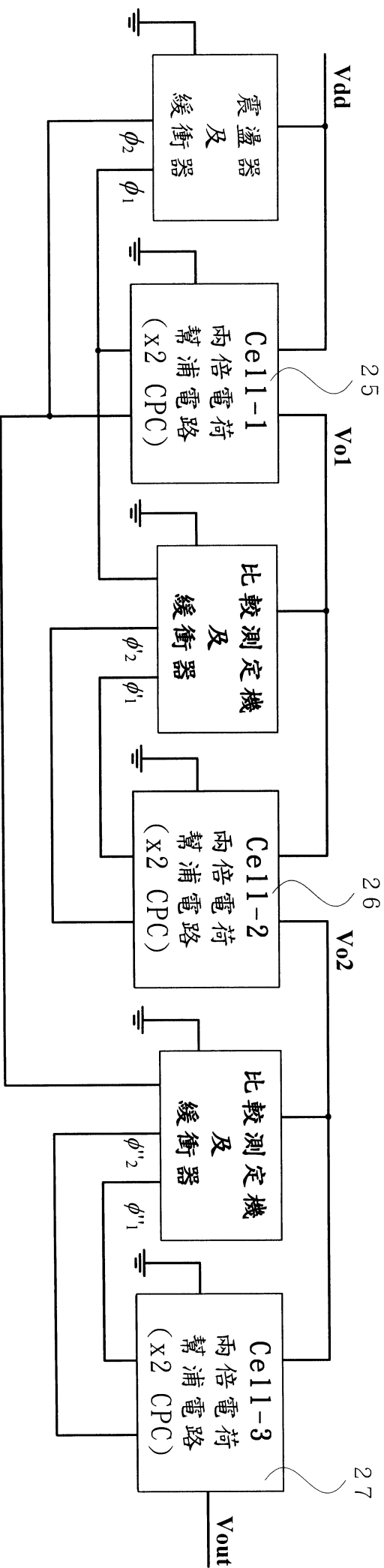
第 7 B 圖



第 8 圖



第 9 圖



第 1 0 圖