

發明專利說明書

LP543-9

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：P4115388

※申請日期：P4.5.12

※IPC 分類：

H01L29/772

一、發明名稱：(中文/英文)

全空乏型絕緣層上矽晶金氧半場效電晶體裝置及其製法

FULLY-DEPLETED SOI DEVICE AND PROCESS FOR FABRICATING THE SAME

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

國立交通大學

NATIONAL CHIAO TUNG UNIVERSITY

代表人：(中文/英文)

張俊彥/CHANG, CHUN-YEN

住居所或營業所地址：(中文/英文)

新竹市大學路 1001 號

1001 Ta-Hsueh Rd., Hsinchu, Taiwan R.O.C.

國籍：(中文/英文)

中華民國/R.O.C

三、發明人：(共 2 人)

姓名：(中文/英文)

1. 崔秉鉞/TSUI, BING-YUE

2. 林家彬/LIN, CHIA-PIN

國籍：(中文/英文)

1.~2. 中華民國/R.O.C

四、聲明事項：

主張專利法第二十二條第二項第一款或第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

本案未在國外申請專利

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

本發明提出一種奈米尺寸之高性能絕緣層上矽晶金氧半場效電晶體裝置及其製法，其特徵在於裝置包括：一金屬氧化物半導體形成於絕緣層上矽晶基板之上；一金屬矽化物層，在閘極方面具有單一之全金屬矽化物閘極、高介電常數介電層以及可調變功函數之部件；在源、汲極部分則具有除了完全反應之金屬矽化物之源、汲極外，以及修正蕭基界面之源極與汲極結構。

六、英文發明摘要：

七、指定代表圖：

(一)本案指定代表圖為：第 1 圖。

(二)本代表圖之元件符號簡單說明：

- 01 矽基板
- 02 絕緣層
- 03 隔離區
- 04 矽晶層
- 05 金屬矽化物
- 06 高濃度擴散區
- 07 間隙層
- 08 閘極高介電常數絕緣層
- 09 高濃度擴散區
- 10 金屬矽化物閘電極層

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

九、發明說明：

【發明所屬之技術領域】

本發明提出一種用以製造奈米尺寸之高性能絕緣層上矽晶金氧半場效電晶體裝置及其製法，該裝置可解決多晶矽閘極空乏現象，具有高驅動電流、低閘極/源極/汲極片電阻、低閘極/汲極漏電流、低源極/汲極邊緣電場、低溫製程等特性。

【先前技術】

隨著元件的微縮，以傳統金氧半場效電晶體的多晶矽閘極與閘極氧化層之結構，因係多晶矽閘極搭配著高介電常數之介電層而可能產生許多缺點，例如限制等效氧化層厚度(EOT)下降的閘極空乏現象，阻礙高頻運作的高電阻值，造成起始電壓(threshold voltage)飄移的硼穿透(boron penetration)現象等問題。因此，以金屬電極搭配高介電常數絕緣層的製程已被廣泛的研究以改善上述缺點，進而提升元件特性與可靠度。

在 A. Chatterjee 於 IEDM 會議中所發表之 "Sub-100nm Gate Length Metal Gate NMOS Transistors Fabricated by a Replacement Gate process" (1997) 一文，其揭示採取先製作源/汲極，再以置換法以及輔以化學機械研磨技術(CMP)製作金屬閘極。其雖企圖解決源/汲極高溫活化的問題，但卻增加製程難度也降低元件之可靠度，同時也必須利用兩種金屬閘極分別滿足 N 型與 P 型場效電晶體所需的功函數。

另外，Shiyang Zhu 於 SDRS 會議中所發表之 "Low

temperature MOSFET technology with Schottky source/drain, high-K gate dielectrics and metal electrode” (2003) 一文，其首度成功地採用了低溫的金屬矽化物製程取代了傳統的源/汲極製程，以便與金屬閘極/高介電常數介電層的製程相呼應。其雖解決了源/汲極高溫活化的問題，但是卻需要兩種不同的金屬閘極以調變出適當的功函數(work function)，以及兩種金屬矽化物以增加元件開關電流比。

綜合上述習知之解決方案，類似金屬閘極/高介電常數絕緣層的結構不易與傳統金氧半場效電晶體的源/汲極的高溫活化製程相容，而易產生金屬劣化以及金屬-介電層間的反應、高介電常數絕緣層增厚的問題；此外，單一金屬閘極也無法同時滿足 N 型與 P 型場效電晶體所需的功函數(work function)需求。

鑑此，新的研發趨勢為，例如 2002 年之 W. P. Maszara 於 IEDM 會議中所發表之”Transistors with dual work function metal gates by single full silicidation (FUSI) of polysilicon gates”一文，首度成功利用單一種金屬矽化物，同時調變出 N 型以及 P 型元件所需功函數。最近，B. Y. Tsui 於 EDL 論文集集中所發表之”a novel 25 nm modified-Schottky-barrier FinFET with high performance”(2004)一文，首度發現將離子布植在金屬矽化物(Implant to silicide)以調變金屬矽化物與矽接面之蕭基特位障(Schottky Barrier)的製程應用於奈米級元件上，相對上述習知方式，不但可以同時在 N 型以及 P 型元件的源/汲極使用相同的金屬矽化物，更可以在保持金

屬矽化物低溫製程的優點的同時得到良好的元件特性。

【發明內容】

針對習知技術及新的趨勢，本發明之第一目的係提供一種奈米級電晶體，其具有解決多晶矽閘極空乏現象、高驅動電流、低閘極/源極/汲極片電阻、低閘極/汲極漏電流、低源極/汲極邊緣電場等特性，可以符合元件微縮至奈米尺寸需求之高性能絕緣層上矽晶金氧半場效電晶體。該全空乏型絕緣層上矽晶金氧半場效電晶體裝置（詳如第 1 圖所示），至少包括：

一絕緣層上矽晶基板為該結構之基材，具有一矽基板（01），一絕緣層（02）位於該矽基板之上；

一金屬氧化物半導體形成於該絕緣層上矽晶基板之上；

一金屬矽化物層（05），在閘極方面具有單一之全金屬矽化物閘極（10）（full silicide gate）、高介電常數介電層（08）以及可調變功函數之部件（09）；在源、汲極部分則具有除了完全反應之金屬矽化物之源、汲極外，以及修正蕭基界面(modified Schottky junction)之源極與汲極（06）結構。

其中閘極介電層（08）係選自至少包含熱氧化層或是各種具有高介電常數之介電層其中之一；金屬矽化物（05）係選自各種適用之金屬矽化物者。

本發明之另一目的係提供該絕緣層上矽晶金氧半場效電晶體之製作技術。相對於習知之方法，我們發明了一項更簡單及有效之低溫製程技術，其至少包括：

一提供一絕緣層上矽晶基板為該結構之基材，具有一矽基板（01），一絕緣層（02）位於該矽基板之上；

一利用半導體製程將金屬氧化物半導體形成於該絕緣層上矽晶基板之上；

一選定具有 mid-gap 功函數特性之金屬矽化物與適當之高介電常數介電層，同步進行將源/汲/閘極形成完全反應之金屬矽化步驟；

一將適當之離子同步佈植於源/汲/閘極金屬矽化物中以進行低溫擴散。

本發明之方法一方面，對於閘極特性而言，由於離子可堆積於金屬矽化物閘極與閘極高介電常數絕緣層之間，故可以有效的進行功函數的調變；另一方面，對源、汲極而言，由於離子植入源、汲極的金屬矽化物層中，並未損傷到通道(channel)的矽晶層，故不需要高溫退火來去除植入損傷，也可避免高溫退火對金屬矽化物閘極以及高介電常數絕緣層產生熱穩定性的問題。

關於藉由調整植入劑量與退火條件，不但可以調整閘極功函數的設定，同時可控制源極與汲極外側濃度以及修正蕭基接面的性質。後續製程如形成接觸窗及金屬導線等製程，則方式與傳統元件相同。另一種方法為在進行金屬自行對準矽化物製程之前，即將適當的雜質以離子植入方式植入金屬(implant-to-metal)中。

在進行退火處理將閘、源以及汲極完全反應成金屬矽化物的同時，植入離子會同步擴散並累積於金屬矽化物閘極與

閘極介電層間形成高濃度區域用以調變功函數，以及源、汲極之金屬矽化物與通道的介面上用以調變蕭基阻障 (Schottky barrier)，形成修正蕭基界面(modified Schottky junction)。

本發明可以同時在閘/源/汲極形成單一完全反應之金屬矽化物的技術得以有效簡化元件製程。

本發明利用將離子植入金屬矽化物後再擴散至金屬矽化物與高介電常數介電層之介面區域的方式，在完全反應之金屬矽化物閘極與高介電常數介電層間形成一極薄的高濃度擴散區域，有效達成以單一金屬矽化物閘極有效同時調變 N 型及 P 型元件所需之功函數。

本發明同時利用將離子植入金屬或金屬矽化物後再擴散進入矽基板的方式，能以較傳統製程小的製程熱預算 (thermal budget)，在完全反應之金屬矽化物之源/汲極外側形成一極薄的高濃度擴散區域極度適合奈米元件之源、汲極步驟。此外，同時解決了高介電常數介電層在傳統元件製程中因傳統之源、汲極離子植入後高溫退火所致熱穩定性問題之發生。

本發明利用將離子植入金屬或金屬矽化物後再擴散進入矽基板的方式，在金屬矽化後的源極與汲極外側形成一極薄的高濃度擴散區域，以降低源極或汲極對通道間的蕭基位障。

本發明利用源極與汲極外側的高濃度區域，形成修正蕭基界面(modified Schottky junction)，可以大幅降低汲極接

面漏電流。

本發明利用源極與汲極側邊的擴散區域降低源極與汲極邊緣的電場強度，提高元件可靠度。

【實施方式】

有關本發明為達成上述之目的所採用之技術、手段及具體之結構特徵，茲舉一較佳之實施例，並藉由圖式說明而更進一步揭示，使熟悉該項技術者得以明瞭。

本發明之方法，詳如第 2 圖所示，包括：首先在一絕緣層上矽晶矽晶片上，以一般的隔離製程 (isolation process) 製作出元件間的隔離結構，並定義出主動層之區域 (active region)；

接著以沈積閘極介電層 (可成長傳統之乾式氧化矽薄膜或高介電常數之介電層)、適當厚度之多晶矽閘電極 (與主動層厚度相近之厚度)，隨後以沉積、微影、蝕刻等製作出閘極絕緣層與多晶矽閘極；

然後再沉積一層介電隔離層，並利用非等向性蝕刻製作出閘極間隙層 (spacer)；

其次於晶片上沉積一層金屬膜，並以金屬自行對準矽化物製程 (metal silicide process)，同步將閘極多晶矽以及源/汲極之矽晶層完全消耗完，並同時完成完全反應金屬矽化物閘電極 (full silicide gate) 以及具蕭基阻障 (Schottky barrier) 之源極與汲極；

然後將適當的雜質以離子佈植方式植入閘、源及汲極之完全金屬矽化物 (implant-to-silicide) 中；

接著實施低溫退火處理，其在閘極方面，被植入之離子將擴散至閘極全金屬矽化物與閘極介電層間之區域並累積而形成高濃度區，據此可有效達成以單一金屬矽化物閘極有效並同時調變 N 型及 P 型元件所需之功函數的目的；其在源、汲極方面，同時也擴散至源極、汲極金屬矽化物外側並累積而形成高濃度區域，且與金屬矽化物層形成修正蕭基界面，則據此，可以大幅降低汲極接面漏電流並可利用源極與汲極側邊的擴散區域降低源極與汲極邊緣的電場強度，提高元件可靠度。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟悉本技藝之人士，在不脫離本發明之精神與範圍內，當可做些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

第 1 圖為本發明實施例橫截面圖。

第 2 圖為本發明的實施例製程步驟圖。

主要元件代表符號

- 01 矽基板
- 02 絕緣層
- 03 隔離區
- 04 矽晶層
- 05 金屬矽化物
- 06 高濃度擴散區
- 07 間隙層

- 08 閘極高介電常數絕緣層
- 09 高濃度擴散區
- 10 金屬矽化物閘電極層
- 11 金屬層
- 12 離子佈植

十、申請專利範圍：

1. 一種全空乏型絕緣層上矽晶金氧半場效電晶體裝置，至少包括：

一絕緣層上矽晶基板為該結構之基材，具有一矽基板（01），一絕緣層（02）位於該矽基板之上；

一金屬氧化物半導體形成於該絕緣層上矽晶基板之上；

一金屬矽化物層（05），在閘極方面具有單一之全金屬矽化物閘極（10）、高介電常數介電層（08）以及可調變功函數之部件（09）；在源、汲極部分則具有除了完全反應之金屬矽化物之源、汲極外，以及修正蕭基界面之源極與汲極（06）結構。

2. 如申請專利範圍第 1 項之電晶體裝置，其中閘極介電層（08）係選自熱氧化層或其他具有高介電常數之介電層。

3. 一種製造全空乏型絕緣層上矽晶金氧半場效電晶體裝置之方法，至少包括：

一提供一絕緣層上矽晶基板為該結構之基材，具有一矽基板（01），一絕緣層（02）位於該矽基板之上；

一利用半導體製程將金屬氧化物半導體形成於該絕緣層上矽晶基板之上；

一選定具有 mid-gap 功函數特性之金屬矽化物與適當之高介電常數介電層，同步進行將源/汲/閘極形成完全反應之金屬矽化步驟；

一將適當之離子同步佈植於源/汲/閘極金屬矽化物中以進行低溫擴散。

4. 一種製造全空乏型絕緣層上矽晶金氧半場效電晶體裝置之方法，至少包括：

一 提供一矽晶片之絕緣層上，以一般的隔離製程 (isolation process) 製作出元件間的隔離結構；

一 沈積閘極介電層、適當厚度之多晶矽閘電極，並以沉積、微影、蝕刻等步驟製作出閘極、高介電常數絕緣層與多晶矽閘極；

一 沉積一層介電隔離層，利用等向性蝕刻製作出閘極間隙層 (spacer)；

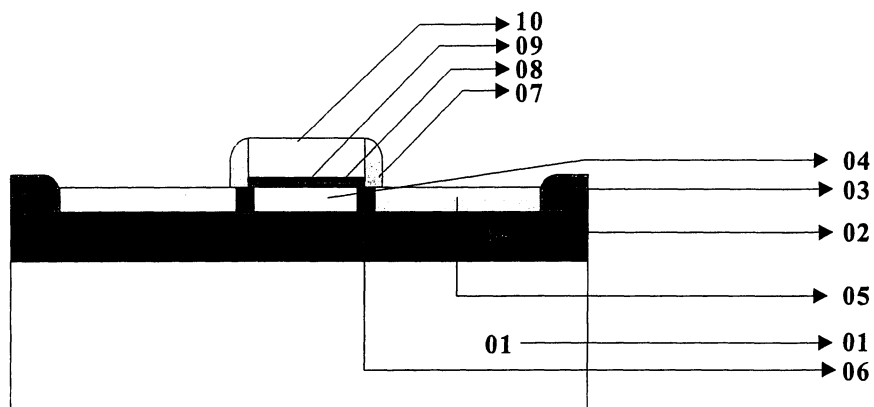
一 於晶片上沉積一層金屬膜，並以金屬自行對準矽化物製程 (metal silicide process)，同步將閘極多晶矽以及源/汲極之矽晶層完全消耗完，並同時完成完全反應金屬矽化物閘電極 (full silicide gate) 以及具蕭基阻障 (Schottky barrier) 之源極與汲極；以及

一 將適當的雜質以離子佈植方式植入閘、源及汲極之完全金屬矽化物 (implant-to-silicide) 中；以及

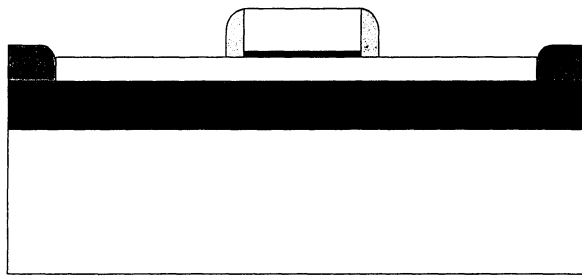
一 實施退火處理。

5. 如申請專利範圍第 4 項之方法，其中實施退火處理步驟，其在閘極方面，被植入之離子將擴散至閘極全金屬矽化物與閘極介電層間之區域並累積而形成高濃度區；其在源、汲極方面，同時也擴散至源極、汲極金屬矽化物外側並累積而形成高濃度區域，且與金屬矽化物層形成修正蕭基界面。

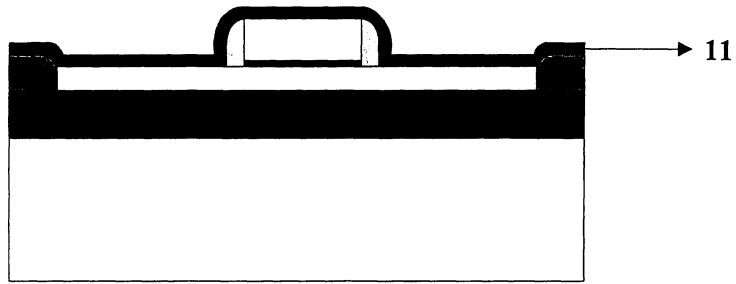
十一、圖式：



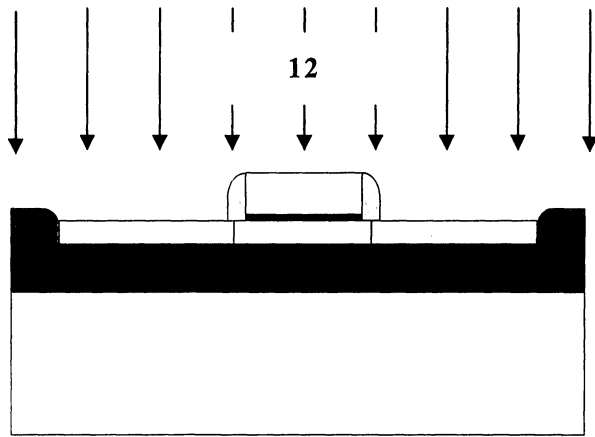
第 1 圖



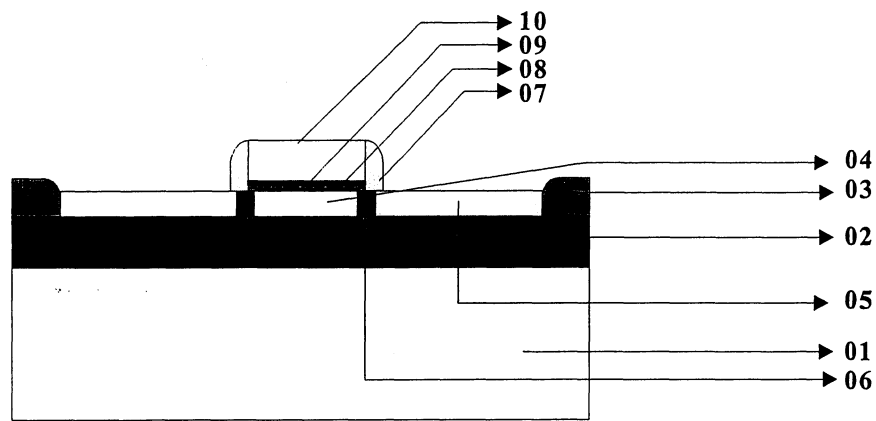
2A



2B



2C



2D

第 2(a) ~ (d) 圖