

申請日期：93.8.6

IPC分類

申請案號：93123622

G02F 1/133

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	遞減面積之分散式靜電放電防護電路
	英 文	
二、 發明人 (共2人)	姓 名 (中文)	1. 柯明道 2. 郭秉捷
	姓 名 (英文)	1. 2.
	國 籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 國立交通大學
	名稱或 姓 名 (英文)	1.
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 新竹市大學路1001號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1.
	代表人 (中文)	1. 張俊彥
	代表人 (英文)	1.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十七條第一項國際優先權

無

二、☐主張專利法第二十九條第一項國內優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十二條第二項☐第一款或☐第二款規定之事實，其事實發生日期為：四、☐有關生物材料已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關生物材料已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐不須寄存生物材料者：所屬技術領域中具有通常知識者易於獲得時，不須寄存。

四、中文發明摘要 (發明名稱：遞減面積之分散式靜電放電防護電路)

本發明提出一種遞減面積之分散式靜電放電防護電路，包括一信號輸入端、一接地端、一信號輸出端，且有一電源供應端，並有數靜電放電防護元件組相並聯在信號輸入端及信號輸出端間，且每一靜電放電防護元件組連接於電源供應端及接地端間，且在信號輸入端及信號輸出端間串聯有數高阻抗傳輸線，且每一高阻抗傳輸線分別連接於信號輸入端、靜電放電防護元件組及信號輸出端間，其特徵在於：每一靜電放電防護元件組包含二靜電放電防護元件，且靜電放電防護元件組內之靜電放電防護元件的面積尺寸係由信號輸入端至信號輸出端呈現遞減順序。本發明兼具寬頻電路及阻抗匹配之特點，並具較佳之靜電放電防護效果。

五、英文發明摘要 (發明名稱：)



六、指定代表圖

(一) 本案代表圖為：第 3 圖

(二) 本案代表圖之元件代表符號簡單說明：

30 遞減面積之分散式靜電放電防護電路

302 信號輸入端

304 接地端

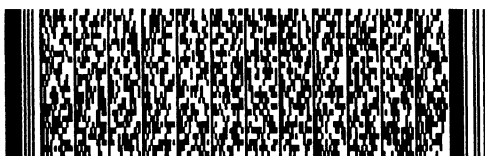
306 信號輸出端

308 電源供應端

310 靜電放電防護元件組

312 靜電放電防護元件元件

314 高特徵阻抗傳輸線



五、發明說明 (1)

【發明所屬之技術領域】

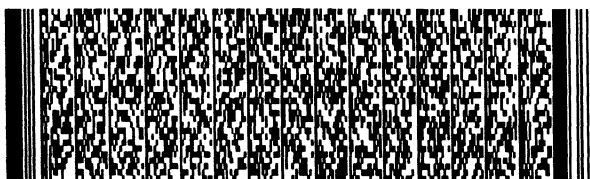
本發明係有關一種分散式靜電放電防護電路，特別是關於一種遞減面積之分散式靜電放電防護電路。

【先前技術】

為了避免積體電路 (Integrated Circuit ; IC) 在生產過程中被靜電放電所損傷，在積體電路內皆製作有靜電放電防護電路，靜電放電防護電路 (Electrostatic Discharge Protect Circuit ; ESD Protect Circuit) 是積體電路上用來做為靜電放電防護用途之特殊電路，靜電放電防護電路可避免靜電放電電流流入積體電路內部電路而造成損害，而因靜電放電產生的原因及其對積體電路放電的方式不同，因此又被分為四類，分別為人體放電模式 (Human-Body Model ; HBM)、機器放電模式 (Machine Model ; MM)、元件充電模式 (Charged-Device Model ; CDM) 及電場感應模式 (Field-Induced Model ; FIM)。

第1圖為先前使用作為靜電放電防護電路之電路示意圖，靜電放電防護電路10包括一電源供應端102、一接地端104及一信號輸出端106，且有一信號輸入端108連接至信號輸出端106，在電源供應端102及接地端104間有兩個二極體110相串聯，且此信號輸入端108及信號輸出端106並分別連接至兩個二極體110間。

然上述之靜電放電防護電路10並未考慮高頻特性及阻抗匹配的問題，因此只能應用在窄頻範圍。



五、發明說明 (2)

為了解決上述之問題，便設計出另一種如第2圖所示之等面積之分散式靜電放電防護電路 (equal-sized distributed ESD ; ES-DESD) 之電路示意圖，等面積之分散式靜電放電防護電路20包括一電源供應端202、一接地端204及一信號輸出端206，且有一信號輸入端208連接至信號輸出端206，在電源供應端202及接地端204間有數靜電放電防護電路組210，每一靜電放電防護電路組210由兩個二極體212相串聯，其中，每一個二極體212係為等面積，且數個靜電放電防護電路組210並聯在信號輸入端208及信號輸出端206間，且在信號輸入端208及信號輸出端206間有數個相串聯之傳輸線214，而傳輸線214分別連接至信號輸入端208、靜電放電防護電路組210及信號輸出端206。

上述之等面積之分散式靜電放電防護電路20提高了電路效能中的高頻特性，達到寬頻電路及阻抗匹配的優點，然並沒有考慮到靜電電流容易流入第一組靜電放電防護電路組210的特點。

有鑑於此，本發明係針對上述之困擾，提出一種遞減面積之分散式靜電放電防護電路 (decreasing-sized distributed ESD ; DS-DESD)，以改善上述之缺失。

【發明內容】

本發明之主要目的，係在提供一種遞減面積之分散式靜電放電防護電路，其係利用遞減面積之分散式靜電放電



五、發明說明 (3)

防護電路，利用其第一組大面積之靜電放電防護元件組疏導靜電電流，達到寬頻電路及阻抗匹配之特點，並且具有較佳的靜電放電防護效果。

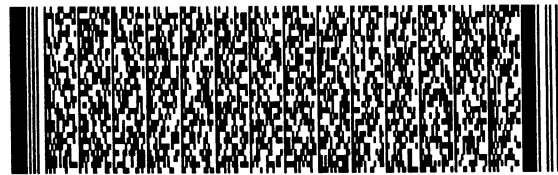
本發明之另一目的，係在提供一種遞減面積之分散式靜電放電防護電路，其係應用至分散式放大器中，可保護電路並大幅增加分散式放大器之靜電放電防護效能。

為達到上述之目的，本發明係提出一種遞減面積之分散式靜電放電防護電路，包括一信號輸入端、一接地端及一信號輸出端，並有一電源供應端，在信號輸入端及信號輸出端間並聯有數靜電放電防護元件組，且每一靜電放電防護元件組連接於電源供應端及接地端間，另有數高阻抗傳輸線串聯於信號輸入端及信號輸出端間，且每一高阻抗傳輸線分別連接於信號輸入端、靜電放電防護元件組及信號輸出端間，其特徵在於：每一靜電放電防護元件組包含二靜電放電防護元件，且等靜電放電防護元件組內之靜電放電防護元件的面積尺寸係由信號輸入端至信號輸出端而呈遞減順序。

底下藉由具體實施例配合所附的圖式詳加說明，當更容易瞭解本發明的目的、技術內容、特點及其所達成的功效。

【實施方式】

為了使積體電路具有較佳的靜電放電防護效果，且同時兼顧寬頻特性及阻抗匹配之特點，本發明提出一種遞減



五、發明說明 (4)

面積之分散式靜電放電防護電路，第3圖所示為遞減面積之分散式靜電放電防護電路之電路示意圖，遞減面積之分散式靜電放電防護電路30包括一信號輸入端302、一接地端304及一信號輸出端306，並有一電源供應端308，在信號輸入端302及信號輸出端306間並聯有數靜電放電防護元件組310，每一靜電放電防護元件組310連接於電源供應端308及接地端306間，而每一靜電放電防護元件組310包含二靜電放電防護元件312，靜電放電防護元件312如二極體、電晶體、N通道金屬氧化半導體（N-channel Metal-Oxide Semiconductor；NMOS）及P通道金屬氧化半導體（positive-channel Metal-Oxide Semiconductor；PMOS），且靜電放電防護元件組310內之靜電放電防護元件312的面積尺寸由信號輸入端302至信號輸出端306而呈遞減順序，另有數高特徵阻抗傳輸線314相串聯於信號輸入端302及信號輸出端306間，且每一高特徵阻抗傳輸線314分別連接於信號輸入端302、靜電放電防護元件組310及信號輸出端306間。

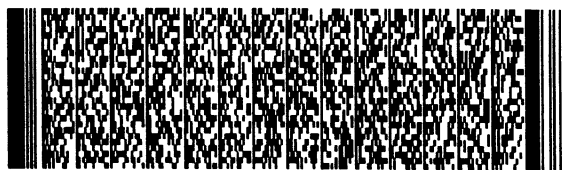
靜電放電防護元件組310內之靜電放電防護元件312的面積尺寸由信號輸入端302至信號輸出端306而呈遞減順序，第一組靜電放電防護元件組310內之靜電放電防護元件312的面積尺寸較大，因此第一組靜電放電防護元件組310可疏導靜電電流，且可以承受比較大的靜電放電功率，所以靜電放電的防護能力相對於傳統的等面積分散式靜電防護電路可以被大幅的提升。



五、發明說明 (5)

第4圖為簡易分散式寬頻放大器 (distributed amplifier ; DA) 之電路示意圖，分散式放大器設置在寬頻前端電路中，極需靜電防護，而第5圖為分散式靜電放電防護電路應用於分散式寬頻放大器之電路示意圖，分散式靜電放電防護電路用以保護分散式寬頻放大器，底下並藉由實驗結果以比較等面積之分散式靜電放電防護電路與遞減面積之分散式靜電放電防護電路之防護效果：

在分散式寬頻放大器中加入等面積或遞減面積之分散式靜電放電防護電路，來觀察靜電放電防護能力的增加程度，和電路性能的差異，實驗結果如表一所示，分散式寬頻放大器搭配等面積的分散式靜電放電防護電路可達不錯的寬頻表現和靜電放電防護能力，寬頻表現即增益從1 GHz到10 GHz間在 4.7 ± 1 dB間變化，而靜電放電防護能力如人體放電模式的靜電放電防護能力約5.5千伏特、機器放電模式的靜電放電防護能力約325伏特和充電元件放電模式的靜電放電防護能力約500伏特；而分散式寬頻放大器搭配遞減面積的分散式靜電放電防護電路，除了也可以達到不錯的寬頻表現，即增益從1 GHz到9.2 GHz間在 4.9 ± 1.1 dB間變化，又更進一步增強了靜電放電防護能力，如人體放電模式的靜電放電防護能力超過8千伏特、機器放電模式的靜電放電防護能力約575伏特和充電元件放電模式的靜電放電防護能力約650伏特，因此遞減面積之分散式靜電放電防護電路比等面積之分散式靜電放電防護電路可達較佳之防護效果。



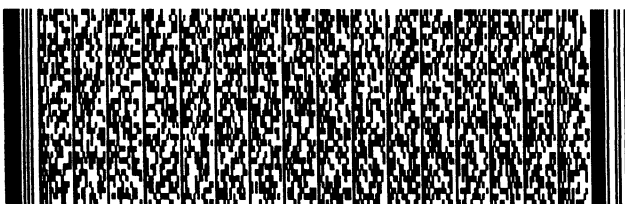
五、發明說明 (6)

表 一

	寬頻表現	人體放電模式	機器放電模式	元件放電模式
等面積 之靜電放電 防護電路	$4.7 \pm 1.1 \text{ dB}$ (1 GHz~10 GHz)	5.5 kV	325 V	500 V
遞減面積 之靜電放電 防護電路	$4.9 \pm 1.1 \text{ dB}$ (1 GHz~9.2 GHz)	8 kV	575 V	650 V

本發明提出一種遞減面積之分散式靜電放電防護電路，可應用於積體電路設計產業或晶圓代工業，遞減面積之分散式靜電放電防護電路係使用遞減面積之分散式靜電放電防護元件，以利用其第一組大面積之靜電放電防護元件組疏導靜電電流，達到寬頻電路及阻抗匹配之特點，並且具有較佳的靜電放電防護效果，且當遞減面積之分散式靜電放電防護電路應用至分散式放大器中，可保護電路並大幅增加分散式放大器之靜電放電防護效能。

以上所述係藉由實施例說明本發明之特點，其目的在使熟習該技術者能瞭解本發明之內容並據以實施，而非限定本發明之專利範圍，故凡其他未脫離本發明所揭示之精神而完成之等效修飾或修改，仍應包含在以下所述之申請專利範圍中。



圖式簡單說明

【圖式簡單說明】

第1圖為習知之靜電放電防護電路之電路示意圖。

第2圖為習知之等面積之分散式靜電放電防護電路之電路示意圖。

第3圖為本發明之遞減面積之分散式靜電放電防護電路之電路示意圖。

第4圖為簡易分散式放大器之電路示意圖。

第5圖為分散式靜電放電防護電路應用於分散式放大器之電路示意圖。

【主要元件符號說明】

10 靜電放電防護電路

102 電源供應端

104 接地端

106 信號輸出端

108 信號輸入端

110 二極體

20 等面積之分散式靜電放電防護電路

202 電源供應端

204 接地端

206 信號輸出端

208 信號輸入端

210 靜電放電防護電路組

212 二極體

214 傳輸線

30 遞減面積之分散式靜電放電防護電路

302 信號輸入端

304 接地端

306 信號輸出端

308 電源供應端

310 靜電放電防護元件組



圖式簡單說明

312 靜電放電防護元件元件

314 高特徵阻抗傳輸線



六、申請專利範圍

1. 一種遞減面積之分散式靜電放電防護電路，包括：

- 一信號輸入端；
- 一接地端；
- 一信號輸出端；
- 一電源供應端；

數靜電放電防護元件組，其係相並聯於該信號輸入端及該信號輸出端間，且每一該靜電放電防護元件組連接於該電源供應端及該接地端間；以及

數高阻抗傳輸線，其係相串聯於該信號輸入端及該信號輸出端間，且每一該高阻抗傳輸線分別連接於該信號輸入端、該等靜電放電防護元件組及該信號輸出端間；

其特徵在於：每一該靜電放電防護元件組係包含二靜電放電防護元件，且該等靜電放電防護元件組內之該等靜電放電防護元件的面積尺寸係由該信號輸入端至該信號輸出端而呈遞減順序。

2. 如申請專利範圍第1項所述之遞減面積之分散式靜電放電防護電路，其中，該靜電放電防護元件為二極體。

3. 如申請專利範圍第1項所述之遞減面積之分散式靜電放電防護電路，其中，該靜電放電防護元件為電晶體。

4. 如申請專利範圍第1項所述之遞減面積之分散式靜電放電防護電路，其中，該靜電放電防護元件為N通道金屬氧化半導體（NMOS）。

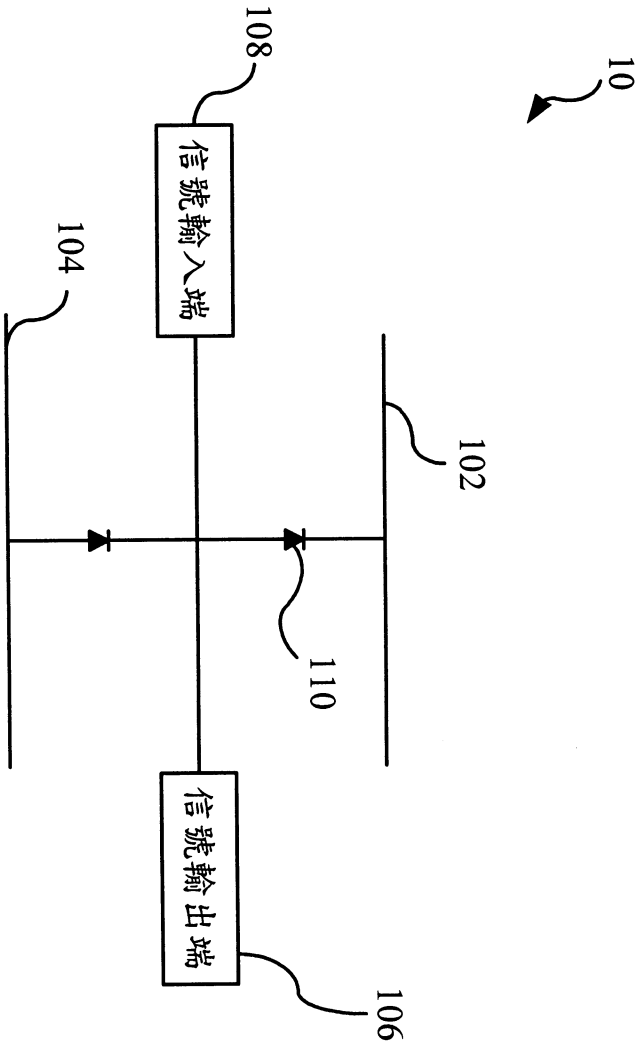
5. 如申請專利範圍第1項所述之遞減面積之分散式靜電放電防護電路，其中，該靜電放電防護元件為P通道金屬氧



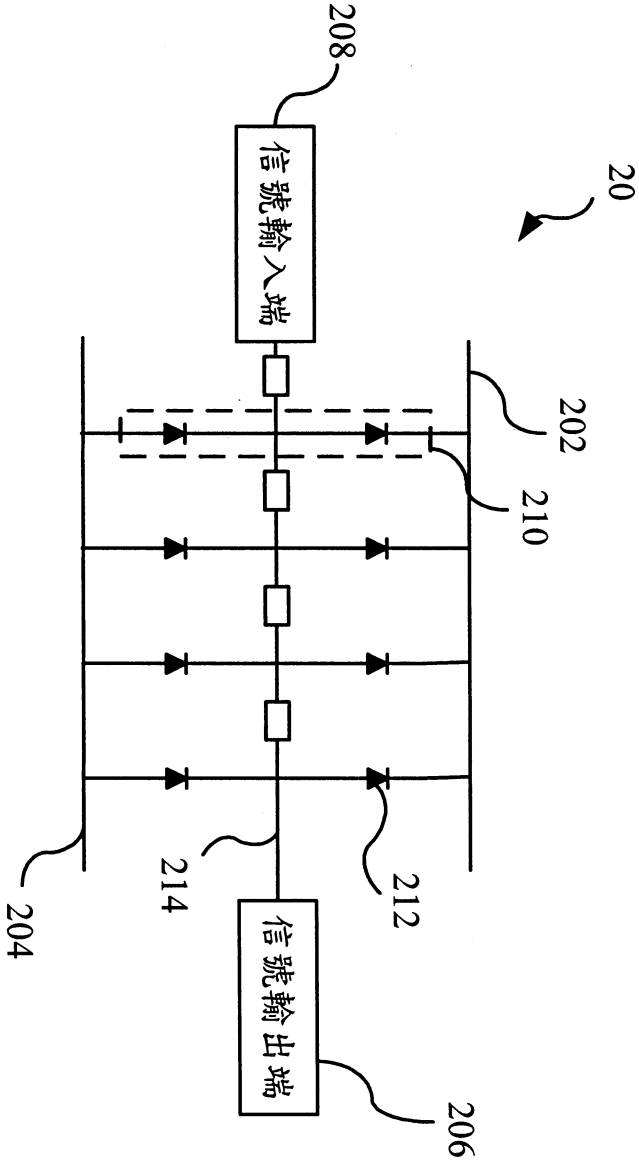
六、申請專利範圍

化半導體 (PMOS) 。

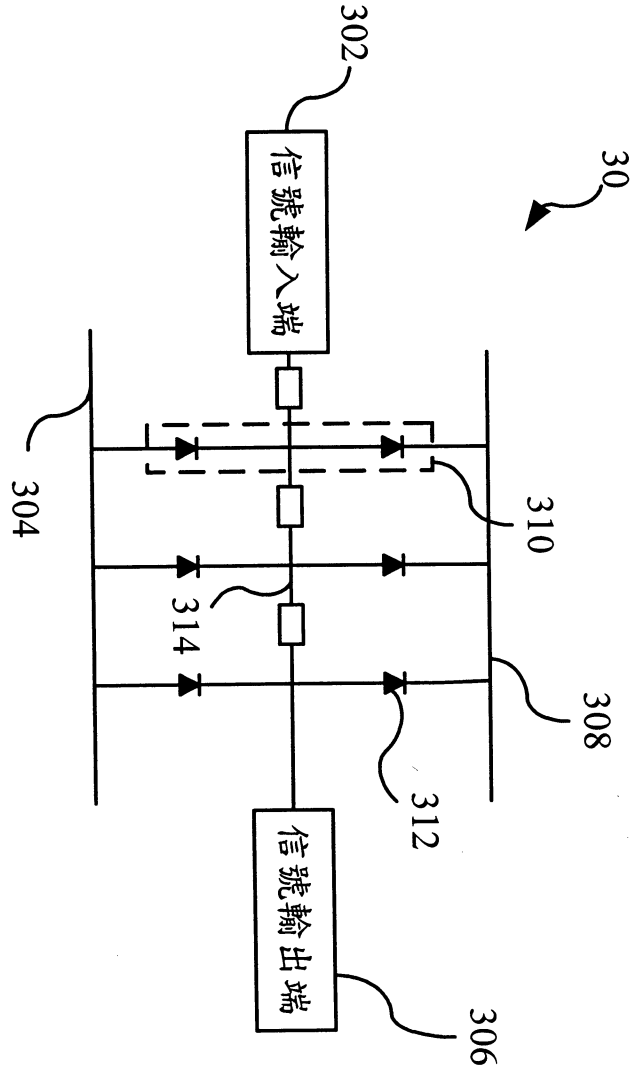




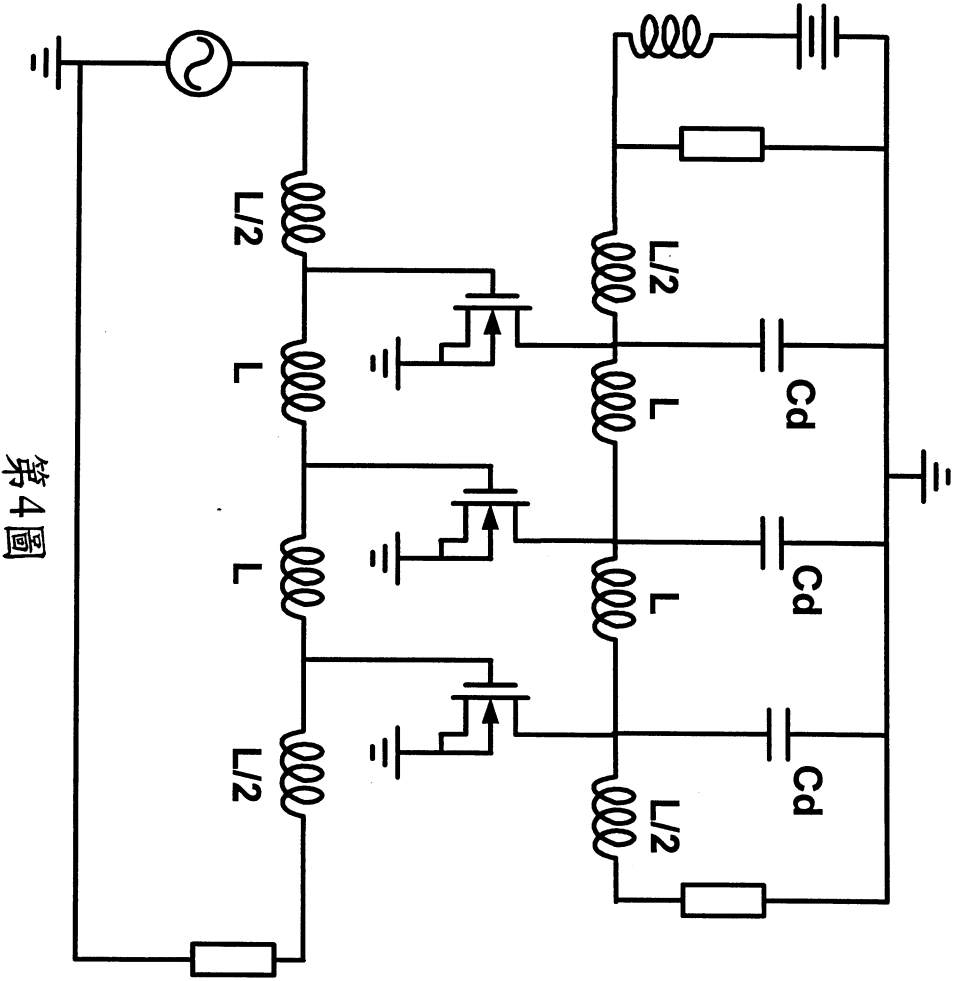
第1圖（先前技術）



第2圖 (先前技術)



第3圖



第4圖

第5圖

