

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：P314135P

※申請日期：P3-12-30

※IPC 分類：G11C 1/02

一、發明名稱：(中文/英文)

用於金屬編碼唯讀記憶體中消除耦合雜訊干擾之方法

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

國立交通大學

NATIONAL CHIAO TUNG UNIVERSITY

代表人：(中文/英文)

張俊彥/CHANG, CHUN-YEN

住居所或營業所地址：(中文/英文)

新竹市大學路 1001 號

1001 Ta-Hsueh Rd., Hsinchu, Taiwan R.O.C.

國籍：(中文/英文)

中華民國/R.O.C

三、發明人：(共 2 人)

姓名：(中文/英文)

1.張孟凡/MENG-FAN CHANG

2.溫瓊岸/KUEI-ANN WEN

國籍：(中文/英文)

1.~2.中華民國/R.O.C

四、聲明事項：

主張專利法第二十二條第二項第一款或第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

本發明提出一種用於金屬編碼唯讀記憶體中消除耦合雜訊干擾之方法，此金屬編碼唯讀記憶體包括複數條字元線、複數條位元線、複數個預充電電晶體以及複數個緊固電晶體。當這些位元線其中之一被選取時，相鄰兩側之位元線藉由緊固電晶體而被緊固 (clamping) 至一固定之電壓值 (VDD 或是 GND 或是其他電壓)，這種緊固方法於這些鄰近位元線上不會產生壓降以及能同時於所選擇之位元線上除去耦合雜訊，進而除去高速金屬編碼唯讀記憶體中耦合雜訊所引起之讀碼失敗以及達到較高的速度。

六、英文發明摘要：

七、指定代表圖：

(一)本案指定代表圖為：第 4 圖。

(二)本代表圖之元件代表符號簡單說明：

18	字元線
20	預(先)充電控制線
22~26	預充電電晶體
28~38	緊固電晶體

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

九、發明說明：

【發明所屬之技術領域】

本發明係有關於一種可消除耦合雜訊干擾之方法，且特別是有關於一種用於金屬編碼唯讀記憶體中消除耦合雜訊干擾之方法。

【先前技術】

唯讀記憶體 (ROM) 通常是內嵌於 SoCs 用以儲存碼以及波形表，也因此，更快的速度、更大的電容量以及縮短上市的時間在內嵌式 ROM 已經逐漸成為目前 SoCs 的驅勢。習知技術於字元線開啓的時後，位於位元線間的干擾 (crosstalk) 會引起所選擇位元線的壓降。

如第 1 圖所示，其中 BL-A1 與 BL-A2 為讀取 "0" 之各種碼型態 (code pattern)。BL-D 之電壓 (讀取 "1") 係大於參考電壓 V_{ref} ，然後其係被偵測為 "1"；BL-V1 之電壓 (讀取 "1") 小於參考電壓 V_{ref} ，其係受到來自於 BL-A1 的干擾 (crosstalk)，而被感測為 "0" 並且引起讀取錯誤於高速金屬編碼唯讀記憶體中。

目前，仍尚未有一種方法可以解決上述碼型態 (code-pattern) 依存而造成耦合雜訊以及其於高速金屬編碼唯讀記憶體中讀取失敗的問題。

【發明內容】

本發明目的之一在於提出一種用於金屬編碼唯讀記憶體中消除耦合雜訊干擾之方法，用以除去所選擇之位元線和他們鄰近位元線間之耦合雜訊所引起之讀取失敗的問題，以

及可提供 NOR 型高速金屬/接觸/穿孔型之編碼 ROM 的 100% 的碼型態 (code-pattern) 範圍。

為達成上述之目的，本發明提出一種用於金屬編碼唯讀記憶體中消除耦合雜訊干擾之方法，此唯讀記憶體包括複數條位元線，分別將同一行 0-codes 之電晶體之汲極耦接在一起；多數條字元線，分別將同一列電晶體之閘極耦接在一起；多數個預充電電晶體，配置在每一條位元線上，由一預充電控制線將這些預充電電晶體之閘極耦接在一起；多數個緊固電晶體，配置於每一條位元線上，這些緊固的電晶體皆連接至一個電壓，用以將所控制的位元線維持穩定；且當這些位元線其中之一被選取時，相鄰兩側之位元線藉由這些緊固電晶體被固定至一電壓值。

在本發明一較佳實施例中，上述之緊固電晶體呈矩陣式排列地配置於每一條位元線上，且位元線被固定至一電壓值時，係處於一字元線脈波是高的期間。

本發明另外提出一種用於金屬編碼唯讀記憶體中消除耦合雜訊干擾之方法，此唯讀記憶體包括：多數條位元線，分別將同一行 0-codes 之電晶體之汲極耦接在一起；以及多數條字元線，分別將同一列電晶體之閘極耦接在一起；其中奇數位元線上皆配置一第一電晶體，偶數位元線上皆配置一第二電晶體，一第一預充電控制線將奇數位元線之第一電晶體的閘極耦接在一起，一第二預充電控制線將偶數位元線之第二電晶體的閘極耦接在一起；當奇數或偶數之這些位元線其中之一條被選取時，奇數或偶數之這些位元線藉由對應控

制之這些位元線上之緊固電晶體被固定至一電壓值。

在本發明一較佳實施例中，上述之第一與第二電晶體同時具有預充電以及緊固電壓之功能。這些位元線藉由對應控制之這些位元線上之緊固電晶體被固定至一電壓值時，係處於一字元線脈波是高的期間。

綜上所述，這種緊固之方法在鄰近位元線上不會產生壓降以及於選擇之位元線上消除耦合電壓，進而除去耦合電壓所引起之讀碼失敗。

【實施方式】

在每一個週期的開始，所有位元線都處於預先充電的階段以及如同於常規唯讀記憶體中對一個目標電壓預先充電。在新週期輸入位址解碼以後，把這些選擇的位元線透過由行列選擇信號， $Y[J]$ 控制的電晶體連接在感測放大器上。在字元線打開期間(字元線脈波是高的)，所有這些選擇和未選擇的位元線在閱讀狀態中。然而選擇的位元線的鄰近位元線(左右兩側)，由縱列選擇信號 Y (如第4圖所示)或者編碼的預先充電控制信號(pre_odd , pre_even)(如第5圖所示)控制的電晶體對一個固定的電壓(VDD 或者 GND 或者其他電壓)緊固($clamping$)。

第2圖顯示一種依據本發明位元線讀取之示意圖。請參考第2圖，其中 $BL1$ 為讀取"1"之所有位元線的波形，此圖即可很清楚的表示，本發明並不會受到干擾($crosstalk$)的影響。

第4圖為根據本發明較佳實施例之電路圖，在此實施例

中，係以一金屬編碼唯讀記憶體為例子以進行說明。請參閱第 4 圖，在此圖中，係選取金屬編碼唯讀記憶體之多數條位元線中之其中三條進行說明，亦即圖中之 $BL[j-1]$ 、 $BL[j]$ 與 $BL[j+1]$ 這三條位元線。如圖所示，這三條位元線係將同一行 0-codes 之電晶體之汲極端連接在一起；而字元線分別將同一列電晶體之閘極端連接在一起；預充電電晶體 22、24 與 26 係配置在這三條位元線上，由一預充電控制線 20 將預充電電晶體 22、24 與 26 之閘極連接在一起。

另外，緊固電晶體 28、30、32、34、36 與 38 係分別配置於這三條位元線上，這些緊固的電晶體 28、30、32、34、36 與 38 皆連接至一固定電壓，可用以將所控制的位元線維持於穩定的電壓；且當這些位元線其中之一被選取時，相鄰兩側之位元線藉由這些緊固電晶體被固定至一電壓值，也就是例如當 $BL[j]$ 此條位元線被選取時， $BL[j-1]$ 與 $BL[j+1]$ 藉由所對應之緊固電晶體將電壓固定至一電壓值。

在本發明一較佳實施例中，上述之緊固電晶體呈矩陣式排列地配置於每一條位元線上，且當位元線被固定至一電壓值時，係處於一字元線脈波是高的期間。

如上所述，假如選擇 $BL[j]$ ，行選擇信號 $Y[j]$ 導通路徑以通過在 $BL[j]$ 之信號至感測放大器以及啓動在 $BL[j-1]$ 與 $BL[j+1]$ 之緊固功能。此緊固結構會造成鄰近位元線 $BL[j-1]$ 與 $BL[j+1]$ 於資料感測階段不會有電壓擺動 (swing)。此種行為消除了被選擇位元線的耦合電壓源。因此，在被選擇之位元線的耦合電壓與干擾將被消除。然而，這種插入的緊固電

晶體會比習知 ROM 佔有更多的面積。

第 5 圖顯示一種依據本發明另一較佳實施例之電路圖。請參考第 5 圖，其中此唯讀記憶體包括複數條字元線，分別將同一行 0-codes 之電晶體之汲極耦接在一起；以及複數條位元線，分別將同一列電晶體之閘極耦接在一起。奇數位元線上配置一第一電晶體。在此實施例中亦即為 $BL[j-1]$ 與 $BL[j+1]$ 上配置皆第一電晶體，偶數位元線上皆配置第二電晶體，亦即在 $BL[j-1]$ 與 $BL[j+1]$ 分別配置電晶體 44 與電晶體 46，其中第一預充電控制線 48 將奇數位元線之第一電晶體 44 與電晶體 46 的閘極耦接在一起，第二字元線 50 將偶數位元線(如 $BL[j]$)所配置之第二電晶體 42 的閘極耦接在一起；當奇數或偶數之位元線其中之一條被選取時，奇數或偶數的這些位元線藉由對應控制之預充電控制線上之電晶體被固定至一電壓值。也就是在字元脈波是高的期間，對於被選擇的位元線左右兩個鄰近之位元線，以及其他一些未被選擇的奇數或偶數的位元線，使用電晶體連接一個電壓，以維持位元線上之電壓是穩定電壓。

在此實施例中，緊固電晶體是被與充電電晶體一起共用的，以減少過多的面積且提供緊固功能。預充電與緊固信號是藉由行位置(column address)的最低位元來編碼以個別控制奇數或是偶數之位元線。因此，在此緊固電路中不會有佔有過多的面積，只有小部份的多出之面積用在控制區塊產生之奇數/偶數的預充電控制信號。

另外在本發明再一較佳實施例中，提出第 3 種保護方

法，這種方法是特別是用在低功率消耗的應用中。在一般的低功率 ROM 中，選擇性的預充電是非常受歡迎的架構，其係僅針對被選擇的位元線預充電取代預充電所有的位元線，以減少於預充電階段的電流消耗。然而，假如任何新存取週期被選擇位元線之臨近位元線在先前的存取週期中有殘餘之電壓(存取 1-cells)，同時臨近位元線在新的週期中，存取 0-cells，則這些臨近位元線仍然是具有電壓擺動以及引起耦合電壓降在被選擇的位元線。因此，習知被選擇的位元線架構仍然會受到干擾並產生讀取錯誤。

也因此，此實施例中所提及之保護技術是用在選擇性的預充電架構以清除殘餘的電壓以及同時緊固在臨近位元線的位能。在臨近的位元線中是被放電至接地電壓以及緊固在接地電壓係個別地處於被選擇的預充電階段與資料感測階段。

第 6 圖顯示上述實施例之電路圖，如同上述本發明其他之保護技術中，在第 3 種保護技術中的臨近位元線於資料感測階段中，不具有電壓擺動。然而，在第 3 種保護技術中，臨近位元線被放電至接地電壓，與在第 1 與第 2 種保護技術中預充電至 VDD 或其他電壓不同。

換句話說，位元線在資料感測的階段中，有三種狀態：選擇讀取、未選擇讀取或者是緊固(clamping)狀態。在預先充電階段中，所有位元線皆被預充電。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範

圍內，當可做些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

第 1 圖顯示一種習知技藝中位元線上讀取錯誤之示意圖；

第 2 圖顯示一種依據本發明位元線讀取之示意圖；

第 3 圖顯示一種於常規唯讀記憶體中在預充電之電路圖；

第 4 圖顯示一種依據本發明一較佳實施例之電路圖；

第 5 圖顯示一種依據本發明另一較佳實施例之電路圖；

第 6 圖顯示一種依據本發明再一較佳實施例之電路圖。

元件代表符號

18	字元線
20	預(先)充電控制線
22~26	預充電電晶體
28~38	緊固電晶體
40~46	緊固電晶體
48	第一預充電控制線
50	第二預充電控制線

十、申請專利範圍：

1. 一種消除耦合雜訊干擾之方法，適用於一金屬編碼唯讀記憶體，該唯讀記憶體包括：

複數條位元線，分別將同一行 0-codes 之電晶體之汲極耦接在一起；

複數條字元線，分別將同一列電晶體之閘極耦接在一起；

複數個預充電電晶體，配置於每一該些位元線上，且該些預充電電晶體之閘極係由一預充電控制線耦接在一起；以及

複數個緊固電晶體，配置於每一該些位元線上，用以對一個固定電壓緊固；

其中，當該些位元線其中之一被選取時，相鄰兩側之位元線藉由該些緊固電晶體被固定至一電壓值。

2. 如申請專利範圍第 1 項所述之方法，其中該些緊固電晶體係呈矩陣式地配置於每一該些位元線上。

3. 如申請專利範圍第 1 項所述之方法，其中當相鄰兩側之位元線藉由該些緊固電晶體被固定至一電壓值，係處於一字元線脈波是高的期間。

4. 如申請專利範圍第 1 項所述之方法，其中該唯讀記憶體為唯讀記憶體，其編碼層為金屬、接觸窗或導通窗。

5. 如申請專利範圍第 1 項所述之方法，其中該位元線包括四種型態：選擇的閱讀、未選擇的閱讀、預先充電與緊固。

6. 一種消除耦合雜訊干擾之方法，適用於一金屬編碼唯讀記

憶體，該唯讀記憶體包括：

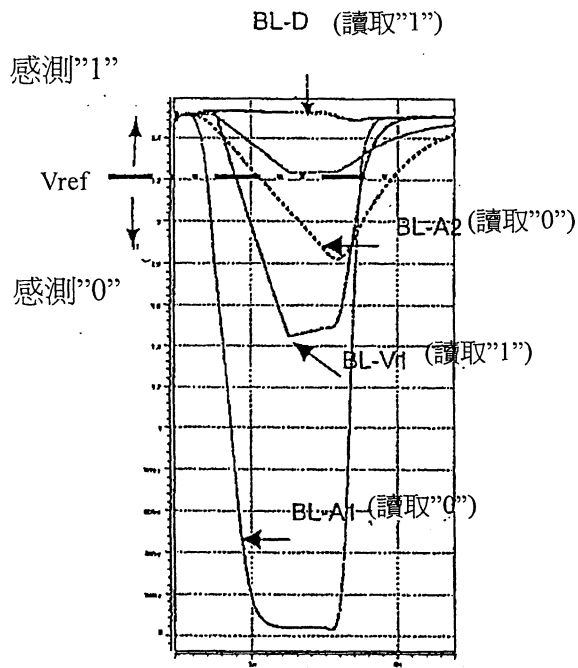
複數條位元線，分別將同一行 0-codes 之電晶體之汲極耦接在一起；以及

複數條字元線，分別將同一列電晶體之閘極耦接在一起；

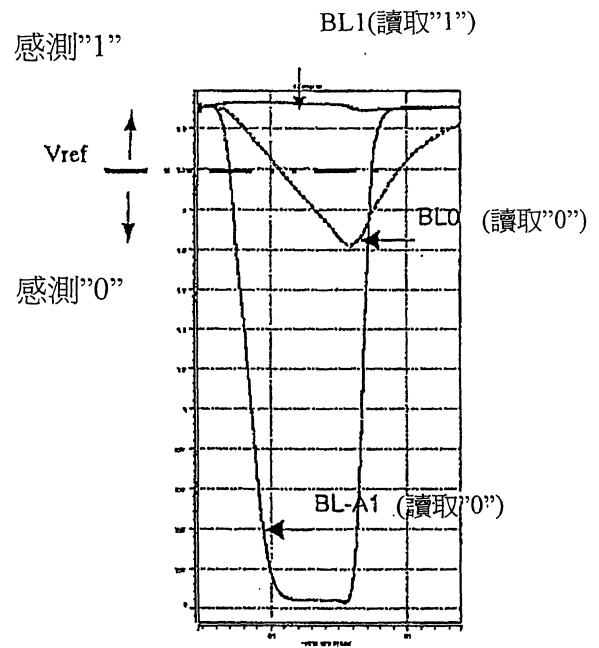
其中奇數位元線上皆配置一第一電晶體，偶數位元線上皆配置一第二電晶體，一第一預充電控制線將奇數位元線之該第一電晶體的閘極耦接在一起，一第二預充電控制線將偶數位元線之該第二電晶體的閘極耦接在一起；當奇數或偶數之該些位元線其中之一一條被選取時，奇數或偶數之該些位元線藉由對應控制之該些位元線上之電晶體被固定至一電壓值。

- 7.如申請專利範圍第 6 項所述之方法，其中該些第一與第二電晶體同時具有預充電以及緊固電壓之功能。
- 8.如申請專利範圍第 6 項所述之方法，其中該些第一與第二電晶體具有預充電或緊固電壓之功能。
- 9.如申請專利範圍第 6 項所述之方法，其中當該些位元線藉由對應控制之該些位元線上之電晶體被固定至一電壓值時，係處於一字元線脈波是高的期間。
- 10.如申請專利範圍第 6 項所述之方法，其中該唯讀記憶體為唯讀記憶體，其編碼層為金屬、接觸窗或導通窗(via)。
- 11.如申請專利範圍第 6 項所述之方法，其中該位元線包括四種型態：選擇的閱讀、未選擇的閱讀、預先充電與緊固。

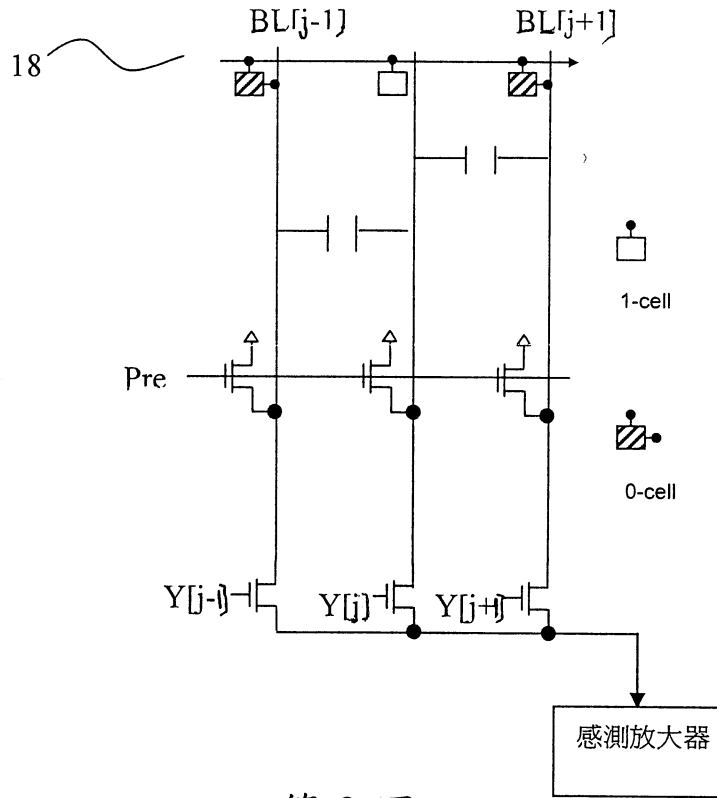
十一、圖式：



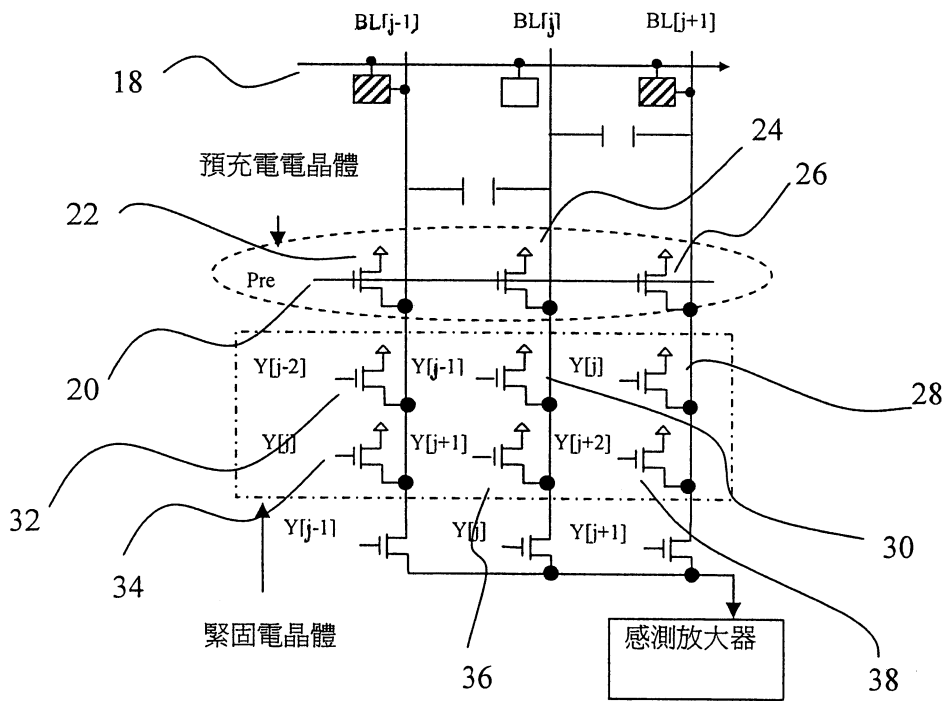
第 1 圖



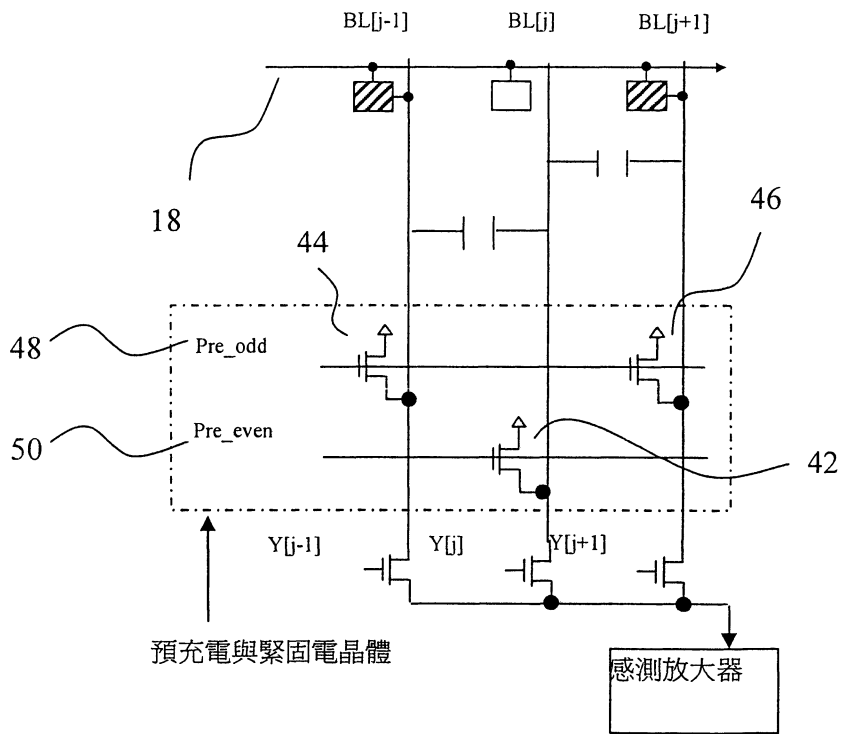
第 2 圖



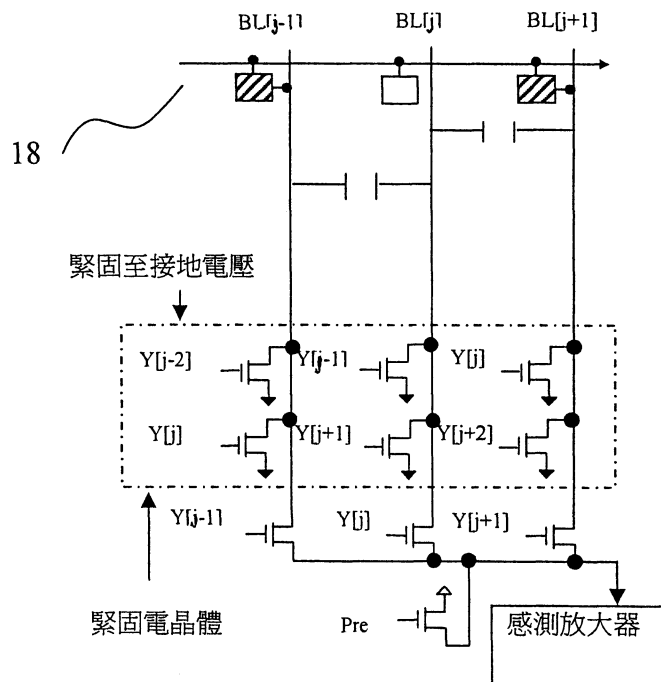
第 3 圖



第 4 圖



第 5 圖



第 6 圖