

發 明 專 利 說 明 書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：93121302

※ 申請日期：93.7.16

※IPC 分類：G11C11/00

一、發明名稱：(中文/英文)

組合多準位記憶單元並使其具備錯誤更正機制的方法

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

國立交通大學

代表人：(中文/英文)

張俊彥

住居所或營業所地址：(中文/英文)

新竹市大學路 1001 號

國 籍：(中文/英文)

中華民國 ROC

三、發明人：(共 3 人)

姓 名：(中文/英文)

吳介琮

汪大暉

張錫嘉

國 籍：(中文/英文)

中華民國 ROC

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

本發明係為一種組合多準位記憶單元並使其具備錯誤更正機制的方
法，其係組合多個記憶體單元達到記憶儲存的目的，其記憶體單元之分階
電壓準位不受 2 次方值的限制，可線性逐漸提升。其特色在不需增加記憶
體面積，亦可增加記憶體容量；並且餘出無法完整表現 0、1 組合的電壓準
位，可作為伴隨資料讀取的錯誤抹除（erasure）訊息。對於記憶體之使用效
率而言，其增加之記憶容量不僅可以儲存資料，更可以用來儲存錯誤更正
機制，以確保所儲存資料之正確性並且提升記憶體之生產良率。

六、英文發明摘要：

七、指定代表圖：

(一)、本案代表圖為：第3圖

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

九、發明說明：

【發明所屬之技術領域】

本發明係為一種有關記憶體的方法，特別是一種不需額外儲存空間，藉由組合多個記憶單元來增加記憶容量，可同時儲存資料與其相關錯誤更正訊息的方法。

【先前技術】

按，由於數位科技的發展，使得資訊的傳輸不再受到空間的限制，不僅可在網路上無遠弗屆的傳送，多樣變化的隨身記憶裝置更是讓資料能夠隨身攜帶。然而，由於資料必須頻繁的在不同介面、不同儲存裝置之間傳輸轉換，如何確保傳輸過程中資料被正確的傳送，就成了相當重要的一件工作。以現今常被使用的各種記憶體而言，其資料儲存過程係可參考第 1 圖，當欲輸入一筆資料的時候，係先經過一錯誤更正碼產生器 1 針對資料進行錯誤更正碼編碼的動作，產生冗值 (redundancy) 後組成可驗證該筆資料的錯誤更正碼。然後，經由寫入電路 3 將資料以及錯誤更正碼寫入記憶裝置 5，例如記憶體中；而當資料欲輸出的時候，係利用先前產生之錯誤更正碼對該筆資料進行錯誤校正 7，以確保資料能正確的被輸出。

1965 年，英特爾公司共同創辦人摩爾 (Gordon Moore) 預測矽晶片電晶體數目每隔 18 個月會呈倍數增加，也就是所謂的『摩爾定律』(Moore's Law)；長久以來，記憶體容量一直呈現倍數成長，從早期的 8M、16M，到現今市面上容量為 1024M 的記憶體，其發展可說是『摩爾定律』的最佳見證範例。然而從產品推出的週期來看，其技術更新的時間日漸延長，也就是說當技術成熟至某一階段後，欲更上一層樓是愈加困難，必須突破更多

的瓶頸才能達到，也就是說企業須付出更多代價來追求技術的加倍成長。

記憶體在增加記憶容量的技術一般而言可從二方面著手，一為增加記憶體儲存單元(memory cell)的數目，另則以多準位技術增加每一記憶單元之記憶容量。舉例來說，當每一記憶單元均被分為具 4 階電壓準位如第 2 圖所示時，其每一電壓準位分別代表特定之位元圖案，準位 0 與位元圖案"1 1"有關，準位 1 與位元圖案"1 0"有關，準位 2 與位元圖案"0 1"有關，而準位 3 與位元圖案"0 0"有關，即每一記憶單元可儲存"1 1"、"0 1"、"1 0"、"0 0"四種狀態，亦即可表示 2 位元的資料。同理，當每一記憶單元被區分成具有 8 階電壓準位時，由於 $2^3=8$ ，因此每一記憶單元可完整表現 3 個位元的 0、1 組合，亦即可儲存 3 位元的資料。由於在資訊科技中資料傳輸大多遵循二進位制，最基本語言是以 0 及 1 表示，記憶體的發展更不例外。為能增加記憶容量，記憶單元從具 4 階電壓準位發展至 8 階，目前英特爾 Intel 公司更是已將單一記憶單元的電壓準位提升至 16 階，也就是說每一記憶單元的記憶容量即為 4 位元，雖然容量倍增，但相對而言，在記憶單元一定的電壓區間中，區分階數愈多，所需突破的技術愈困難，若受限於以 2 的倍數成長，表示下一代記憶體需晉升至具有 32 階、64 階的電壓準位，以完整提供 5 位元甚至 6 位元的記憶容量。因此，為能克服電壓準位呈指數上升的發展曲線所需突破的技術瓶頸，本發明係提出一種藉由組合多準位記憶體的方法，且這些多準位記憶體之電壓準位係可不受限於需以 2 為底數，將電壓準位以線性方式呈現，不僅能夠增加所能儲存的資料容量，大幅降低記憶單元在分割電壓準位所需突破的技術門檻，更可以使其具備錯誤更正機制，確保所儲存資料之正確性並提升記憶體之生產良率。

【發明內容】

本發明之主要目的係在提供一種可增加記憶體容量的方法，其記憶單元之電壓準位階數不需受限於 2 的次方值；藉由組合多個記憶單元，充分利用記憶準位的組合排列來增加記憶體容量。

本發明之另一目的係在提供一種使記憶體具有錯誤更正機制的方法，

藉由組合多個非 2 次方之電壓準位所增加之記憶體容量，用來儲存錯誤更正機制編碼時所必需的冗值 (redundancy)。

本發明之再一目的係在提供一種不受傳統以 2 為底數之記憶體設計思考方法，其記憶單元所具有之電壓準位雖非 2 的次方，但藉由組合多個記憶單元後，所形成之記憶體不僅同樣可儲存資料，且更具有一小部分非完整之儲存空間，可作為資料存取的錯誤抹除 (erasure) 訊息。

為達到上述之目的，本發明係提出一種組合多準位記憶單元使記憶容量增加並儲存錯誤更正機制中的冗值以及錯誤抹除訊息之方法。本發明記憶單元所具的電壓準位階數係不受 2 的次方限制，組合多個記憶單元後，藉由電壓準位間的相乘效應可將多個記憶體視為一整體，用以進行 2 進位的儲存容量換算，不僅可以提高記憶體容量，且依據無法完整換算為 2 進位之電壓準位，用以標示該筆儲存資料正確與否的錯誤抹除訊息。

底下藉由具體實施例配合所附的圖式詳加說明，當更容易瞭解本發明之目的、技術內容、特點及其所達成之功效。

【實施方式】

記憶體是現今電腦系統最典型的資料儲存裝置，不論是 RAM、ROM、EEPROM、SDRAM....等，都可說是由許多儲存記憶單元 (memory cell) 組合而成，每一記憶單元所具有之電荷狀態壓可被分成多個區段，稱為電壓準位，用以表示不同的位元圖案。如前敘第 2 圖所示，當一個記憶單元具有四階電壓準位，每一電壓準位均可分別代表特定之位元圖案。

對同一記憶單元而言，其所具有電壓準位階數愈多，意味著可表示的位元圖案愈多，因此為增加記憶體的記憶容量，除增加記憶單元的數目外，更可提高記憶單元所具有的電壓區段。以現階段記憶體容量的計算方式而言，均以 2 的次方作為電壓準位分段的準則；在這樣的限制下，記憶體技術將愈來愈難突破。本發明係提供一方法，使記憶單元即使具有非 2 的次方電壓準位，仍然可以藉由相互組合來達到資料儲存的功效，且無法完整換算為 2 進位之電壓準位，更可作為資料儲存時，標示該筆資料正確與否的錯誤抹除訊息。

第 3 圖為本發明之方法流程示意圖，其主要包括下列步驟：首先如步驟 S10 所示，提供至少一記憶體單元，該記憶體單元係被區分成 n 階，具有 n 階電壓準位，且 n 不為 2 的次方值，例如 n 為 3、5、6、7、9、10、11、12...17、18、19...等，表示該記憶體單元具有 3 階、5 階、6 階、...18 階、19 階...的電壓準位。此時，該記憶體單元所具有之儲存位元，以二進位法則計算可表示為 $\lfloor \log_2 n \rfloor$ ；接續，如步驟 S12 所示，組合 k 個該記憶體單元以形成一記憶體，k 值必須大於 1，藉由組合各記憶體單元所具有電壓準位，係可形成一具有較大記憶容量的記憶體，同樣依據二進位制法則，則該記憶體的儲存位元可表示為 $\lfloor \log_2(n)^k \rfloor$ 。然而，由於每一個記憶體單元本身所區分的電壓準位並非 2 的次方值，因此當欲計算記憶體的儲存容量時，將有餘出無法完整表現 0、1 組合的電壓準位，將這些無法完整表現 0、1 組合的電壓準位稱為一餘出電壓準位階數，則該記憶體所包含的餘出電壓準位階數可表示為 $n^k - 2^{\lfloor \log_2(n)^k \rfloor}$ ；接下來，當記憶體形成之後，如步驟 S14 所示，

即可儲存一筆資料至該記憶體中，該筆資料乃存入於記憶體的儲存位元內，並且，雖然記憶體所包含的餘出電壓準位階數無法完整表現 0 與 1 組合，但本發明藉由非 2 次方的記憶體單元電壓準位分割方式，除有助於記憶體設計外，更進一步可增加記憶體的儲存容量。以習知具有 4 階電壓準位的記憶體單元來看，每一記憶體單元容量為 2 位元，組合四個這樣的記憶體單元可得到具有 8 位元儲存容量的記憶體，然而，若以本發明之方法，將每一個記憶體單元的電壓準位提升至 5 階，在同樣組合四個記憶體單元的情況下，卻可得到 9 位元的儲存空間(見第 4 圖的說明)，相較於習知的設計，增加了 1 位元的記憶容量，對於資料儲存而言，正可用來存放伴隨資料產生的錯誤驗證訊息 (parity)，不僅不佔用記憶體儲存資料原有的空間，且所餘出的電壓準位階數，雖不具有完整的位元表現，但其空間可用來標示伴隨該筆資料的錯誤抹除訊息，確保資料存取無誤。

為能更進一步說明本發明方法，在此以第 4 圖為例進行說明，當一記憶體單元 20 被區分為具有 5 階電壓準位時 (此時 $n=5$)，則此記憶體單元依照二進位法則的儲存位元計算方式，係可儲存 $\lfloor \log_2 5 \rfloor = 2$ 位元的資料，當組合 4 個記憶體單元 20 用以形成一記憶體 22 時 (此時 $k=4$)，可將每一記憶體單元 20 所具有的電壓準位視為一整體，即記憶體 22 具有 $5^4=625$ 階的電壓準位，依照二進位法則的儲存位元計算方式，係可儲存 9 位元的資料。然而，對於這 625 階電壓準位而言，其中可完整表現 0、1 二進位組合的僅有 $2^{\lfloor \log_2(5^4) \rfloor} = 512$ 階，剩餘的 $625-512=113$ 階並無法完整表現第 10 位元所有 0 與 1 的組合；因此，該記憶體 22 係具有 113 階的餘出電壓準位階數。當記

憶體 22 形成之後，欲儲存一筆資料至該記憶體 22 中時，該筆資料的內容以及伴隨資料產失的錯誤驗證訊息，係可存放於記憶體 22 所具有的 9 位元儲存空間中，而餘出的 113 階電壓準位，雖非完整的位元空間，但可用來標示與資料正確與否的錯誤抹除訊息，不僅不佔用記憶體 22 所具有的完整儲存空間，同時能確保該筆資料存取時的正確性。

以目前資料存取的設計而言，為能確保資料傳輸的正確，通常會利用錯誤驗證機制計算伴隨資料存取的錯誤驗證訊息，不論是以『同位元檢查』、或是『錯誤更正碼』方式，所得出的錯誤驗證訊息 (parity) 均會當成資料的一部分，存放於記憶裝置中，佔用記憶裝置的儲存空間。然而本發明所提出的記憶體設計概念，藉由組合多個不受 2 進位制的電壓準位分階限制的記憶體單元形成具有較大儲存容量的記憶體，同時，相較習知設計而言，對於同樣面積的記憶體單元，電壓準位階數的提升更可增加資料記憶儲存的空間，不論是儲存資料，或是儲存伴隨資料產生的錯誤驗證訊息，均有效提升記憶體的使用效率，且雖然會有無法表現完整 0 與 1 組合的餘出電壓準位階數，但這些餘出電壓準位恰可用以標示伴隨資料存取的錯誤抹除訊息，在確保資料正確性下，充份利用記憶體所具有的儲存空間，不僅提高記憶體之使用效率，更可確保所儲存資料之正確性並提升記憶體之生產良率。

惟以上所述者，僅為本發明之較佳實施例而已，並非用來限定本發明實施之範圍。故即凡依本發明申請範圍所述之形狀、構造、特徵及精神所為之均等變化或修飾，均應包括於本發明之申請專利範圍內。

【圖式簡單說明】

圖式說明：

第 1 圖為習知記憶體儲存資料流程示意圖。

第 2 圖為習知記憶體之記憶單元電壓準位分割示意圖。

第 3 圖為本發明之方法流程示意圖。

第 4 圖為本發明之一實施例示意圖。

圖號說明：

20 記憶體單元

22 記憶體

十、申請專利範圍：

- 1、一種組合多準位記憶單元並使其具備錯誤更正機制的方法，其係包括下列步驟：

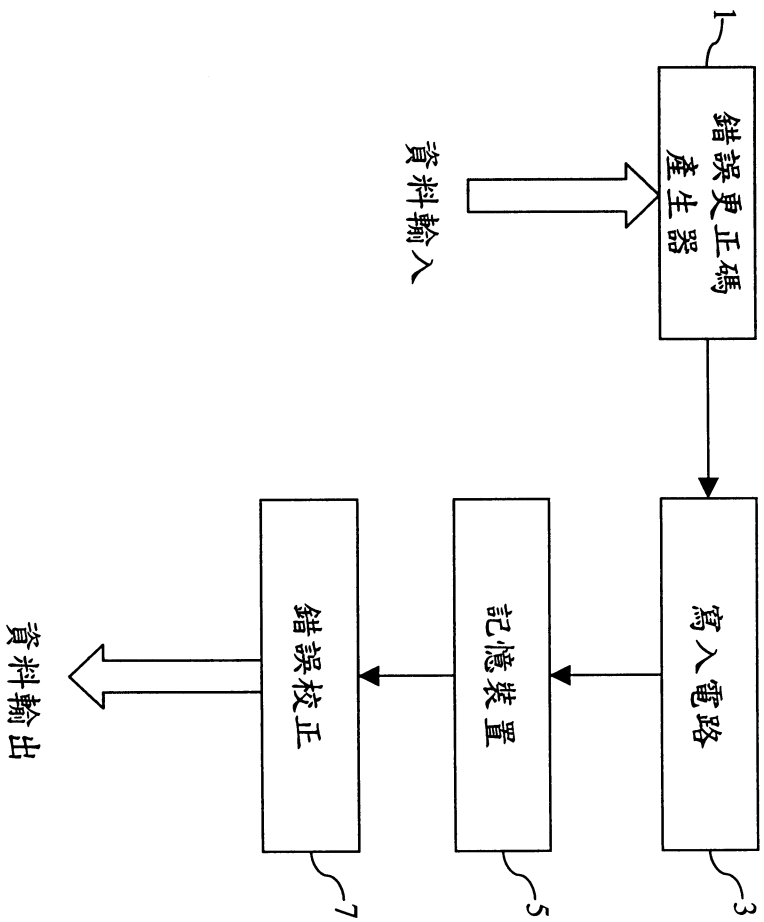
提供至少一記憶體單元，該記憶體單元係具有 n 階電壓準位，且 n 不為 2 的次方值，則該記憶體單元之儲存位元可表示為 $\lfloor \log_2 n \rfloor$ ；

組合 k 個該記憶體單元以形成一記憶體， k 係大於 1，則該記憶體之儲存位元係可表示為 $\lfloor \log_2(n)^k \rfloor$ ，且該記憶體更具有一餘出電壓準位階數，其中，該餘出電壓準位階數係為無法計入儲存位元之電壓準位階數目，可表示為 $n^k - 2^{\lfloor \log_2(n)^k \rfloor}$ ；

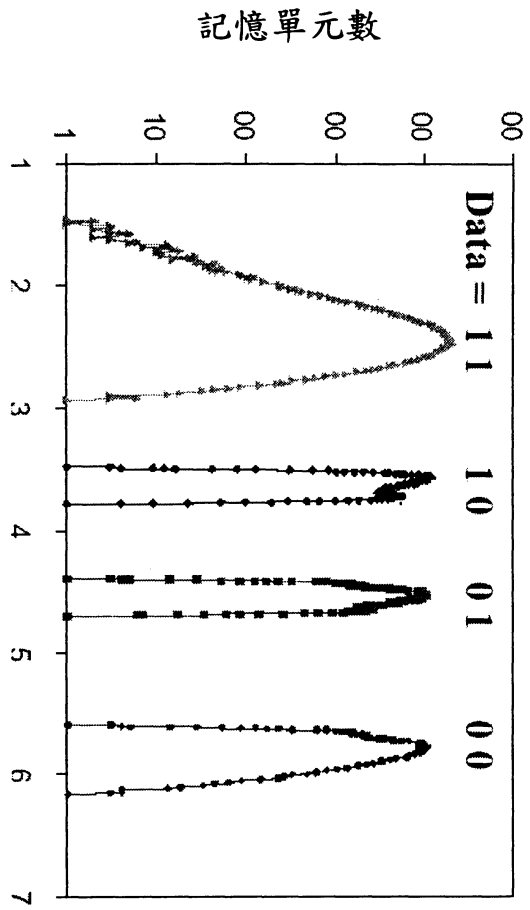
儲存一筆資料至該記憶體之儲存位元 $\lfloor \log_2(n)^k \rfloor$ 中，且將該記憶體所具有之該餘出電壓準位階數用來標示驗證該筆資料之錯誤抹除訊息 (erasure)。

- 2、如申請專利範圍第 1 項所述之一種組合多準位記憶單元並使其具備錯誤更正機制的方法，其中儲存該筆資料至該記憶體中時，更將伴隨該筆資料之至少一錯誤驗證訊息 (parity) 儲存於該記憶體之儲存位元。
- 3、如申請專利範圍第 1 項所述之一種組合多準位記憶單元並使其具備錯誤更正機制的方法，其中，該記憶體係可為動態存取記憶體(DROM)、唯讀記憶體(ROM)、可擦拭唯讀記憶體(EPROM)、可擦拭可程式化之唯讀記憶體(EEPROM)其中之一者。
- 4、如申請專利範圍第 1 項所述之一種組合多準位記憶單元並使其具備錯誤更正機制的方法，其中，該錯誤驗證訊息係利用一同位元檢查方法產生者。

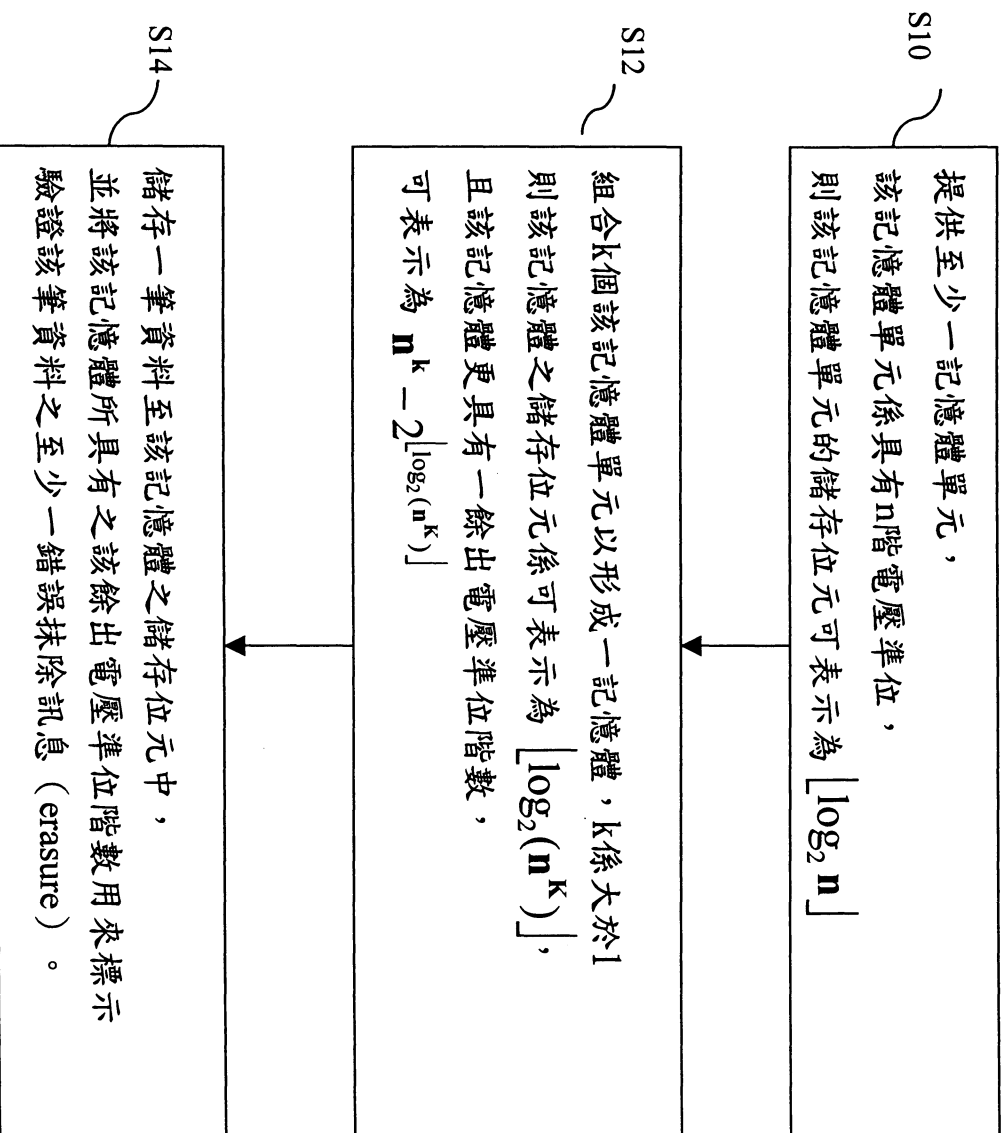
如申請專利範圍第 1 項所述之一種組合多準位記憶單元並使其具備錯誤更正機制的方法，其中，其中，該錯誤驗證訊息係利用一錯誤更正碼方法產生者。



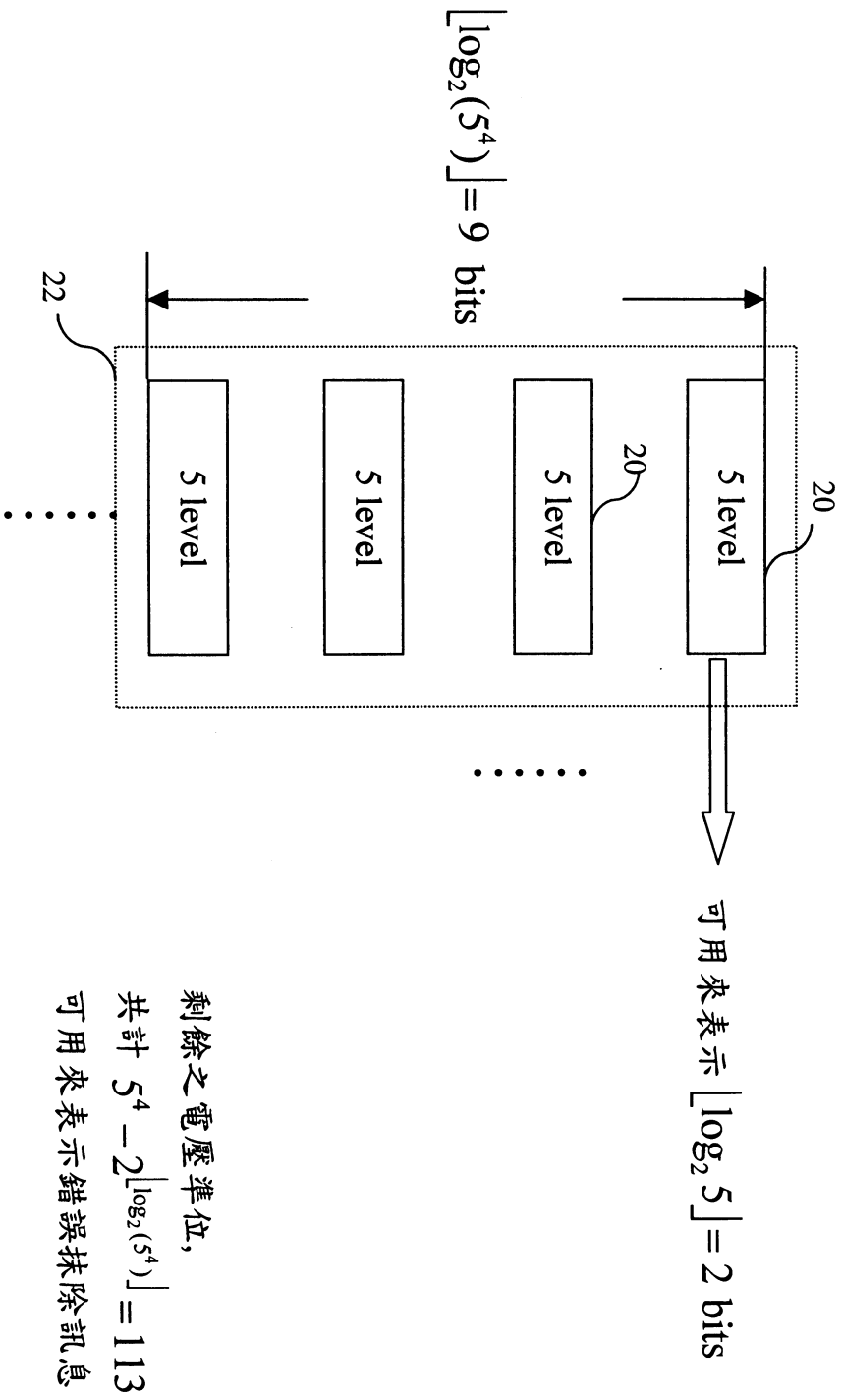
第1圖
(先前技術)



第2圖
(先前技術)



第3圖



第4圖