

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：9311600²

※申請日期：93.6.3

※IPC 分類：H01L²³/60

壹、發明名稱：(中文/英文)

用以靜電放電防護之矽控整流器 / A silicon controlled rectifier for the electrostatic discharge protection

貳、申請人：(共1人)

姓名或名稱：(中文/英文)(簽章)

國立交通大學 / National Chiao Tung University

代表人：(中文/英文)(簽章) 張俊彥 / Chun-Yen Chang

住居所或營業所地址：(中文/英文)

新竹市大學路1001號 / 1001 Ta Hsueh Rd., Hsinchu, Taiwan

國籍：(中文/英文) 中華民國

參、發明人：(共2人)

姓名：(中文/英文)

1. 柯明道 / Ming-Dou Ker

2. 林昆賢 / Kun-Hsien Lin

住居所地址：(中文/英文)

1. 新竹市大學路1001號交通大學電子系所 / 1001 Ta Hsueh Rd., Hsinchu, Taiwan

2. 屏東縣萬巒鄉恭寬路二號 / No.2, Gongkuan Rd., Wanluan Township, Pingtung County 923, Taiwan

國籍：(中文/英文)

1. 中華民國

2. 中華民國

肆、聲明事項：

本案係符合專利法第二十條第一項 第一款但書或 第二款但書規定之期間，其日期為： 年 月 日。

◎本案申請前已向下列國家（地區）申請專利 主張國際優先權：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

- 1.
- 2.
- 3.
- 4.
- 5.

主張國內優先權(專利法第二十五條之一)：

【格式請依：申請日；申請案號數 順序註記】

- 1.
- 2.

主張專利法第二十六條微生物：

國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

熟習該項技術者易於獲得，不須寄存。

伍、中文發明摘要：

本發明係提供一種用以靜電放電防護之矽控整流器，其包含：一第一電極和一第二電極做為兩極、一 P 型電晶體 (PMOS)、一 N 型電晶體 (NMOS) 以及一矽控整流器 (Silicon Controlled Rectifier, SCR) 結構；係藉由利用電源間的寄生矽控整流器 (SCR) 以達到全晶片靜電放電防護電路設計 (Whole-chip ESD protection design)；其係適用於積體電路產品、IC 設計產業以及晶圓代工產業。

陸、英文發明摘要：

The present invention relates to an SCR (Silicon Controlled Rectifier) for the ESD (electrostatic discharge) protection comprising two terminal electrodes of a first electrode and a second electrode, a PMOS, an NMOS and an SCR structure. By utilizing an embedded SCR, a whole-chip ESD protection circuit design can be obtained. The present invention is suitable for IC products, and for applications by IC design industries and IC foundry industries.

柒、指定代表圖：

(一)本案指定代表圖為：第(1)圖。

(二)本代表圖之元件代表符號簡單說明：

第一電極 1

第二電極 2

P型電晶體 3

N型電晶體 4

矽控整流器(SCR)結構 5

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

玖、發明說明：

【發明所屬之技術領域】

本發明係有關於一種用以靜電放電防護之矽控整流器(Silicon Controlled Rectifier, SCR)，尤其是指一種利用電源間的寄生矽控整流器(SCR)作為電源間靜電放電防護裝置，藉此達到全晶片靜電放電防護電路設計(Whole-chip ESD protection design)。

【先前技術】

本發明相關習知技術請參閱『第34圖、第35圖(a)、第35(b)圖』所示，依序分別為係一習知應用於互補金屬氧化物半導體(CMOS)積體電路(IC)靜電放電防護電路設計示意圖、係一習知含有輸入或輸出的P型電晶體與N型電晶體之間的單保護圈結構的靜電放電防護裝置示意圖、係一習知含有輸入或輸出的P型電晶體與N型電晶體之間的雙保護圈結構的靜電放電防護裝置示意圖。

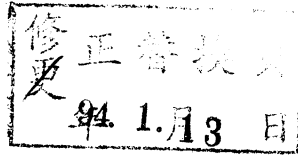
以上晶片之靜電放電防護設計中，輸入或輸出(I/O)電路是以P型電晶體以及N型電晶體分別與VDD以及VSS電源相連結，以達到靜電放電防護的目的。此外，為了達到全晶片靜電放電防護電路設計，除了輸入或輸出(I/O)電路的靜電放電防護裝置外，電源間也必需要有額外的靜電放電防護電路裝置。而且電源間靜電放電防護

電路的耐受度直接影響到整個晶片的靜電放電耐受度。因此須要利用更多的佈局面積來裝置電源間靜電放電防護電路。

在互補金屬氧化物半導體技術中，矽控整流器(SCR)裝置普遍地用於晶片之靜電放電防護電路設計上。若將矽控整流器(SCR)裝置與其他在互補金屬氧化物半導體(CMOS)積體電路中的靜電放電(ESD)防護裝置如：兩極體(diode)、金氧半導體(Metal Oxide Semiconductor, MOS)、BJT 或 field-oxide device 等裝置相比較，由於矽控整流器(SCR)裝置在導通後的持有電壓(Holding Voltage)較低($\sim 1\text{ V}$)，所以其在晶片之靜電放電防護(ESD Protection)電路設計中，可以利用較小的佈局面積下來達到較高的靜電放電耐受度。但是另一方面，由於矽控整流器(SCR)裝置在導通後的持有電壓比電源的電壓小，在正常電路操作的情況下，矽控整流器(SCR)可能會偶然地受到外界的脈衝(noise pulse)所觸發而產生閃鎖效應(Latch-up)的問題。而閃鎖效應(Latch-up)常常導致積體電路的功能失敗，甚至是毀壞。

按，為了解決使用矽控整流器(SCR)裝置於晶片之靜電放電防護電路所引起的閃鎖效應(Latch-up)問題，被提出的相關幾種習用技術之文獻如下：

- 一、C.-S. Lai, M.-H. Liu, S. S, and T.-C. Lu, "Electrostatic discharge protection circuits



with latch-up prevention function,” US Patent No.: 6 4 1 0 9 6 3, Jun. 2 0 0 2。

上述文獻之技術，其係利用一至少包含一由第一有兩極接點的電晶體(first bipolar junction transistor)和一第二有兩極接點的電晶體(second bipolar junction transistor)所形成的矽控整流器、一介於電極界面(interface terminal)和第一有兩極接點的電晶體(second bipolar junction transistor)之間的第一 MOS 電晶體(first MOS transistor) 以及一介於第二有兩極接點的電晶體(second bipolar junction transistor)的發射極(emitter)和接地點(ground point)之間的第二 MOS 電晶體(second MOS transistor)之裝置以達到靜電放電防護和排除門鎖效應(Latch-up)之效果。

二、Ming-Dou Ker and H.-H. Chang, “Cascode LVTSCR and ESD protection circuit,” US Patent No.: 5 9 5 9 8 2 0, Sept. 1 9 9 9。

上述文獻之技術，其係利用兩個以上的矽控整流器，其中每個矽控整流器包含一個正極，一控制極以及一陰極之裝置以達到靜電放電防護效果且排除門鎖效應(Latch-up)之效果。

然而，當裝置的尺寸被縮小時，供給的 VDD 電壓也必需被縮小，以達到該有的元件電路表現。例如在 0.13

1.3 微米互補金屬氧化物半導體(CMOS)技術中，VDD 電壓可能只有 1 V 或 1.2 V。當矽控整流器(SCR)裝置導通後的持有電壓比電源的 VDD 電壓高時，閃鎖效應(latch-up)將不會產生。所以，在矽控整流器(SCR)裝置中，不需要多加克服閃鎖效應(latch-up)的設計。

按，利用矽控整流器靜作為電源間靜電放電防護電路裝置，已發表之文獻如下：

A. Z. Wang, "A new design for complete on-chip ESD protection," in *Proc. of Custom Integrated Circuits Conf.*, 2000, pp. 87-90.

上述文獻之技術，其製程上必需增加一 NBL(N⁺ buried layer)層，且矽控整流器(SCR)裝置需要比較高的觸發電壓才能使之導通，以達到靜電放電防護之效果。

而本發明係藉由一介於輸出入電路之 P 型電晶體與 N 型電晶體間的寄生矽控整流器結構來產生電源間靜電放電防護電路之效果。在不需要額外的電源間靜電放電防護電路之下，藉單一的輸出入單元(I/O cell)便可以達到全晶片靜電放電防護設計。

本發明係完全適用於所有一般的 CMOS 過程，而不需要增加額外的製程或額外的光罩(mask)；藉此，可使得晶片在較小的佈局面積下的具有較高的靜電放電耐受度。

【發明內容】

因此，本發明之主要目的係在於互補金屬氧化物半導體(CMOS)積體電路(IC)中，藉由單一的輸出入單元(I/O cell)便可達到全晶片靜電放電防護設計。

本發明之另一目的係在於，晶片上之靜電放電防護電路設計，可以在較小的佈局面積下達到具有較高的靜電放電耐受度。

本發明之又一目的在於，其可適用於 sub 0.13 微米的互補金屬氧化物半導體(CMOS)積體電路(IC)產品。

為達上述之目的，本發明係提供一種藉電源間的寄生矽控整流器(Silicon Controlled Rectifier, SCR)作為電源間靜電放電防護裝置，藉此達到全晶片靜電放電防護電路設計(Whole-chip ESD protection design)。其係由一具高電壓電源(如：VDD)的第一電極和一具低電壓電源(如：VSS)的第二電極、一 P 型電晶體(PMOS)、一 N 型電晶體(NMOS)以及一矽控整流器(SCR)結構所構成，藉此，使得每一個單一的輸出入單元(I/O Cell)便可以達到全晶片靜電放電防護設計，而不需要額外的電源間靜電放電防護電路(power-rail ESD clamp circuit)。此外，可使得全晶片在較小的佈局面積下，具有較高的靜電放電耐受度，因此，本發明適合應用於 IC 設計產業以及晶圓代工產業，或適合應用於積體電路產品中。

【實施方式】

請參閱『第 1 圖』所示，係本發明之結構示意圖。如圖所示：本發明係一種用以靜電放電防護之矽控整流器，其係由一具高電壓電源(如：VDD)的第一電極 1 和一具低電壓電源(如：VSS)的第二電極 2 做為兩極；一 P 型電晶體(PMOS) 3、一 N 型電晶體(NMOS) 4 以及一矽控整流器(SCR)結構 5 所構成。其中，該 P 型電晶體(PMOS) 3 係連接該第一電極 1 與矽控整流器(SCR)結構 5，該 N 型電晶體(NMOS) 4 係連接該第二電極 2 與矽控整流器(SCR)結構 5 藉此做為靜電放電防護裝置。依據本發明用以靜電放電防護之矽控整流器的結構，其中該矽控整流器結構 5 可依本發明之不同且各別的實施例而變化，而其他結構仍依本發明之結構所述。

本發明係有關於一種用以靜電放電防護之矽控整流器(Silicon Controlled Rectifier, SCR)，尤其是指一種利用電源間的寄生矽控整流器(embedded SCR)作為電源間靜電放電防護裝置，藉此達到全晶片靜電放電防護電路設計(Whole-chip ESD protection design)。

接著，請參閱『第 2 圖~第 15 圖』所示，係本發明之第一實施例示意圖、係本發明之第二實施例示意圖、係本發明之第三實施例示意圖、係本發明之第四實施例示意圖、係本發明之第五實施例示意圖、係本發明之第六實施例示意圖、係本發明之第七實施例示意圖、係本發明之第八實施例示意圖、係本發明之第九實施例示意圖。

圖、係本發明之第十實施例示意圖、係本發明之第十一實施例示意圖、係本發明之第十二實施例示意圖、係本發明之第十三實施例示意圖以及係本發明之第十四實施例示意圖。

其中，本發明之矽控整流器 5 可分別由『第 2 圖~第 15 圖』之所示結構所構成，眾圖之矽控整流器結構 5 差異分別各述如下：

請進一步參閱『第 2 圖』所示，本發明之矽控整流器 5 可由一第一 P 型高摻雜區(P^+) 6、一第一 N 型高摻雜區(N^+) 7、一 P 型井(P-well) 8 以及一 N 型井(N-well) 9 所構成，並可進一步搭配本發明之第 16 圖電路實施例示意圖，保護內部電路；

請進一步參閱『第 3 圖』所示，本發明之矽控整流器 5 可由一第一 P 型高摻雜區(P^+) 6、一第一 N 型高摻雜區(N^+) 7、一 P 型井(P-well) 8 以及一 N 型井(N-well) 9，且包含一第二 P 型高摻雜區(P^+) 10 作為陽極與一第二 N 型高摻雜區(N^+) 11 作為陰極，並可進一步搭配本發明之第 16 圖電路實施例示意圖，保護內部電路；

請進一步參閱『第 4 圖』所示，本發明之矽控整流器 5 可由一第一 P 型高摻雜區(P^+) 6、一第一 N 型高摻雜區(N^+) 7、一 P 型井(P-well) 8、一 N 型井(N-well) 9 以及另一第三 P 型高摻雜區(P^+) 12 所構成，並可進

一步搭配本發明之第 17 圖電路實施例示意圖，保護內部電路；

請進一步參閱『第 5 圖』所示，本發明之矽控整流器 5 可由一第一 P 型高摻雜區(P^+) 6、一第一 N 型高摻雜區(N^+) 7、一 P 型井(P-well) 8、一 N 型井(N-well) 9 以及另一第三 N 型高摻雜區(N^+) 13 所構成，並可進一步搭配本發明之第 18 圖電路實施例示意圖，保護內部電路。

請進一步參閱『第 6 圖』所示，本發明之矽控整流器 5 可由一第一 P 型高摻雜區(P^+) 6、一第一 N 型高摻雜區(N^+) 7、一 P 型井(P-well) 8、一 N 型井(N-well) 9、一第二 P 型高摻雜區(P^+) 10 作為陽極與一第二 N 型高摻雜區(N^+) 11 作為陰極以及另一第三 P 型高摻雜區(P^+) 12 所構成，並可進一步搭配本發明之第 17 圖電路實施例示意圖，保護內部電路。

請進一步參閱『第 7 圖』所示，本發明之矽控整流器 5 可由一第一 P 型高摻雜區(P^+) 6、一第一 N 型高摻雜區(N^+) 7、一 P 型井(P-well) 8、一 N 型井(N-well) 9、一第二 P 型高摻雜區(P^+) 10 作為陽極與一第二 N 型高摻雜區(N^+) 11 作為陰極以及另一第三 N 型高摻雜區(N^+) 13 所構成，並可進一步搭配本發明之第 18 圖電路實施例示意圖，保護內部電路。

請進一步參閱『第 8 圖』所示，本發明之矽控整流

器 5 可由一第一 P 型高摻雜區 (P^+) 6、一第一 N 型高摻雜區 (N^+) 7、一 P 型井 (P-well) 8、一 N 型井 (N-well) 9、至少一以上虛擬閘極 (dummy gate) 14 以及另一第三 P 型高摻雜區 (P^+) 12 所構成，並可進一步搭配本發明之第 17 圖電路實施例示意圖，保護內部電路。

請進一步參閱『第 9 圖』所示，本發明之矽控整流器 5 可由一第一 P 型高摻雜區 (P^+) 6、一第一 N 型高摻雜區 (N^+) 7、一 P 型井 (P-well) 8、一 N 型井 (N-well) 9、至少一以上虛擬閘極 (dummy gate) 14 以及另一第三 N 型高摻雜區 (N^+) 13 所構成，並可進一步搭配本發明之第 18 圖電路實施例示意圖，保護內部電路。

請進一步參閱『第 10 圖』所示，本發明之矽控整流器 5 可由一第一 P 型高摻雜區 (P^+) 6、一第一 N 型高摻雜區 (N^+) 7、一 P 型井 (P-well) 8、一 N 型井 (N-well) 9 以及另一第四 P 型高摻雜區 (P^+) 15 作為觸發端所構成，並可進一步搭配本發明之第 19 圖、第 21 圖及第 23 圖電路實施例示意圖，保護內部電路。

請進一步參閱『第 11 圖』所示，本發明之矽控整流器 5 可由一第一 P 型高摻雜區 (P^+) 6、一第一 N 型高摻雜區 (N^+) 7、一 P 型井 (P-well) 8、一 N 型井 (N-well) 9 以及另一第四 N 型高摻雜區 (N^+) 16 作為觸發端所構成，並可進一步搭配本發明之第 20 圖、第 22 圖及第 24 圖電路實施例示意圖，保護內部電路。

請進一步參閱『第 1 2 圖』所示，本發明之矽控整流器 5 可由一第一 P 型高摻雜區(P^+) 6、一第一 N 型高摻雜區(N^+) 7、一 P 型井(P-well) 8、一 N 型井(N-well) 9、一第二 P 型高摻雜區(P^+) 10 作為陽極及一第二 N 型高摻雜區(N^+) 11 作為陰極以及另一第四 P 型高摻雜區(P^+) 15 作為觸發端所構成，並可進一步搭配本發明之第 1 9 圖、第 2 1 圖及第 2 3 圖電路實施例示意圖，保護內部電路。

請進一步參閱『第 1 3 圖』所示，本發明之矽控整流器 5 可由一第一 P 型高摻雜區(P^+) 6、一第一 N 型高摻雜區(N^+) 7、一 P 型井(P-well) 8、一 N 型井(N-well) 9、一第二 P 型高摻雜區(P^+) 10 作為陽極及一第二 N 型高摻雜區(N^+) 11 作為陰極以及另一第四 N 型高摻雜區(N^+) 16 作為觸發端所構成，並可進一步搭配本發明之第 2 0 圖、第 2 2 圖及第 2 4 圖電路實施例示意圖，保護內部電路。

請進一步參閱『第 1 4 圖』所示，本發明之矽控整流器 5 可由一第一 P 型高摻雜區(P^+) 6、一第一 N 型高摻雜區(N^+) 7、一 P 型井(P-well) 8、一 N 型井(N-well) 9、至少一以上虛擬閘極(dummy gate) 14 以及另一第四 P 型高摻雜區(P^+) 15 作為觸發端所構成，並可進一步搭配本發明之第 1 9 圖、第 2 1 圖及第 2 3 圖電路實施例示意圖，保護內部電路。

請進一步參閱『第 15 圖』所示，本發明之矽控整流器 5 可由一第一 P 型高摻雜區(P^+) 6、一第一 N 型高摻雜區(N^+) 7、一 P 型井(P-well) 8、一 N 型井(N-well) 9、至少一以上虛擬閘極(dummy gate) 14 以及另一第四 N 型高摻雜區(N^+) 16 作為觸發端所構成，並可進一步搭配本發明之第 20 圖、第 22 圖及第 24 圖電路實施例示意圖，保護內部電路。

另外，請參閱『第 16 圖 - 第 24 圖』所示，依序分別係本發明之一電路實施例示意圖；係本發明之二電路實施例示意圖；係本發明之三電路實施例示意圖；係本發明之四電路實施例示意圖；係本發明之五電路實施例示意圖；係本發明之六電路實施例示意圖；係本發明之七電路實施例示意圖；係本發明之八電路實施例示意圖；係本發明之九電路實施例示意圖。

如『第 25 圖』所示，係本發明另一實施例之結構示意圖。此另一實施例係由一具高電壓電源(如：VDD)的第一電極 1 和一具低電壓電源(如：VSS)的第二電極 2 做為兩極；一 P 型電晶體(PMOS) 3、一 N 型電晶體(NMOS) 4、一矽控整流器(SCR)結構 17 以及另一防護結構 18 所構成。其中該 P 型電晶體(PMOS) 3 係連接該第一電極 1 與該矽控整流器(SCR)結構 17，該 N 型電晶體(NMOS) 4 係連接該第二電極 2 與該另一防護結構 18 藉此做為電路防護。且該另一防護

結構 1 8 至少可包含一二極體結構或一矽控整流器 (SCR) 結構，並請參閱『第 2 6 圖 - 第 3 3 圖』為該結構相關應用之電路實施例，其中依序分別係本發明之十電路實施例示意圖；係本發明之十一電路實施例示意圖；係本發明之十二電路實施例示意圖；係本發明之十三電路實施例示意圖；係本發明之十四電路實施例示意圖；係本發明之十五電路實施例示意圖；係本發明之十六電路實施例示意圖；係本發明之十七電路實施例示意圖。

此外，本發明另一實施例的矽控整流器 1 7 與防護結構 1 8 分別由『第 1 0 圖~第 1 5 圖』之所示結構所構成電路如圖 2 6 ~ 圖 2 9 所示；另，防護結構 1 8，可進一步由二極體所構成，如圖 3 0 ~ 圖 3 3 所示構成本發明。

藉由上述所提之架構可知本發明係有關於一種用以靜電放電防護之矽控整流器 (Silicon Controlled Rectifier, SCR)，尤其是指一種利用電源間的寄生矽控整流器 (embedded SCR) 作為電源間靜電放電防護裝置。因此單一的輸出入單元 (I/O Cell) 便可以達到全晶片靜電放電防護設計，而不需要額外的電源間靜電放電防護電路。此作為靜電放電防護的寄生矽控整流器 (embedded SCR) 的途徑係形成於一高電壓電源 (如：VDD) 的第一電極 1 和一低電壓電源 (如：VSS) 的第二電極 2 此兩電極之

間。寄生矽控整流器的導通速度可由加入觸發端於矽控整流器路徑中來提高。在靜電放電發生時，寄生矽控整流器可經由靜電放電偵測電路(ESD Detection Circuit)的觸發而快速的進入閉鎖狀態。使用此設計，晶片可在較小的佈局面積下的具有較高的靜電放電耐受度。且本發明係適合應用於 IC 設計產業以及晶圓代工產業，或適應用於深次微米的互補金屬氧化物半導體(CMOS)積體電路(IC)的產品中。

惟以上所述者，僅為本發明之較佳實施例而已，當不能以此限定本發明實施之範圍；故，凡依本發明申請專利範圍及發明說明書內容所作之簡單的等效變化與修飾，皆應仍屬本發明專利涵蓋之範圍內。

【圖式簡單說明】

- 第 1 圖，係本發明之結構示意圖；
- 第 2 圖，係本發明之第一實施例示意圖；
- 第 3 圖，係本發明之第二實施例示意圖；
- 第 4 圖，係本發明之第三實施例示意圖；
- 第 5 圖，係本發明之第四實施例示意圖；
- 第 6 圖，係本發明之第五實施例示意圖；
- 第 7 圖，係本發明之第六實施例示意圖；
- 第 8 圖，係本發明之第七實施例示意圖；
- 第 9 圖，係本發明之第八實施例示意圖；
- 第 10 圖，係本發明之第九實施例示意圖；
- 第 11 圖，係本發明之第十實施例示意圖；
- 第 12 圖，係本發明之第十一實施例示意圖；
- 第 13 圖，係本發明之第十二實施例示意圖；
- 第 14 圖，係本發明之第十三實施例示意圖；
- 第 15 圖，係本發明之第十四實施例示意圖；
- 第 16 圖，係本發明之一電路實施例示意圖；
- 第 17 圖，係本發明之二電路實施例示意圖；
- 第 18 圖，係本發明之三電路實施例示意圖；
- 第 19 圖，係本發明之四電路實施例示意圖；
- 第 20 圖，係本發明之五電路實施例示意圖；
- 第 21 圖，係本發明之六電路實施例示意圖；
- 第 22 圖，係本發明之七電路實施例示意圖；
- 第 23 圖，係本發明之八電路實施例示意圖；

第 2 4 圖，係本發明之九電路實施例示意圖；

第 2 5 圖，係本發明另一實施例之結構示意圖；

第 2 6 圖，係本發明之十電路實施例示意圖；

第 2 7 圖，係本發明之十一電路實施例示意圖；

第 2 8 圖，係本發明之十二電路實施例示意圖；

第 2 9 圖，係本發明之十三電路實施例示意圖；

第 3 0 圖，係本發明之十四電路實施例示意圖；

第 3 1 圖，係本發明之十五電路實施例示意圖；

第 3 2 圖，係本發明之十六電路實施例示意圖；

第 3 3 圖，係本發明之十七電路實施例示意圖；

第 3 4 圖，係一習知應用於互補金屬氧化物半導體(CMOS)

積體電路(IC)靜電放電防護電路設計示意圖；

第 3 5 (a)圖，係一習知含有輸入或輸出的 P 型電晶體與

N 型電晶體之間的單保護圈結構的靜電放電防護裝

置示意圖；

第 3 5 (b)圖，係一習知含有輸入或輸出的 P 型電晶體與

N 型電晶體之間的雙保護圈結構的靜電放電防護裝

置示意圖；

【元件標號對照】

第一電極 1

第二電極 2

P 型電晶體 3

N 型電晶體 4

矽控整流器(SCR)結構	5
矽控整流器(SCR)結構	1 7
防護結構	1 8
P型井(P-well)	8
N型井(N-well)	9
虛擬閘極(dummy gate)	1 4
第一 P 型高摻雜區(P^+)	6
第二 P 型高摻雜區(P^+)	1 0
第三 P 型高摻雜區(P^+)	1 2
第四 P 型高摻雜區(P^+)	1 5
第一 N 型高摻雜區(N^+)	7
第二 N 型高摻雜區(N^+)	1 1
第三 N 型高摻雜區(N^+)	1 3
第四 N 型高摻雜區(N^+)	1 6

拾、申請專利範圍：

1. 一種用以靜電放電防護之矽控整流器，包含：
 - 一第一電極和一第二電極做為兩極；
 - 一 P 型電晶體 (PMOS)；
 - 一 N 型電晶體 (NMOS)；以及
 - 一矽控整流器 (SCR) 結構，其中該 P 型電晶體 (PMOS) 係連接該第一電極與矽控整流器 (SCR) 結構，該 N 型電晶體 (NMOS) 係連接該第二電極與矽控整流器 (SCR) 結構藉此做為電路防護。
2. 如申請專利範圍第 1 項所述之用以靜電放電防護之矽控整流器，其中，該矽控整流器 (SCR) 結構係可包含一第一 P 型高摻雜區 (P^+)、一第一 N 型高摻雜區 (N^+)、一 P 型井 (P-well) 以及一 N 型井 (N-well)。
3. 如申請專利範圍第 1 項所述之用以靜電放電防護之矽控整流器，其中，該矽控整流器 (SCR) 結構係可包含一第一 P 型高摻雜區 (P^+)、一第一 N 型高摻雜區 (N^+)、一 P 型井 (P-well)、一 N 型井 (N-well) 以及一第二 P 型高摻雜區 (P^+) 與一第二 N 型高摻雜區 (N^+) 分別作為陽極與陰極。
4. 如申請專利範圍第 1 項所述之用以靜電放電防護之矽控整流器，其中，該矽控整流器 (SCR) 結構係可包含一第一 P 型高摻雜區 (P^+)、一第一 N 型高摻雜區 (N^+)、一 P 型井 (P-well)、一 N 型井 (N-well) 以及另一第三 P 型高摻雜區 (P^+)。
5. 如申請專利範圍第 1 項所述之用以靜電放電防護之矽

控整流器，其中，該矽控整流器(SCR)結構係可包含第一 P 型高摻雜區(P^+)、一第一 N 型高摻雜區(N^+)、一 P 型井(P-well)、一 N 型井(N-well)以及另一第三 N 型高摻雜區(N^+)。

6. 如申請專利範圍第 1 項所述之用以靜電放電防護之矽控整流器，其中，該矽控整流器(SCR)結構係可包含一第一 P 型高摻雜區(P^+)、一第一 N 型高摻雜區(N^+)、一 P 型井(P-well)、一 N 型井(N-well)、一第三 P 型高摻雜區(P^+)以及一第二 P 型高摻雜區(P^+)與一第二 N 型高摻雜區(N^+)分別作為陽極與陰極。
7. 如申請專利範圍第 1 項所述之用以靜電放電防護之矽控整流器，其中，該矽控整流器(SCR)結構係可包含一第一 P 型高摻雜區(P^+)、一第一 N 型高摻雜區(N^+)、一 P 型井(P-well)、一 N 型井(N-well)、一第三 N 型高摻雜區(N^+)以及一第二 P 型高摻雜區(P^+)與一第二 N 型高摻雜區(N^+)分別作為陽極與陰極。
8. 如申請專利範圍第 1 項所述之用以靜電放電防護之矽控整流器，其中，該矽控整流器(SCR)結構係可包含一第一 P 型高摻雜區(P^+)、一第一 N 型高摻雜區(N^+)、一 P 型井(P-well)、一 N 型井(N-well)、至少一以上虛擬閘極(dummy gate)以及另一第三 P 型高摻雜區(P^+)。
9. 如申請專利範圍第 1 項所述之用以靜電放電防護之矽控整流器，其中，該矽控整流器(SCR)結構係可包含一第一 P 型高摻雜區(P^+)、一第一 N 型高摻雜區(N^+)、一 P 型井(P-well)、一 N 型井(N-well)、至少一以上虛

擬閘極(dummy gate)以及另一第三 N 型高摻雜區(N^+)。

- 1 0 · 如申請專利範圍第 1 項所述之用以靜電放電防護之矽控整流器，其中，該矽控整流器(SCR)結構係可包含一第一 P 型高摻雜區(P^+)、一第一 N 型高摻雜區(N^+)、一 P 型井(P-well)、一 N 型井(N-well)以及另一第四 P 型高摻雜區(P^+)作為觸發端。
- 1 1 · 如申請專利範圍第 1 項所述之用以靜電放電防護之矽控整流器，其中，該矽控整流器(SCR)結構係可包含一第一 P 型高摻雜區(P^+)、一第一 N 型高摻雜區(N^+)、一 P 型井(P-well)、一 N 型井(N-well)以及另一第四 N 型高摻雜區(N^+)作為觸發端。
- 1 2 · 如申請專利範圍第 1 項所述之用以靜電放電防護之矽控整流器，其中，該矽控整流器(SCR)結構係可包含一第一 P 型高摻雜區(P^+)、一第一 N 型高摻雜區(N^+)、一 P 型井(P-well)、一 N 型井(N-well)、一第四 P 型高摻雜區(P^+)作為觸發端以及一第二 P 型高摻雜區(P^+)與一第二 N 型高摻雜區(N^+)分別作為陽極與陰極。
- 1 3 · 如申請專利範圍第 1 項所述之用以靜電放電防護之矽控整流器，其中，該矽控整流器(SCR)結構係可包含一第一 P 型高摻雜區(P^+)、一第一 N 型高摻雜區(N^+)、一 P 型井(P-well)、一 N 型井(N-well)、一第四 N 型高摻雜區(N^+)作為觸發端以及一第二 P 型高摻雜區(P^+)與一第二 N 型高摻雜區(N^+)分別作為陽極與陰極。
- 1 4 · 如申請專利範圍第 1 項所述之用以靜電放電防護之矽控整流器，其中，該矽控整流器(SCR)結構係可包含



- 一第一 P 型高摻雜區(P^+)、一第一 N 型高摻雜區(N^+)、
一 P 型井(P-well)、一 N 型井(N-well)、至少一以上
虛擬閘極(dummy gate)以及另一第四 P 型高摻雜區(P^+)
作為觸發端。
- 1 5 · 如申請專利範圍第 1 項所述之用以靜電放電防護之
矽控整流器，其中，該矽控整流器(SCR)結構係可包含
一第一 P 型高摻雜區(P^+)、一第一 N 型高摻雜區(N^+)、
一 P 型井(P-well)、一 N 型井(N-well)、至少一以上
虛擬閘極(dummy gate)以及另一第四 N 型高摻雜區(N^+)
作為觸發端。
- 1 6 · 一種用以靜電放電防護之矽控整流器，包含：
一第一電極和一第二電極做為兩極；
一 P 型電晶體(PMOS)；
一 N 型電晶體(NMOS)；
一矽控整流器(SCR)結構；以及
另一防護結構，
其中該 P 型電晶體(PMOS)係連接該第一電極與該矽控
整流器(SCR)結構，該 N 型電晶體(NMOS)係連接該第二
電極與該另一防護結構藉此做為電路防護。
- 1 7 · 如申請專利範圍第 1 6 項所述之用以靜電放電防護
之矽控整流器，其中，該另一防護結構至少可包含一
二極體結構或一矽控整流器(SCR)結構。
- 1 8 · 如申請專利範圍第 1 6 項所述之用以靜電放電防護
之矽控整流器，其中，該矽控整流器(SCR)結構係可包
含一第一 P 型高摻雜區(P^+)、一第一 N 型高摻雜區

(N⁺)、一 P 型井(P-well)以及一 N 型井(N-well)。

- 1 9 · 如申請專利範圍第 1 6 項所述之用以靜電放電防護之矽控整流器，其中，該矽控整流器(SCR)結構係可包含一第一 P 型高摻雜區(P⁺)、一第一 N 型高摻雜區(N⁺)、一 P 型井(P-well)、一 N 型井(N-well)以及一第二 P 型高摻雜區(P⁺)與一第二 N 型高摻雜區(N⁺)分別作為陽極與陰極。
- 2 0 · 如申請專利範圍第 1 6 項所述之用以靜電放電防護之矽控整流器，其中，該矽控整流器(SCR)結構係可包含一第一 P 型高摻雜區(P⁺)、一第一 N 型高摻雜區(N⁺)、一 P 型井(P-well)、一 N 型井(N-well)以及另一第三 P 型高摻雜區(P⁺)。
- 2 1 · 如申請專利範圍第 1 6 項所述之用以靜電放電防護之矽控整流器，其中，該矽控整流器(SCR)結構係可包含第一 P 型高摻雜區(P⁺)、一第一 N 型高摻雜區(N⁺)、一 P 型井(P-well)、一 N 型井(N-well)以及另一第三 N 型高摻雜區(N⁺)。
- 2 2 · 如申請專利範圍第 1 6 項所述之用以靜電放電防護之矽控整流器，其中，該矽控整流器(SCR)結構係可包含一第一 P 型高摻雜區(P⁺)、一第一 N 型高摻雜區(N⁺)、一 P 型井(P-well)、一 N 型井(N-well)、一第三 P 型高摻雜區(P⁺)以及一第二 P 型高摻雜區(P⁺)與一第二 N 型高摻雜區(N⁺)分別作為陽極與陰極。
- 2 3 · 如申請專利範圍第 1 6 項所述之用以靜電放電防護之矽控整流器，其中，該矽控整流器(SCR)結構係可包

含一第一 P 型高摻雜區(P^+)、一第一 N 型高摻雜區(N^+)、一 P 型井(P-well)、一 N 型井(N-well)、一第三 N 型高摻雜區(N^+)以及一第二 P 型高摻雜區(P^+)與一第二 N 型高摻雜區(N^+)分別作為陽極與陰極。

24. 如申請專利範圍第 16 項所述之用以靜電放電防護之矽控整流器，其中，該矽控整流器(SCR)結構係可包含一第一 P 型高摻雜區(P^+)、一第一 N 型高摻雜區(N^+)、一 P 型井(P-well)、一 N 型井(N-well)、至少一以上虛擬閘極(dummy gate)以及另一第三 P 型高摻雜區(P^+)。

25. 如申請專利範圍第 16 項所述之用以靜電放電防護之矽控整流器，其中，該矽控整流器(SCR)結構係可包含一第一 P 型高摻雜區(P^+)、一第一 N 型高摻雜區(N^+)、一 P 型井(P-well)、一 N 型井(N-well)、至少一以上虛擬閘極(dummy gate)以及另一第三 N 型高摻雜區(N^+)。

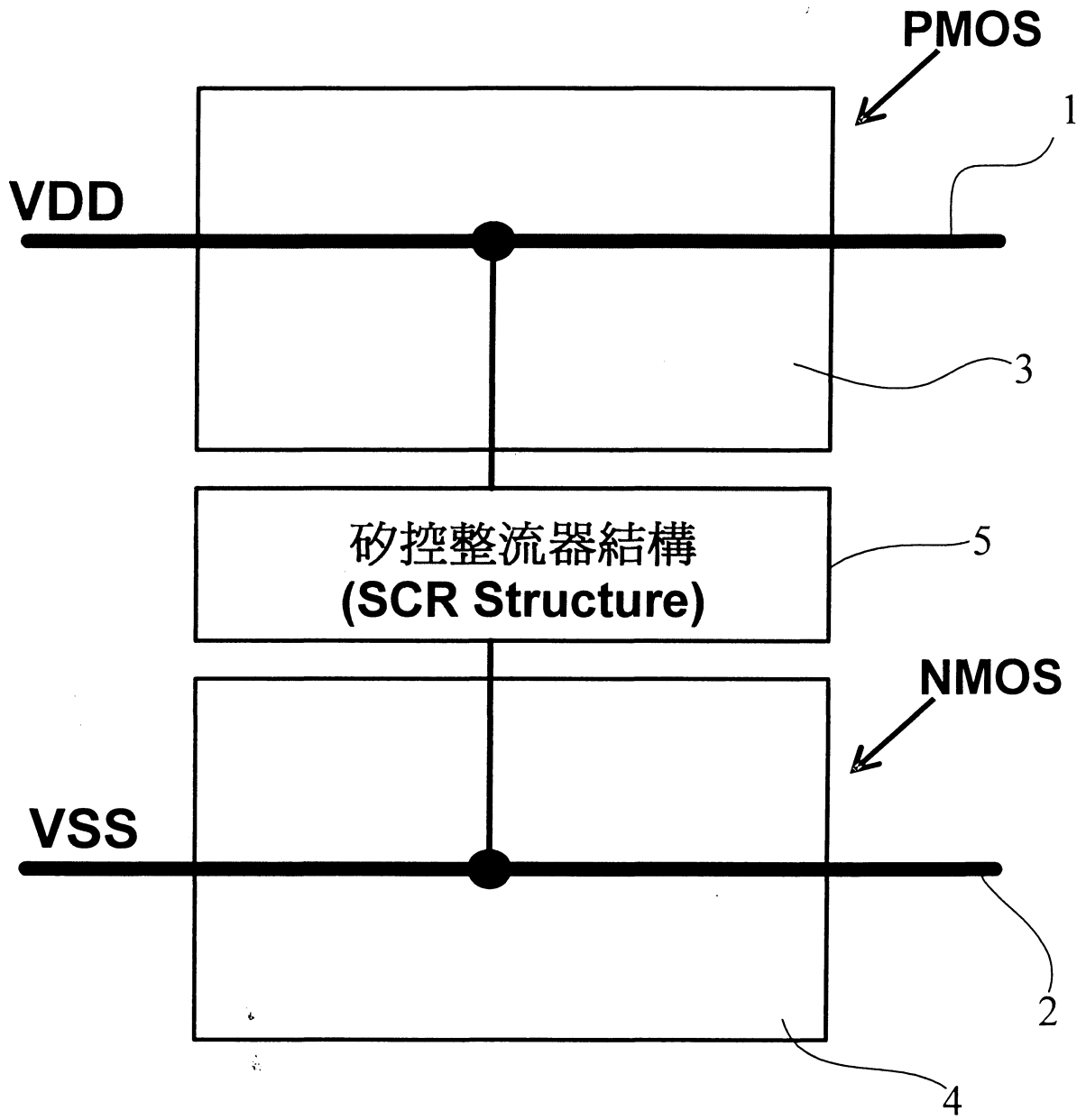
26. 如申請專利範圍第 16 項所述之用以靜電放電防護之矽控整流器，其中，該矽控整流器(SCR)結構係可包含一第一 P 型高摻雜區(P^+)、一第一 N 型高摻雜區(N^+)、一 P 型井(P-well)、一 N 型井(N-well)以及另一第四 P 型高摻雜區(P^+)作為觸發端。

27. 如申請專利範圍第 16 項所述之用以靜電放電防護之矽控整流器，其中，該矽控整流器(SCR)結構係可包含一第一 P 型高摻雜區(P^+)、一第一 N 型高摻雜區(N^+)、一 P 型井(P-well)、一 N 型井(N-well)以及另

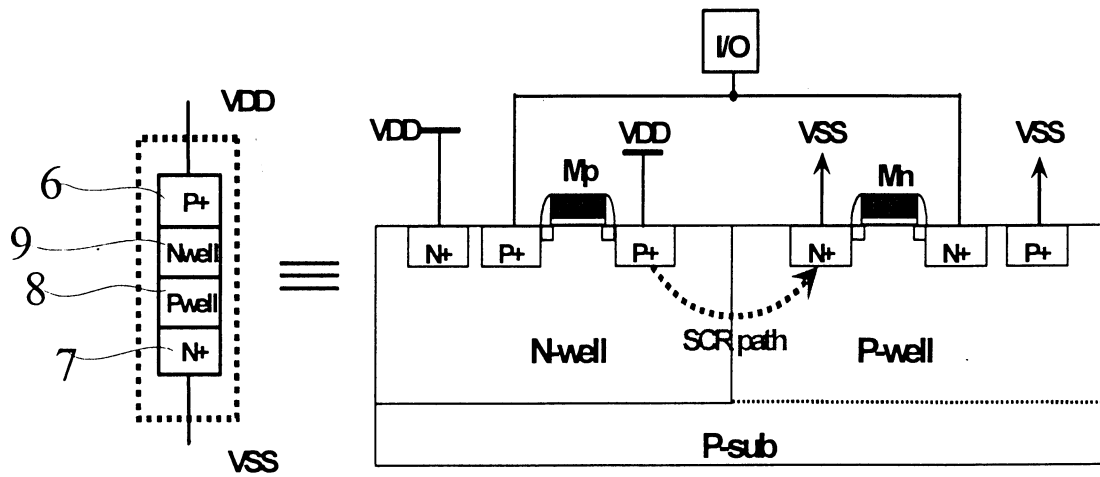
一第四 N 型高摻雜區(N^+)作為觸發端。

- 28 · 如申請專利範圍第 16 項所述之用以靜電放電防護之矽控整流器，其中，該矽控整流器(SCR)結構係可包含一第一 P 型高摻雜區(P^+)、一第一 N 型高摻雜區(N^+)、一 P 型井(P-well)、一 N 型井(N-well)、一第四 P 型高摻雜區(P^+)作為觸發端以及一第二 P 型高摻雜區(P^+)與一第二 N 型高摻雜區(N^+)分別作為陽極與陰極。
- 29 · 如申請專利範圍第 16 項所述之用以靜電放電防護之矽控整流器，其中，該矽控整流器(SCR)結構係可包含一第一 P 型高摻雜區(P^+)、一第一 N 型高摻雜區(N^+)、一 P 型井(P-well)、一 N 型井(N-well)、一第四 N 型高摻雜區(N^+)作為觸發端以及一第二 P 型高摻雜區(P^+)與一第二 N 型高摻雜區(N^+)分別作為陽極與陰極。
- 30 · 如申請專利範圍第 16 項所述之用以靜電放電防護之矽控整流器，其中，該矽控整流器(SCR)結構係可包含一第一 P 型高摻雜區(P^+)、一第一 N 型高摻雜區(N^+)、一 P 型井(P-well)、一 N 型井(N-well)、至少一以上虛擬閘極(dummy gate)以及另一第四 P 型高摻雜區(P^+)作為觸發端。
- 31 · 如申請專利範圍第 16 項所述之用以靜電放電防護之矽控整流器，其中，該矽控整流器(SCR)結構係可包含一第一 P 型高摻雜區(P^+)、一第一 N 型高摻雜區(N^+)、一 P 型井(P-well)、一 N 型井(N-well)、至少

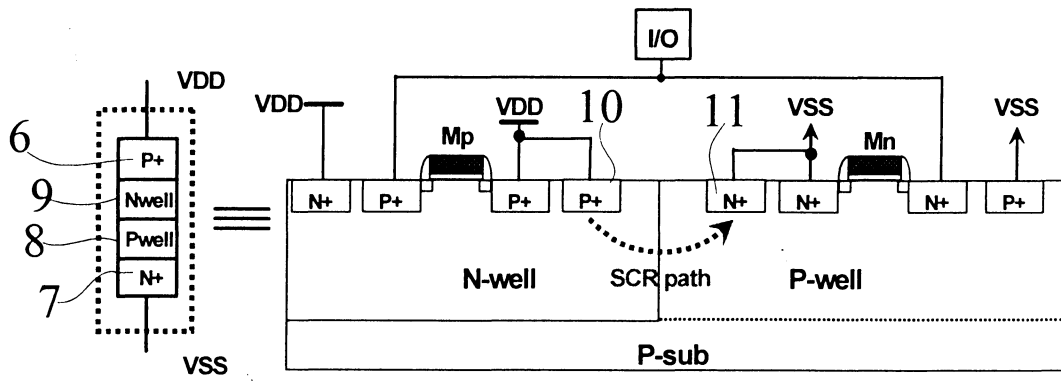
一以上虛擬閘極(dummy gate)以及另一第四 N 型高摻雜區(N^+)作為觸發端。



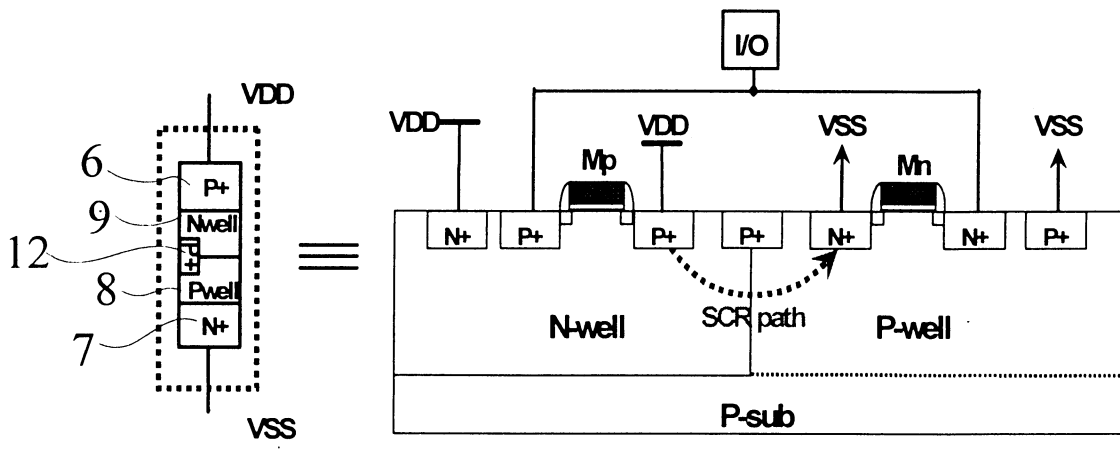
第1圖



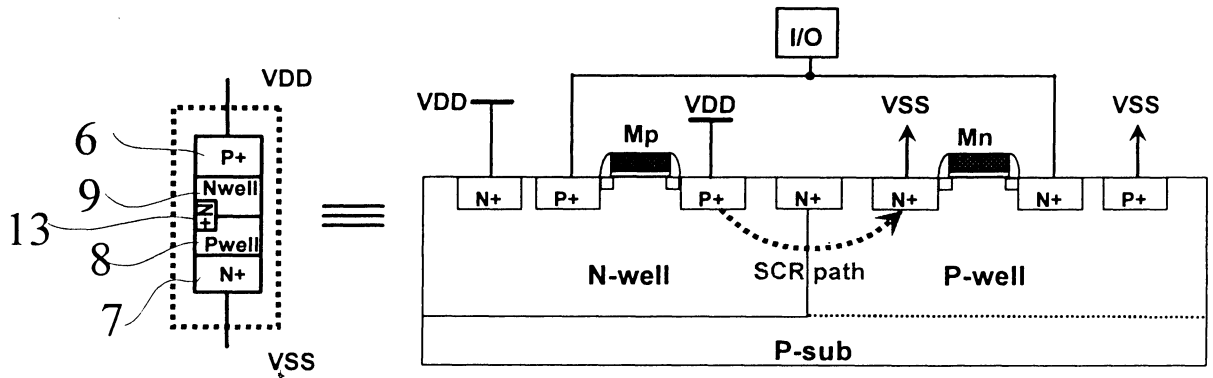
第2圖



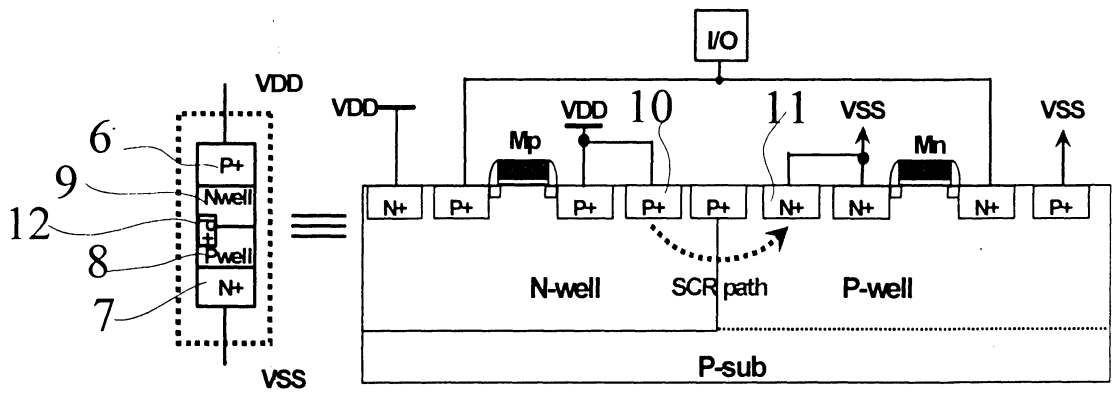
第3圖



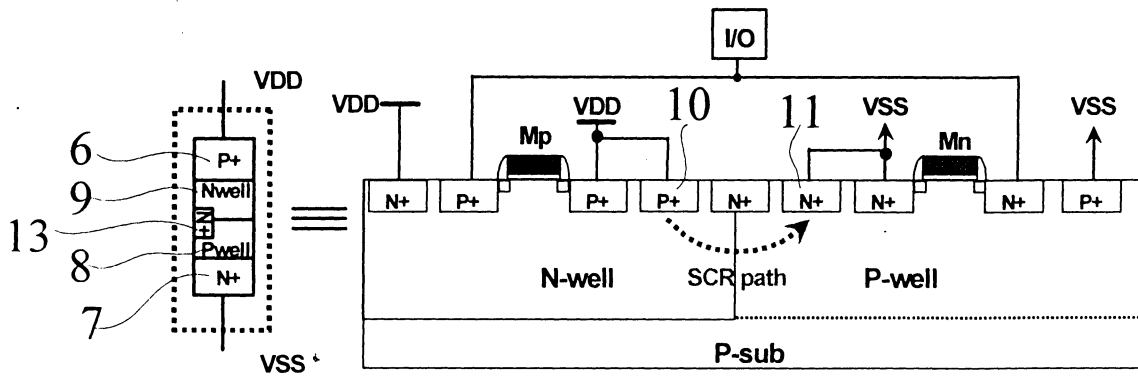
第4圖



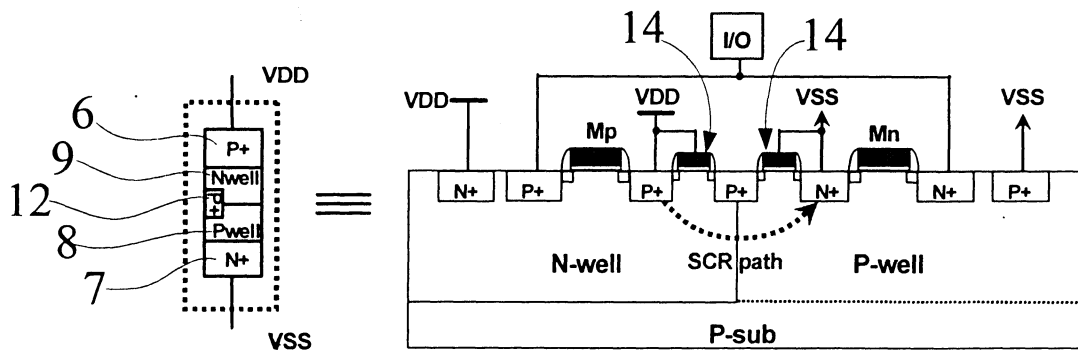
第5圖



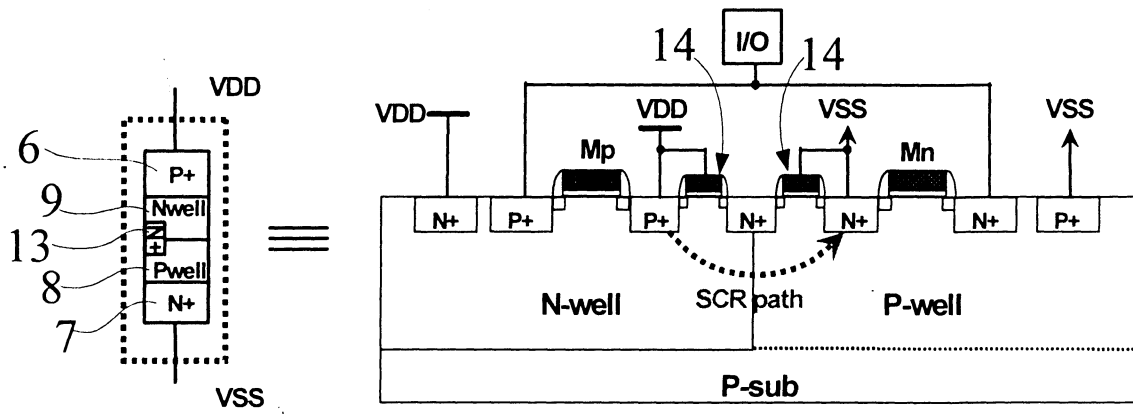
第6圖



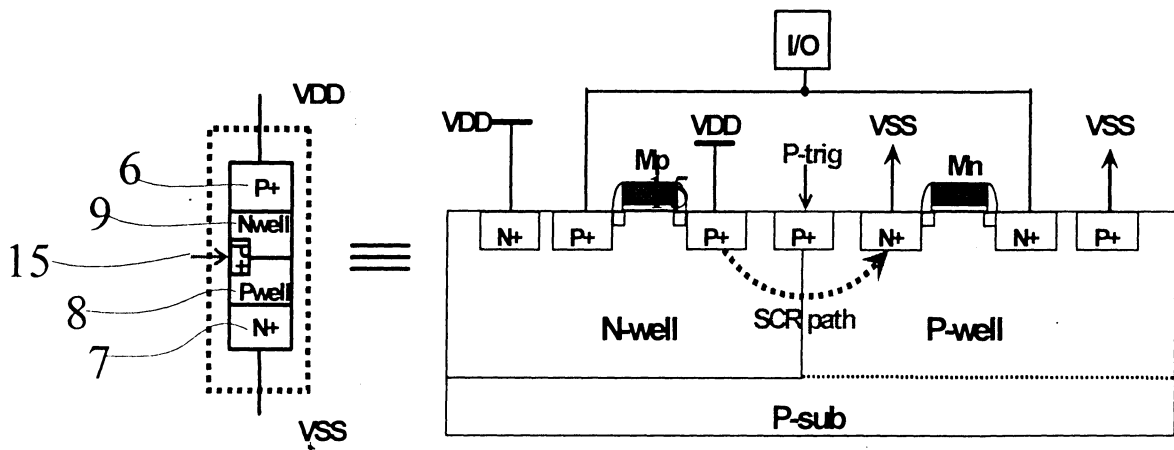
第7圖



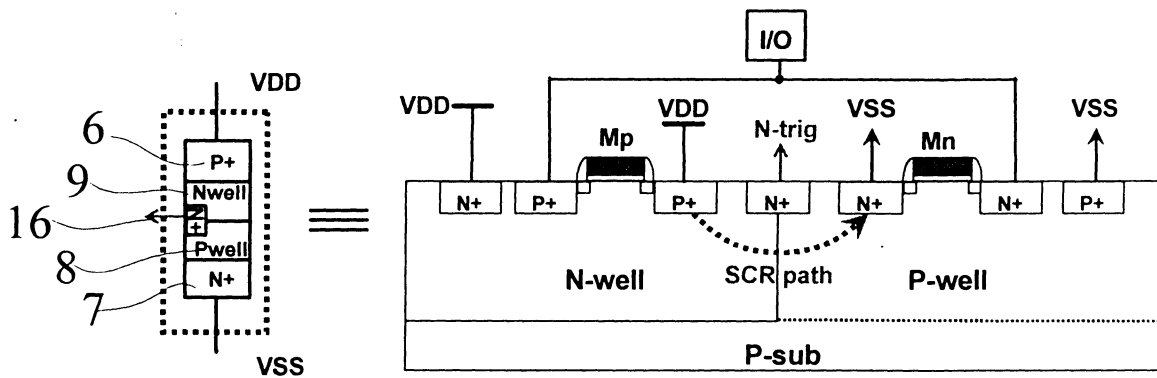
第8圖



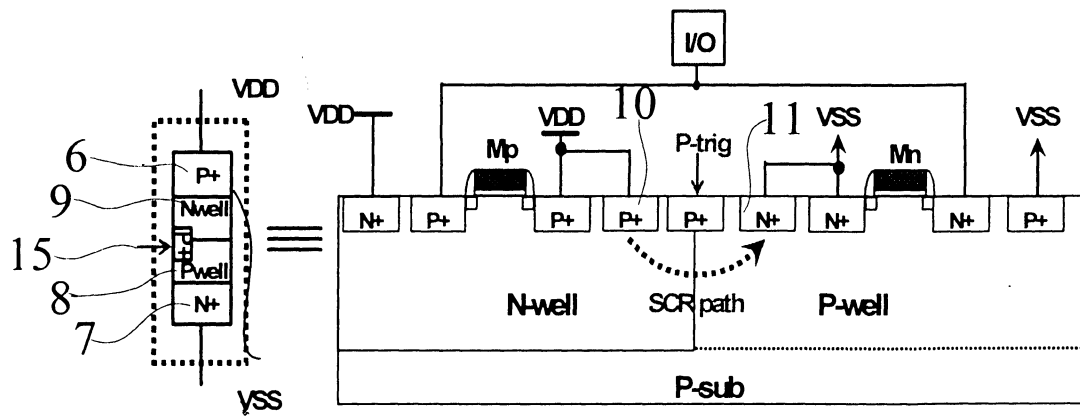
第9圖



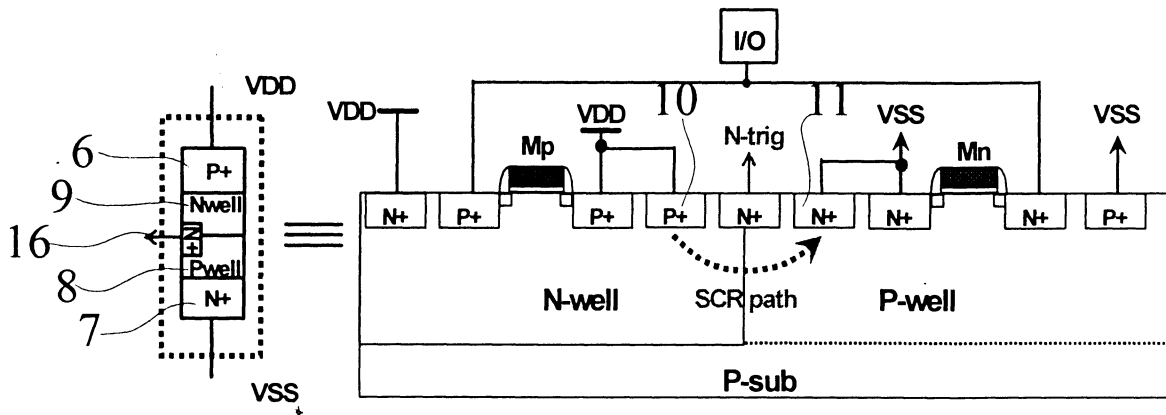
第10圖



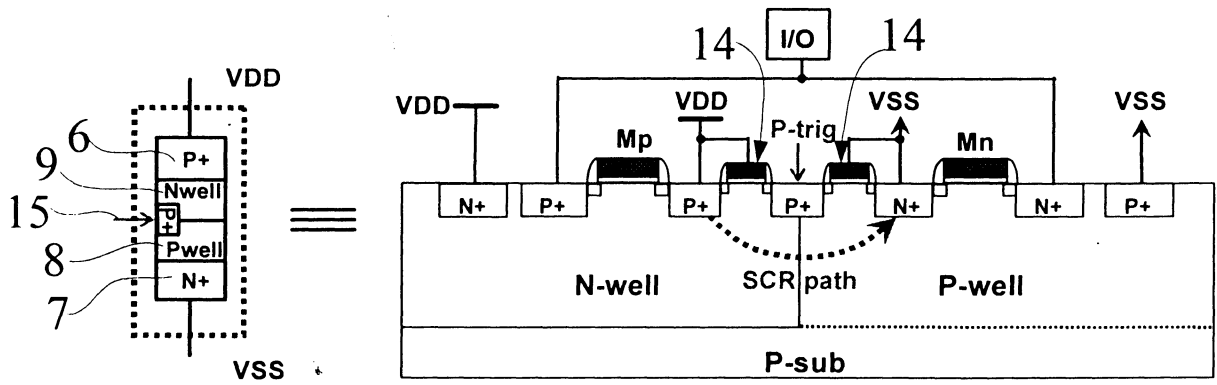
第11圖



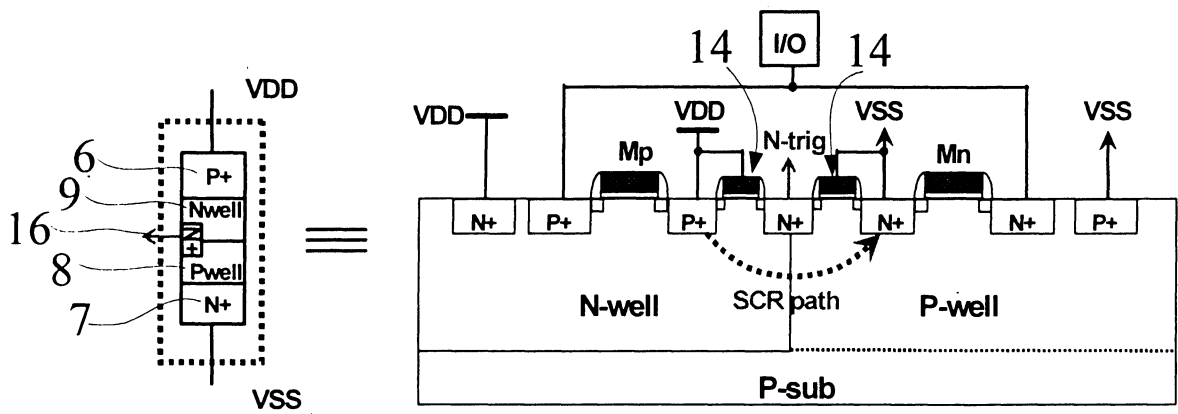
第12圖



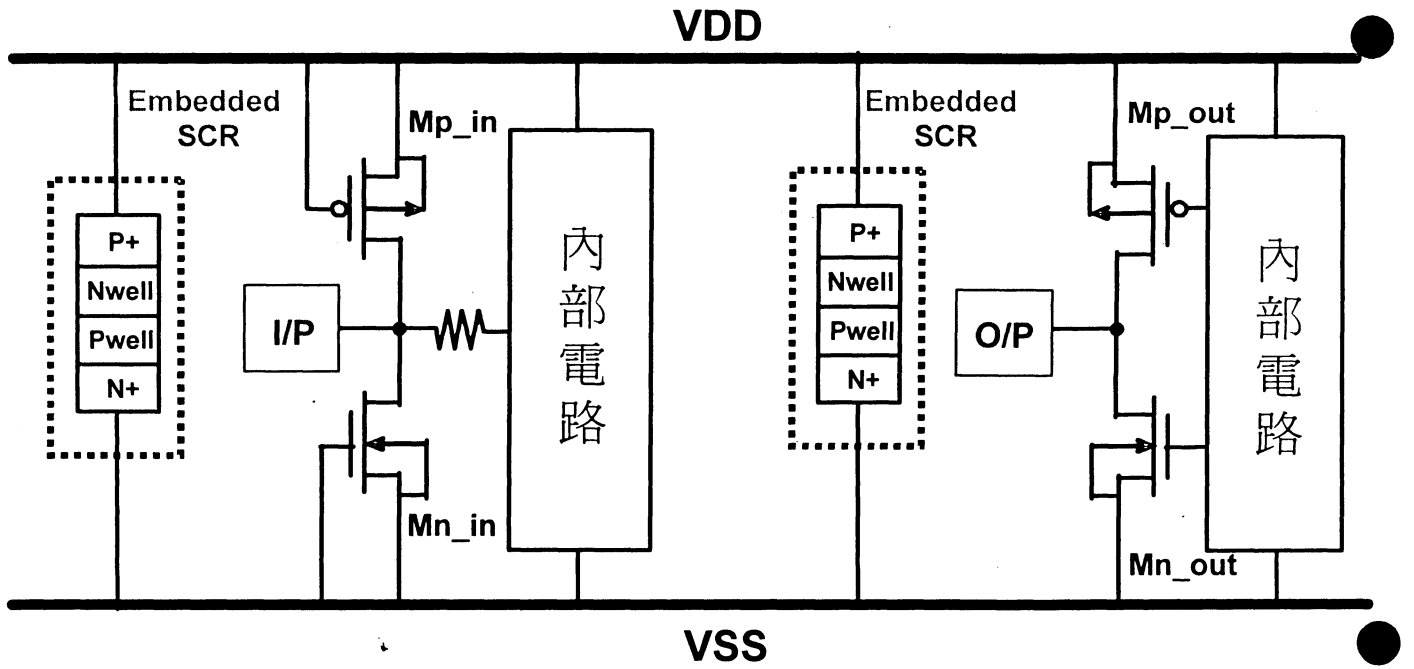
第13圖



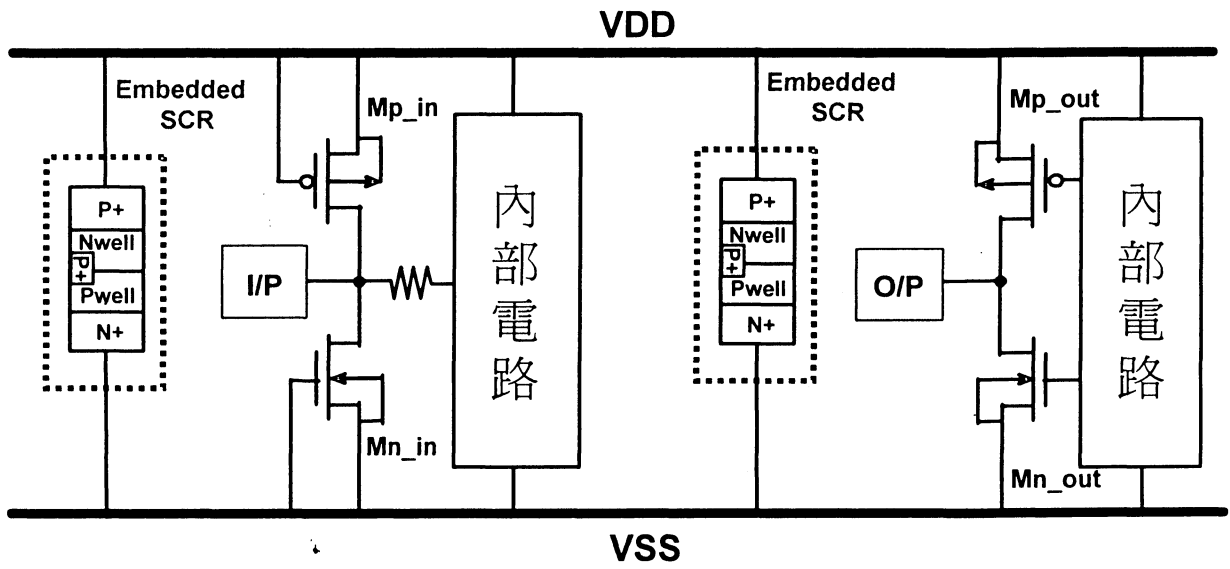
第14圖



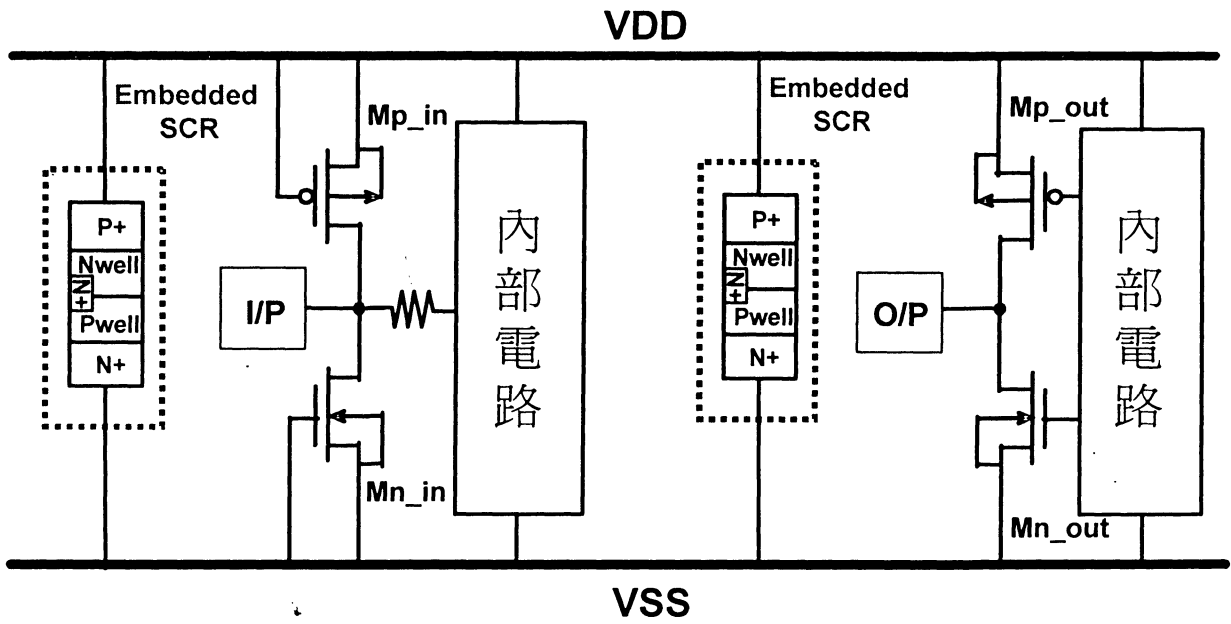
第15圖



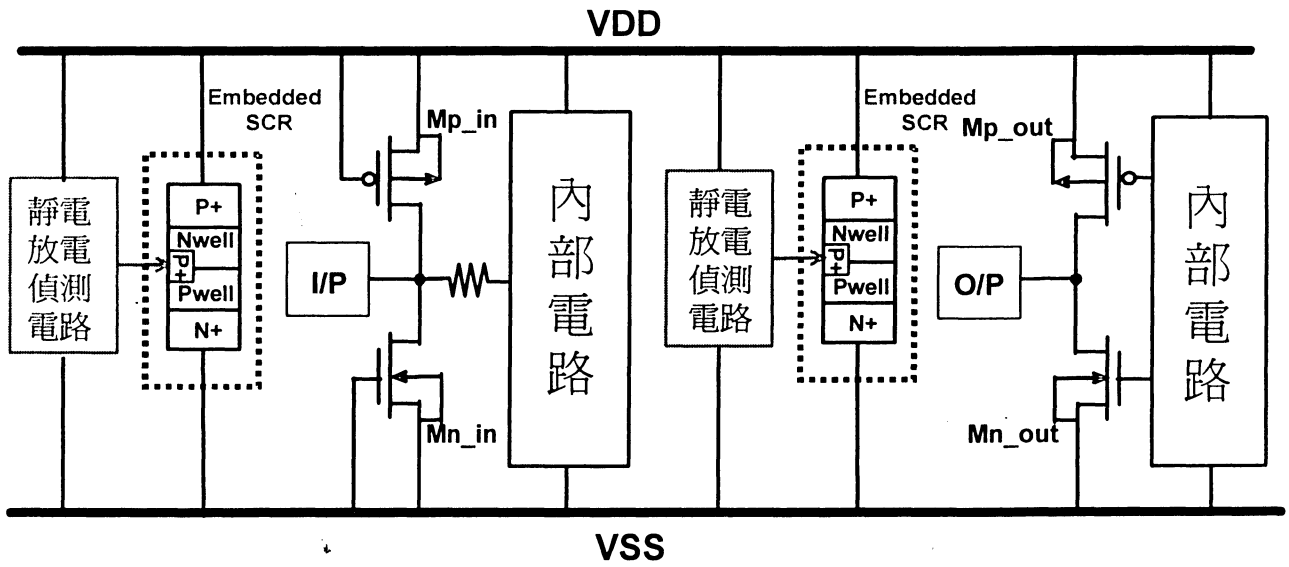
第16圖



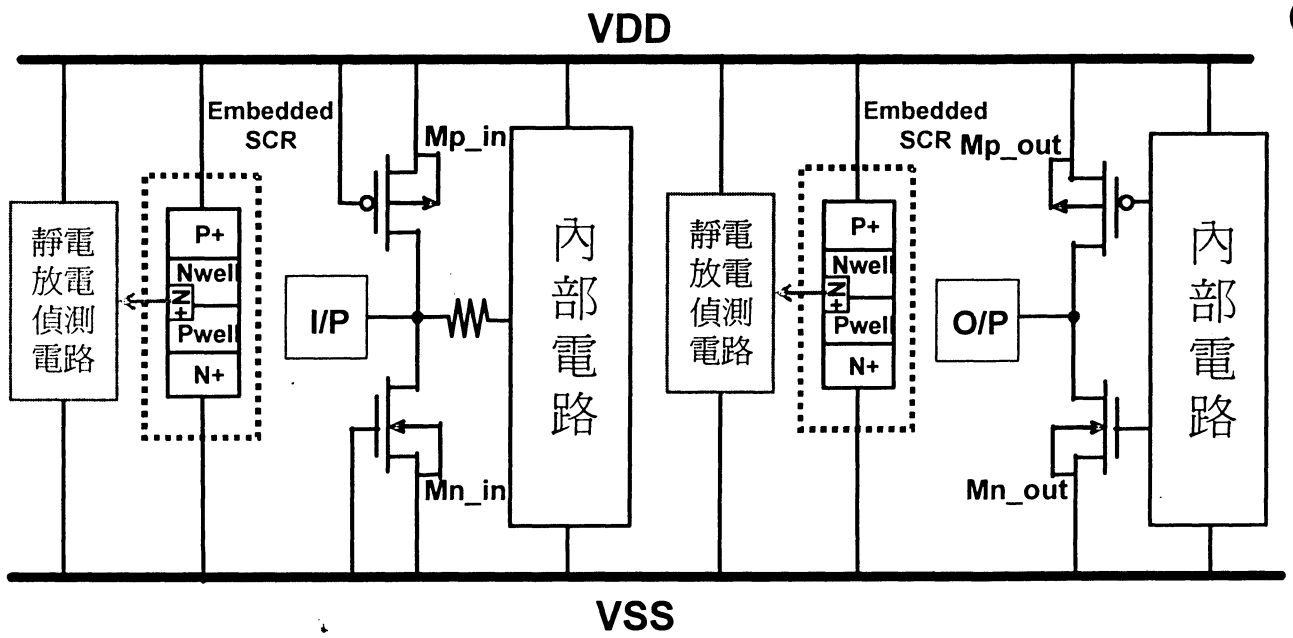
第17圖



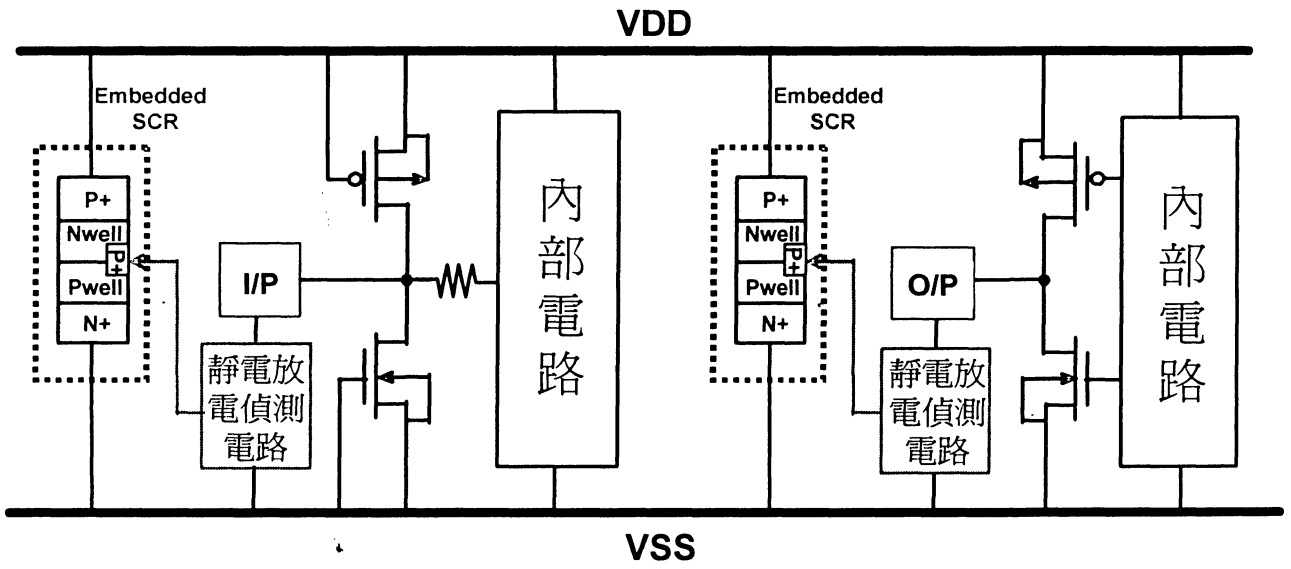
第18圖



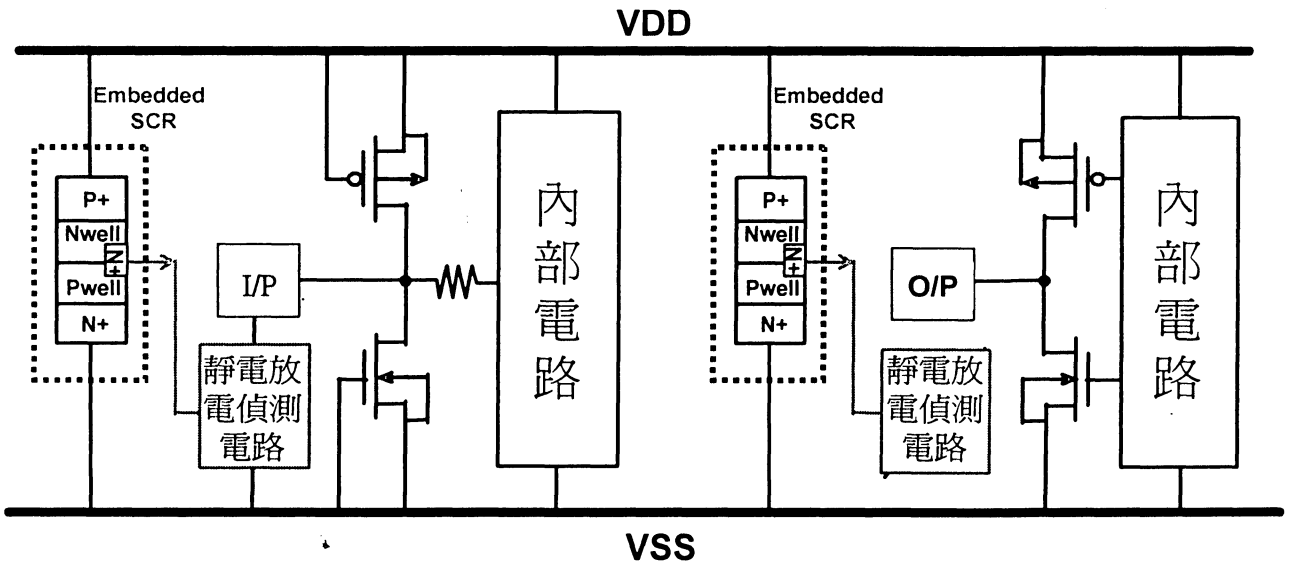
第19圖



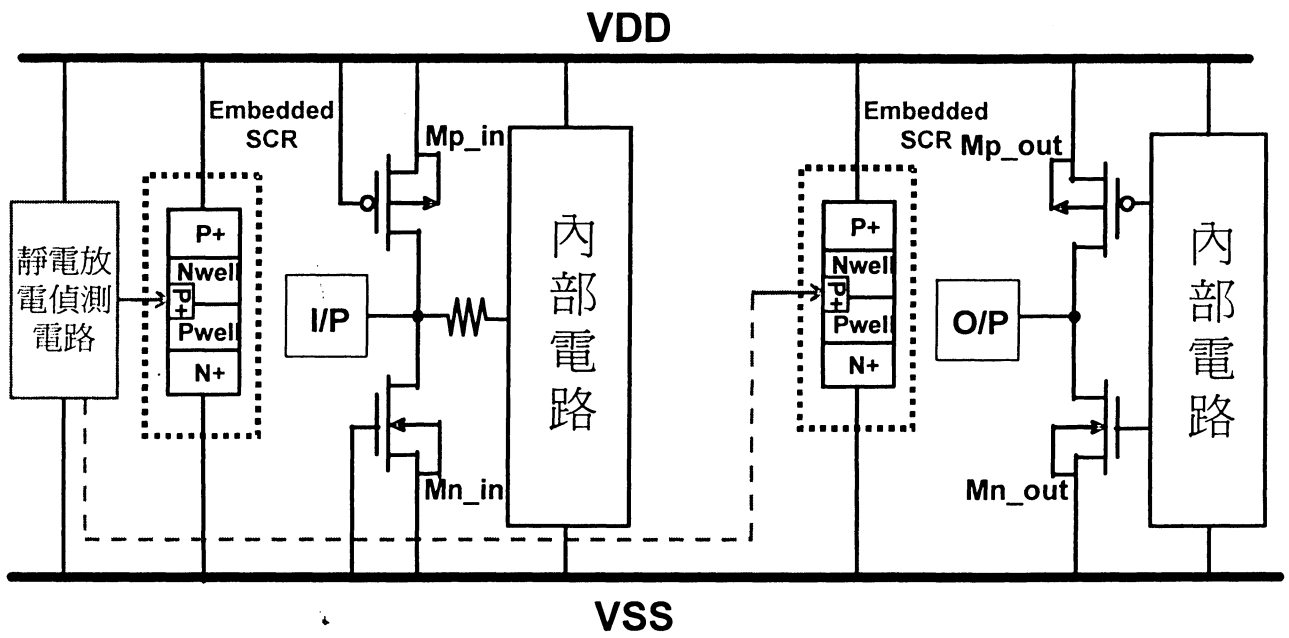
第20圖



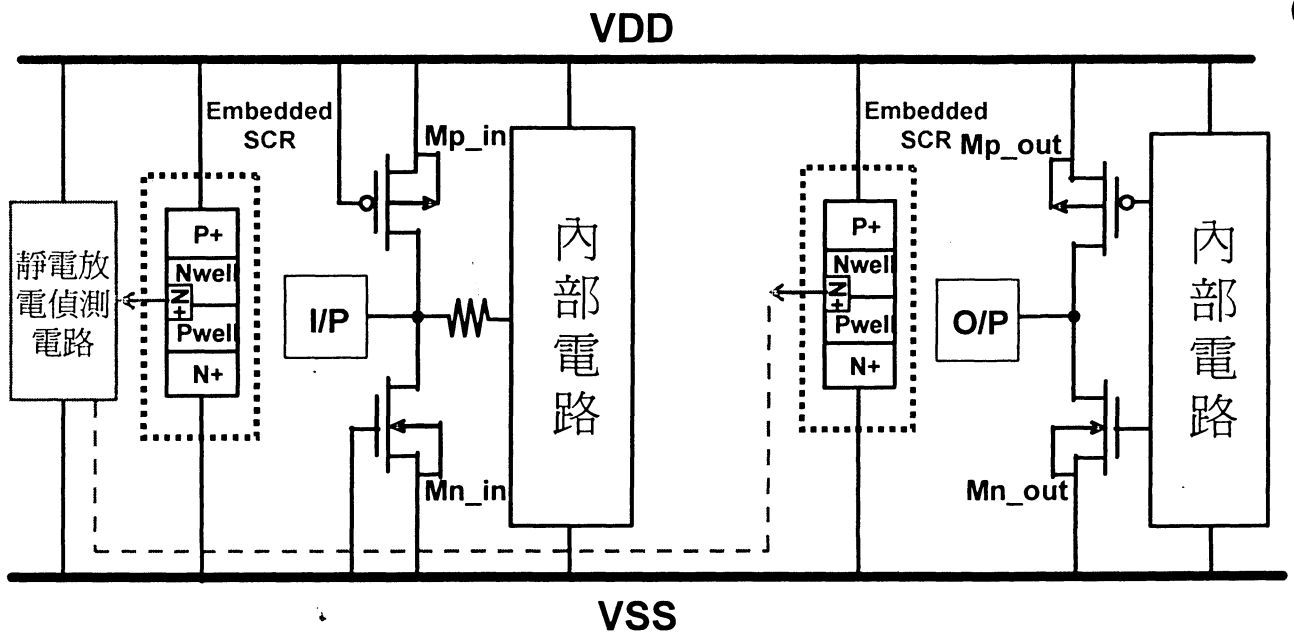
第21圖



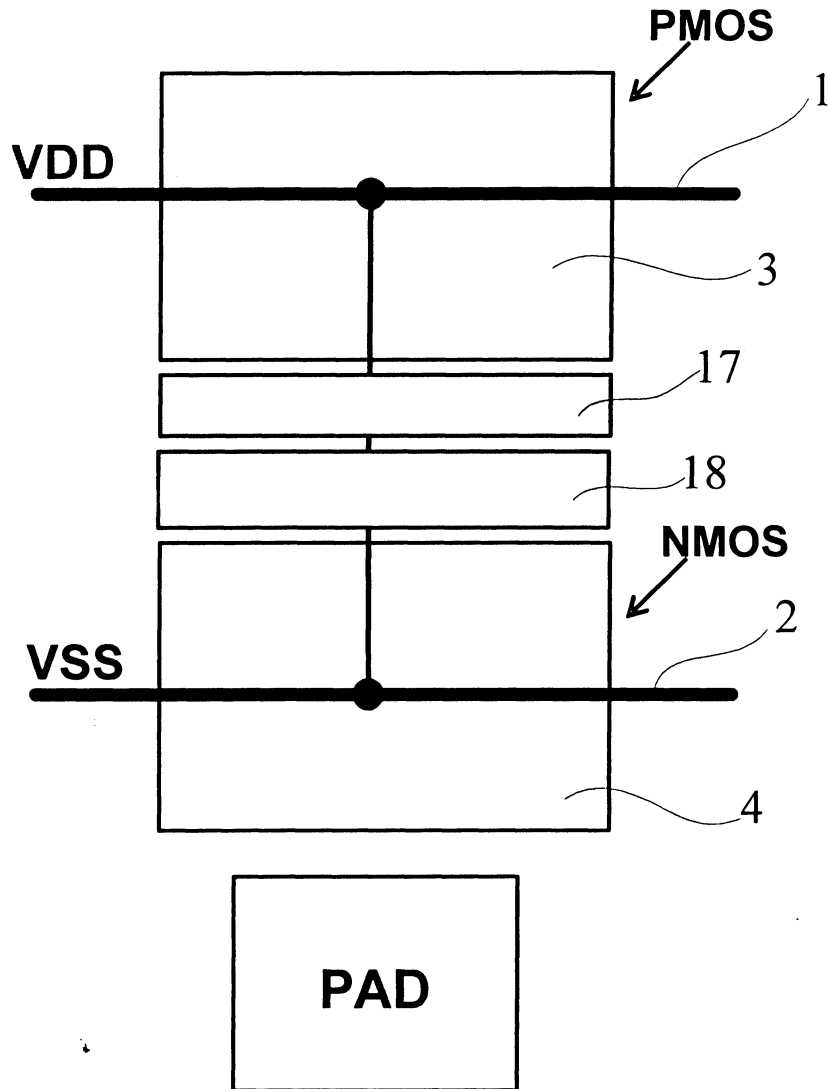
第22圖



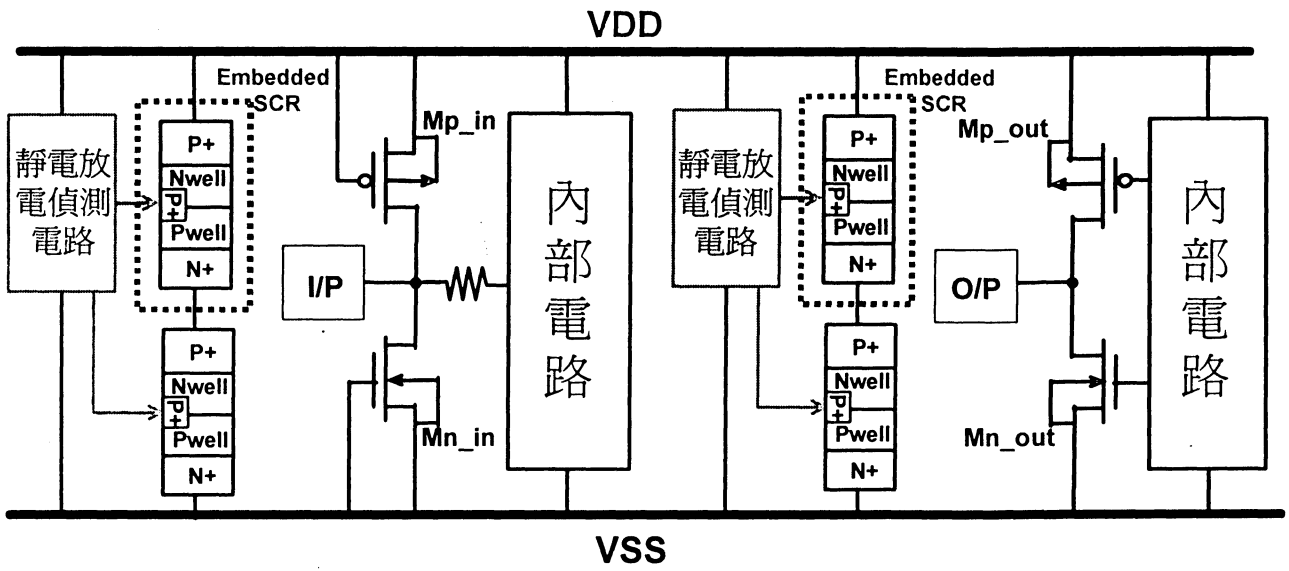
第23圖



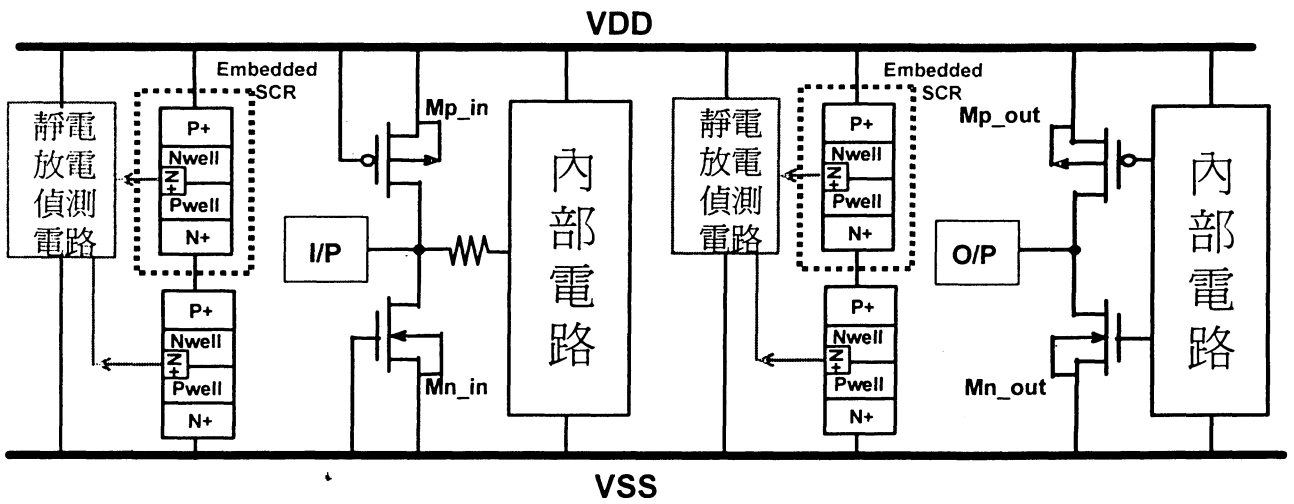
第24圖



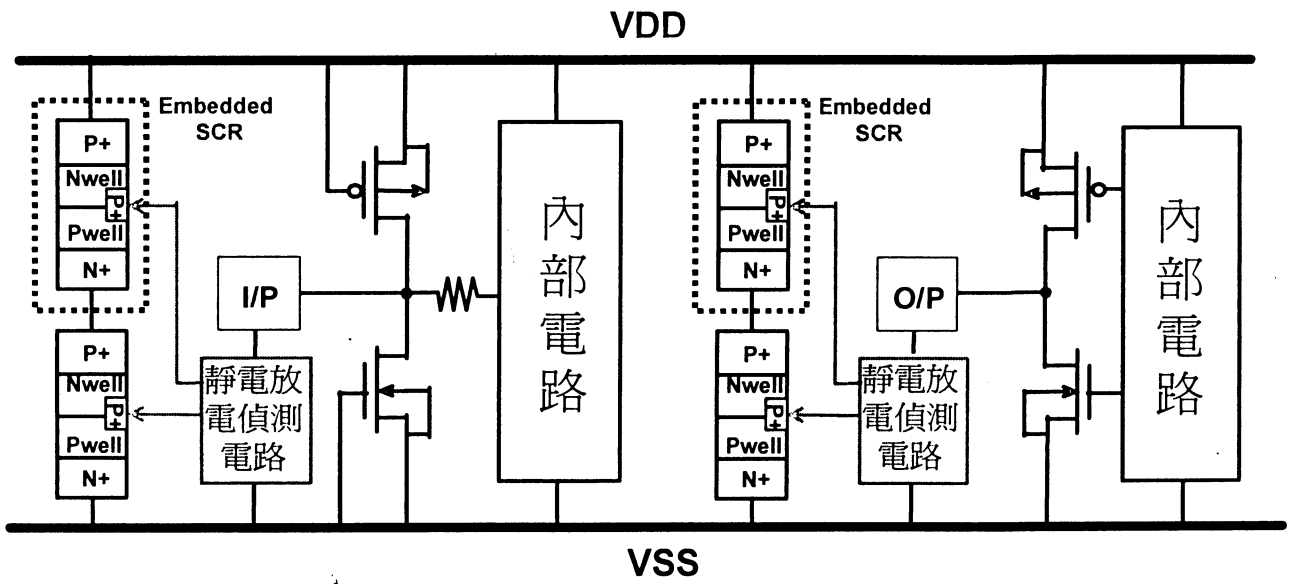
第25圖



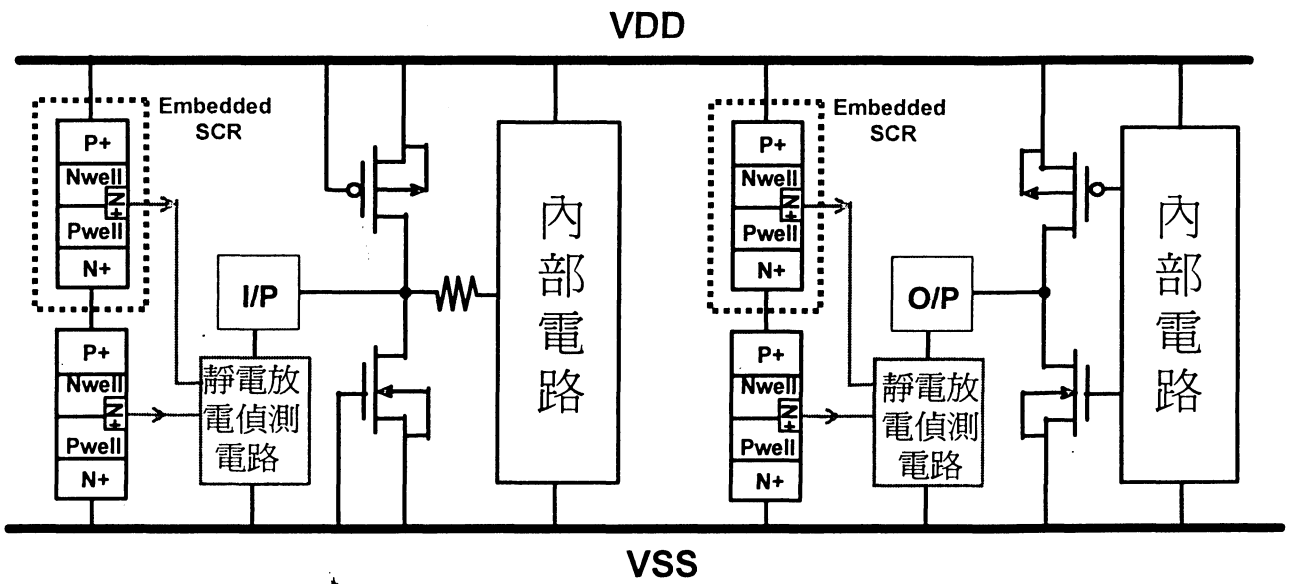
第26圖



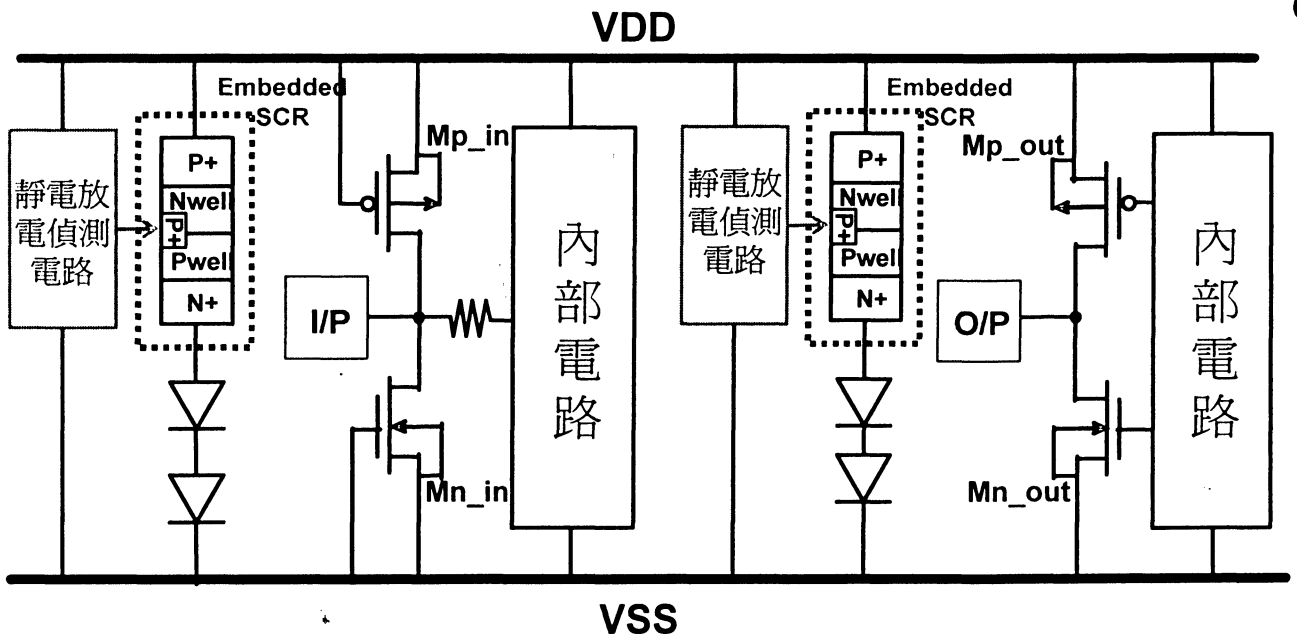
第27圖



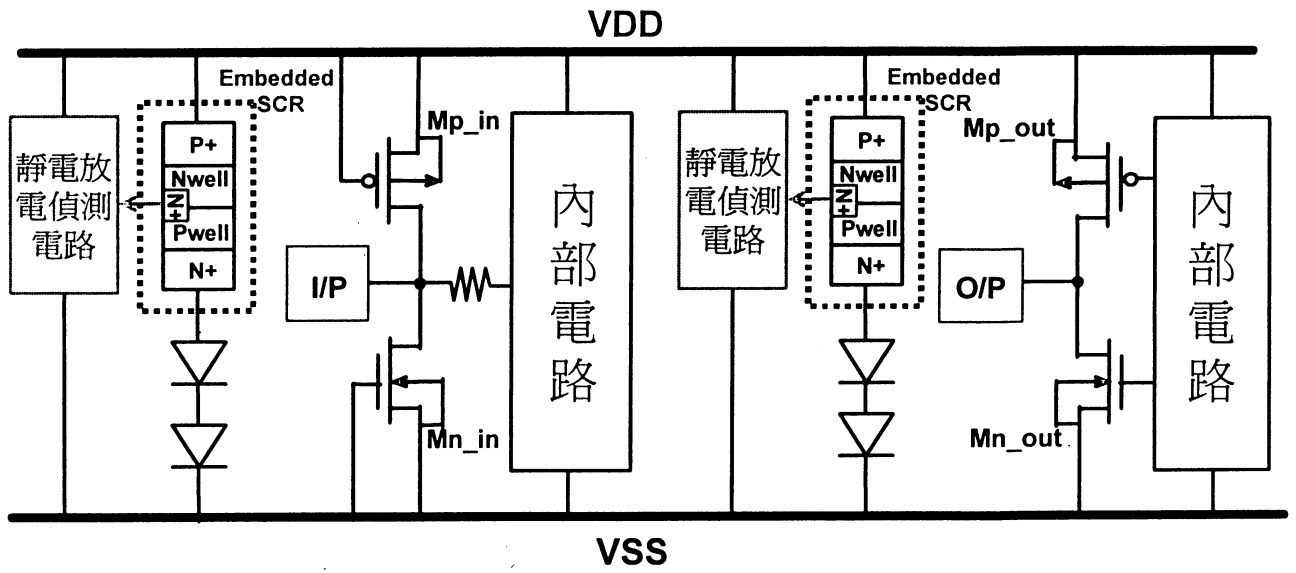
第28圖



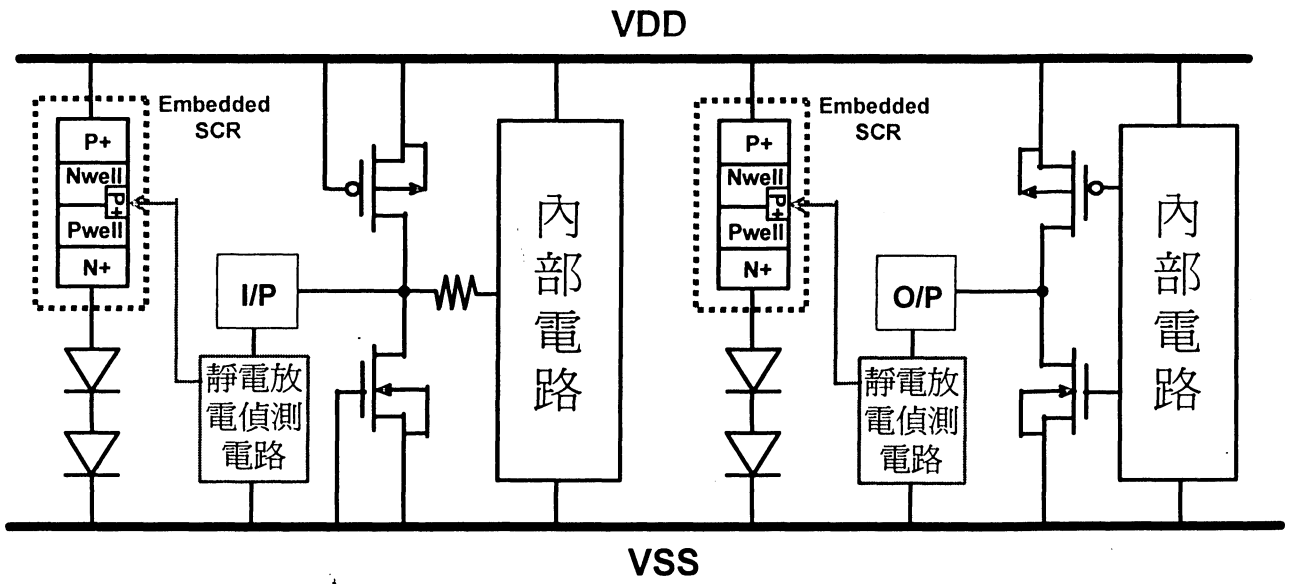
第29圖



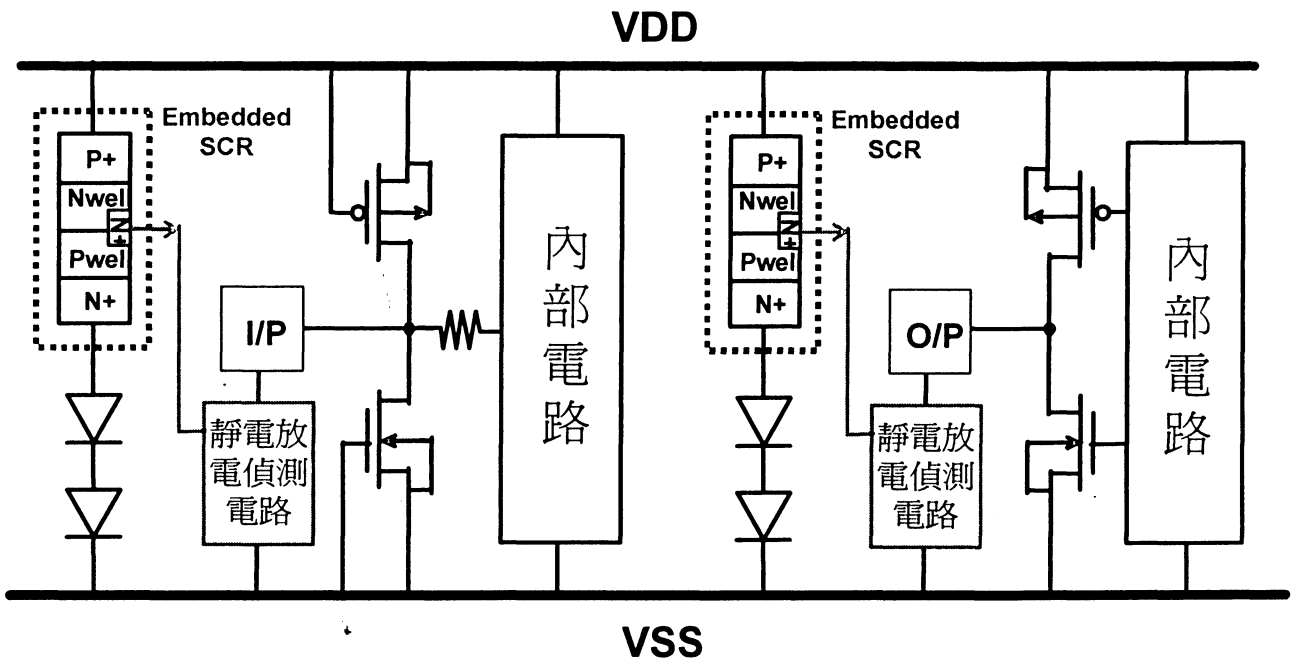
第30圖



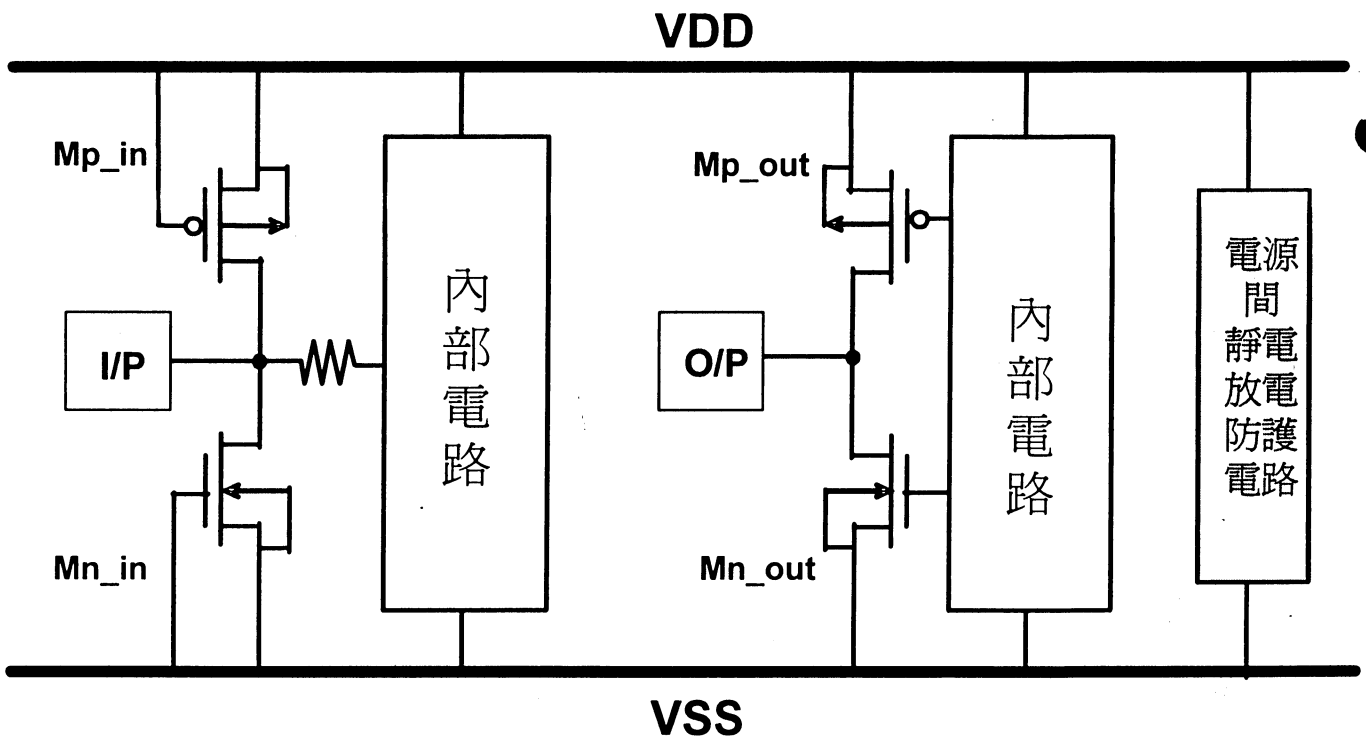
第31圖



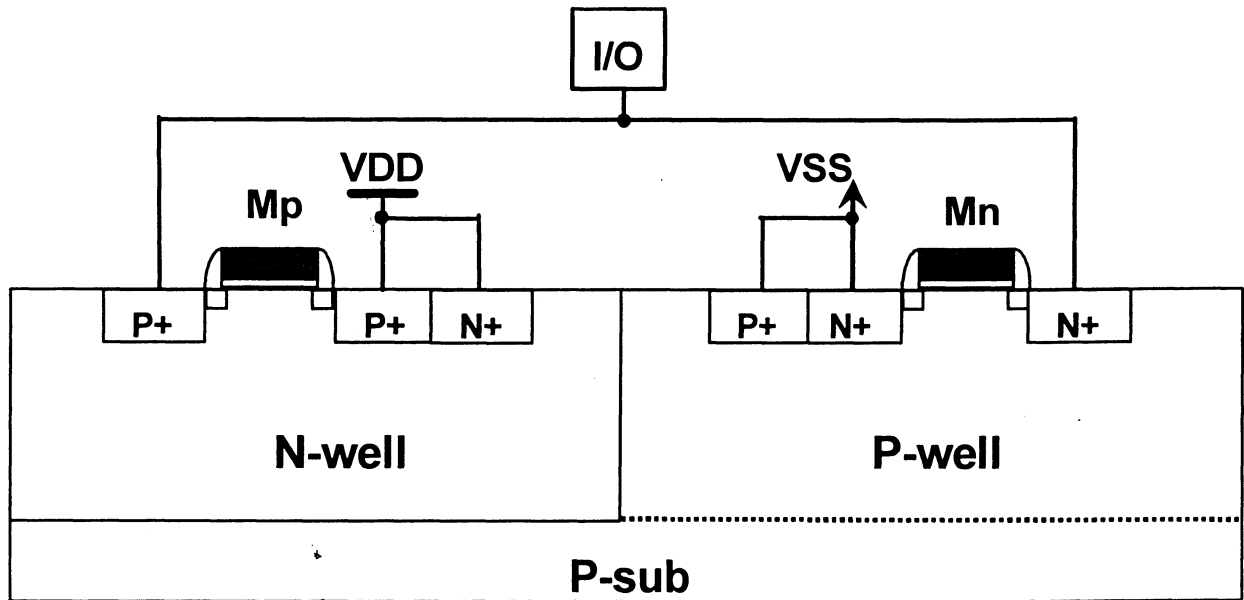
第32圖



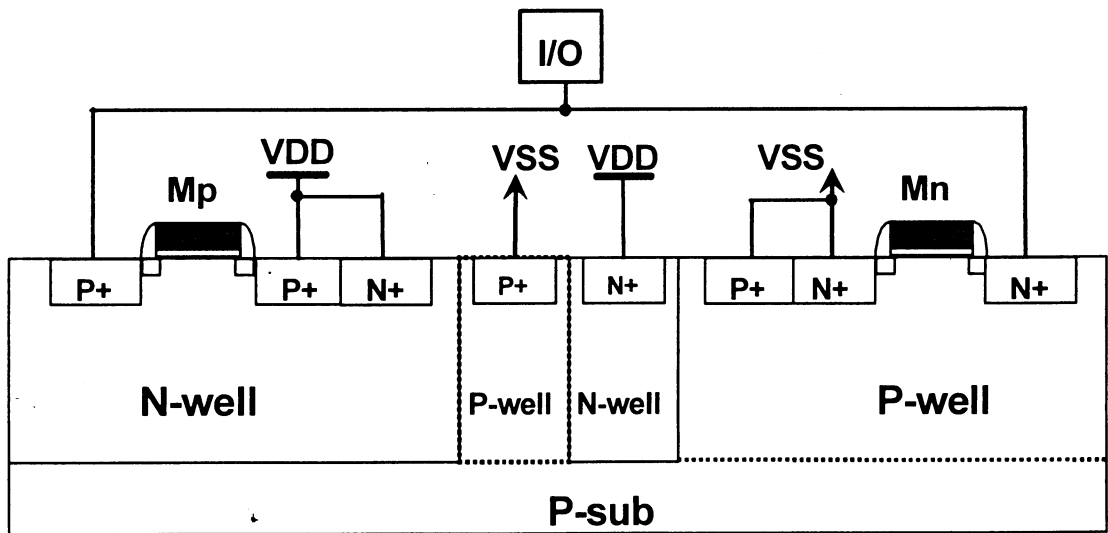
第33圖



第34圖



第35 (a) 圖



第 35 (b) 圖