

申請日期：90.11.28.

案號：90129483

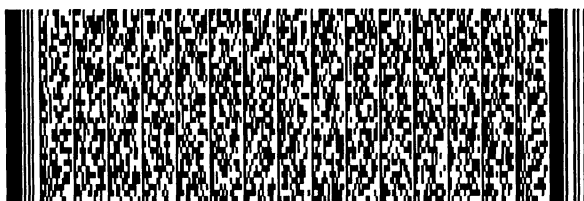
類別：

(以上各欄由本局填註)

公告本

發明專利說明書

一、 發明名稱	中文	深次微米級T型閘極半體裝置之製造方法
	英文	Deep Submicron T Shaped Gate Semiconductor Device and Manufacturing the Same
二、 發明人	姓名 (中文)	1. 張翼 2. 張晃崇 3. 傅國貴
	姓名 (英文)	1. Edward Y. Chang 2. Huang-Choung Chang 3. David K. Fu
	國籍	1. 中華民國 2. 中華民國 3. 中華民國
	住、居所	1. 新竹市科學園區湖濱二路38號1F 2. 苗栗市玉華里勵志街 33 巷 3 號 3. 台北市士林區福港街272巷16號3F
三、 申請人	姓名 (名稱) (中文)	1. 國立交通大學
	姓名 (名稱) (英文)	1. National Chiau-Tung University
	國籍	1. 中華民國
	住、居所 (事務所)	1. 新竹市大學路1001號
	代表人 姓名 (中文)	1. 張俊彥
代表人 姓名 (英文)	1. C. Y. Chang	



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

無

有關微生物已寄存於

寄存日期

寄存號碼

無

四、中文發明摘要 (發明之名稱：深次微米級T型閘極半導體裝置之製造方法)

次微米T形閘極技術是運用了I-line步進機以及相移光罩研發而成。由於這項技術具有成本低廉以及產能高等優點，對於砷化鎵單質微波積體電路的技術而言，非常具有競爭力。而在本發明中所描述的技術正是一種使用PSM技術製作出來的優秀T形閘極技術。首先，我們在晶片上鍍上一層2500Å的氮化矽，並選擇8%半調相移光罩以及I-line步進機進行曝光，製作出隔絕的窄溝結構。接下來運用反應離子蝕刻機進行乾式蝕刻製作出線寬小於 $0.25\ \mu\text{m}$ 的氧化矽窄溝，然後再將光阻去除。為了進一步縮小窄溝線寬，再將整片晶片鍍上一層500Å的氮化矽後再使用反應離子蝕刻機蝕刻氮化矽，這個步驟可將窄溝的線寬縮小至 $0.2\ \mu\text{m}$ 以下。最後塗佈一層光阻製作出T形閘極的結構

英文發明摘要 (發明之名稱：Deep Submicron T Shaped Gate Semiconductor Device and Manufacturing the Same)

Submicron T-gate formation using I-line stepper with phase shift mask (PSM) technique [1, 2, 3] has become very attractive due to its low capital investment and high throughput for GaAs MMIC technology. The present invention teaches a novel submicron ($<0.2\ \mu\text{m}$) T-gate technology using shift mask technique.

The 8% half-tone PSM was selected for the definition of the isolated narrow space. Before



四、中文發明摘要 (發明之名稱：深次微米級T型閘極半導體裝置之製造方法)

後，再鍍上閘極金屬後進行撕開(lift-off)的製程，完成全部的閘極製程。和傳統砷化鎵單質微波積體電路製程比較，這種T形閘極的製程具有產能更高、成本更低等等的優點。

英文發明摘要 (發明之名稱：Deep Submicron T Shaped Gate Semiconductor Device and Manufacturing the Same)

lithography, 2500A Si_3N_4 film was deposited on the wafer. After I-line PSM exposure and RIE etching of the silicon nitride film, openings with less than $0.25 \mu\text{m}$ wide were formed on the Si_3N_4 film. To further reduce the dimension of the openings, the wafer was then deposited addition 500 A nitride and etched back using RIE without any mask. Less than $0.2 \mu\text{m}$ openings were formed on the wafer after the dry etch. The wafer was then coated with another layer of photoresist to form lift-off



四、中文發明摘要 (發明之名稱：深次微米級T型閘極半導體裝置之製造方法)

英文發明摘要 (發明之名稱：Deep Submicron T Shaped Gate Semiconductor Device and Manufacturing the Same)

structure. This novel process is a high throughput T-gate process compared to conventional E-beam lithography technology for GaAs MMIC production.



五、發明說明 (1)

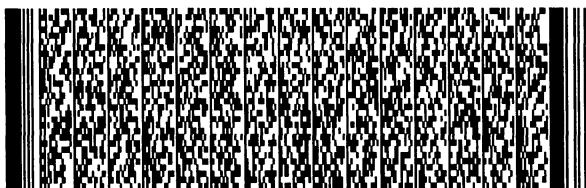
發明領域

本發明係關於深次微米半導體裝置之製造方法，特別是關於0.18微米T型閘用於毫米波GaAs FET之製造方法。

發明背景

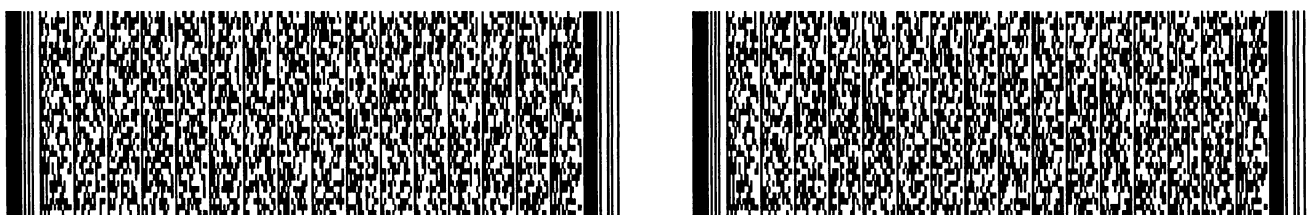
低雜訊GaAs調變摻雜場效電晶體(modulation doped field effect transistor, MODFET)為毫米波雷達、通信、或直播衛星不可缺少之元件，低訊號雜訊比及低價格之要求已屬必然，為得低訊號雜訊比，關鍵在於深次微米之場效電晶體之閘極長度。欲降低訊號雜訊比，一般皆知道增加互導 g_m 而不增加源、閘極間電容 C_{gs} 及閘極電阻 R_g ，以減少閘極長度之柱形閘極雖增加 g_m ，但 R_g 亦增加，故有提議利用T型閘極以同時增加 g_m 及降低 R_g 。為製造深次微米之閘極，利用電子束微影(e-beam lithography)為有效之方法，但電子束微影之製程太慢，產量受限制，不適合量產之需。

I-射線(I-line)步進機(stepper)用於 $0.35 \mu m$ 積體電路之製造具有能大量生產及價廉之優點，更小之線寬在半導體製程中亟需將I-射線之解析度再向下推，例如利用偏軸照射(off-axis illumination)、相移光罩(phase shift mask, PSM)或近接效應改正(proximity effect



五、發明說明 (2)

correction)，其中的PSM為最佳之解決之道。但使用四層交互相移光罩(銘+3相相移)亦僅能向下推至 $0.25\ \mu\text{m}$ 。在文獻題為"0.15 μm T-Shaped Gate Fabrication for GaAs MOSFET Using Phase Shift lithography" IEEE Trans. on Electron Devices, 1996 Vol.43、No.2 pp.238-244，論及以I-射線步進機使用PEL(Pattern-Edge Line)方法可得 $0.15\ \mu\text{m}$ 之解析度，但必須使用正光阻，而正光阻僅能形成柱狀閘極，而不能形成一開口(space)以製作T型閘極，故必須先形成一假閘極(dummy gate)再以撕開法(lift-off)形成T型閘極，製程甚複雜。參見第1圖之先前技藝，在半絕緣之GaAs晶圓上已形成調變摻雜(modulation doped)磊晶層例如n-Al_{0.2}Ga_{0.8}As/undoped Al_{0.2}Ga_{0.8}As/undoped In_{0.15}Ga_{0.85}As/undoped GaAs/Semi-insulated GaAs之晶圓1上以硼離子植入作隔離區，使其表面平整而利於形成微細圖案。然後以PEL相移光罩技術製作一假閘極2，此假閘極然後用O₂電漿進一步縮小其寬度至 $0.15\ \mu\text{m}$ ，此假閘極定義T型閘極之底部寬度(foot print)，如第1圖(a)所示。參見第1圖(b)，以電子槍蒸鍍一層二氧化矽(SiO₂)₃以得到一T型閘底部之開口、二氧化矽₃之厚度約為4000埃(Angstrom)，然後以撕開法除去假閘極而得一開口5，用蝕刻而在基底上形成一較寬之開口5，同時另以微影術蝕刻源/汲極之二氧化矽並沉積一層AuGeNi/Au作源/汲極之電極4，並加熱形成合金。如第1圖(c)所示。然後如第1圖(d)所示再以微影術形

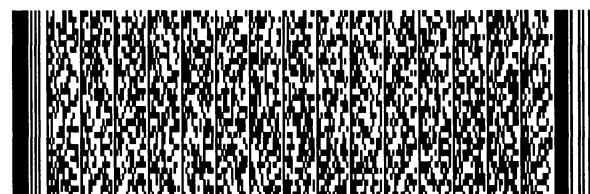
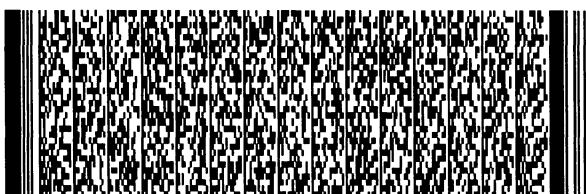


五、發明說明 (3)

成一約 $1\ \mu\text{m}$ 寬之T型閘極之頭釘層(upper head)之較大開口6，然後在光阻5上沉積一層Ti/Al作閘極電極並以撕開法除去光阻5及其上之金屬，再沉積一層1000埃厚之氮化矽(Si_3O_4)作保護層(passivation)，而得第2圖所示之MODFET(modulation doped field effect transistor)。另一文獻題為"0.2 μm lithography using I-line and alternating phase shift mask, proc. SPIE, Vol.2726, pp. 453-460"，論及利用交互相移光罩(alternating phase shift mask)及I-射線步進機可獲得 $0.25\ \mu\text{m}$ 甚至 $0.18\ \mu\text{m}$ 之閘極線寬，然需高度技巧，且不能獲得T型閘極，不能用於量產。一般利用I-射線步進機再加上最佳化光罩之設計準則及最佳化步進機曝光條件之相移光罩，用於製造T型閘極可得 $0.25\ \mu\text{m}$ 之線寬，若需開孔小於 $0.2\ \mu\text{m}$ ，即需利用PSM技術另加一些技巧製程。本發明即利用PSM技術再加上RIE回蝕刻氮化矽形成側壁之技巧而不必增加光罩即可獲得 $0.187\ \mu\text{m}$ 之開口，以利用於製造T型閘極之場效電晶體。

發明之目的及概述

本發明之一目的在於提供一種半導體元件之T型閘極之製造方法，此方法可利用I-射線步進機及相移光罩技術製造小於 $0.18\ \mu\text{m}$ 之閘極線寬之場效電晶體而能適合量產之需求；



五、發明說明 (4)

本發明之另一目的在於利用氮化矽側壁以進一步縮小相移光罩之解析度極限而得小於 $0.18 \mu\text{m}$ 之開口而製造T型閘極；

本發明之再一目的在於利用撕開法(lift-off)形成金屬T型閘極。本發明之上述目的是由申請專利範圍第1項之方法達成。

針對前述目的，本發明提出一種製造深次微米級T型閘極場效電晶體之方法，至少包含以下步驟：(a)在半絕緣之砷化鎵晶圓上已形成調變摻雜磊晶之通道區及源/汲極區及已形成源/汲極電極之晶圓上沉積一第一氮化矽薄膜；(b)利用光阻及相移光罩在I-射線步進機中曝光形成第一開口圖型；(c)以乾蝕刻去除曝露之氮化矽膜以形成一第一開口作T型閘極之底部開口；(d)沉積一第二氮化矽薄膜；(e)以異向性乾蝕刻回蝕以形成一對側壁以進一步縮小該第一開口；(f)以微影術在該第一開口之上形成較第一開口為大之一第二開口作T型閘極之頭釘圖型；(g)進行閘極蝕刻以形成下陷(recessed structure)之閘極區；(h)全面沉積一層閘極金屬作閘極；(i)以撕開法(lift-off)法去除光阻及其上之閘極金屬以形成T型金屬閘極；(j)繼續完成保護層及後續金屬化製程以完成一MODFET。



五、發明說明 (5)

再者本發明提出一種深次微米級T型閘極場效電晶體元件，至少包含：(a)一半絕緣之砷化鎵晶圓上具有調變摻雜磊晶之通道區及源/汲極區及已形成之源/汲極電極；(b)在通道區上具有一T型閘極之底部開口，其係利用相移光罩在I-射線步進機形成之第一開口，於其上沉積一第二氮化矽薄膜後以乾蝕刻回蝕以形成一對側壁形成較第一開口小之閘極之底部開口；(c)下陷(recessed structure)之閘極區；(d)一T型閘極；

發明之詳細說明

以下參照第3圖(a)至第3圖(m)用以解說製造根據本發明實施例之次微米半導體裝置之T型閘極之製造方法。

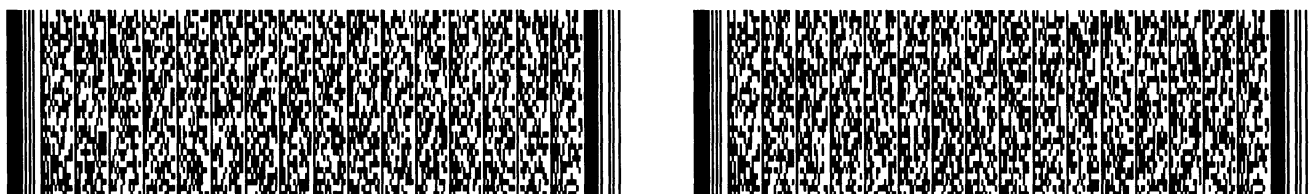
第3圖(a)至第3圖(m)係顯示用以製造根據本發明之一實施例之次微米半體裝置之T型閘極之製造方法之步驟中之半導體元件之截面圖，用以顯示該方法。

如第3圖(a)所示，在半絕緣之GaAs晶圓1上形成例如調變摻雜(modulation doped)或其他習用之摻雜構造之磊晶層之20之上，利用微影法形成光阻層9(正光阻或負光阻)遮住元件運作區域(活性區)，以蝕刻去除活性區以外之磊晶層形成元件阻隔(隔離)30，然後去除光阻，如第3圖(b)所



五、發明說明 (6)

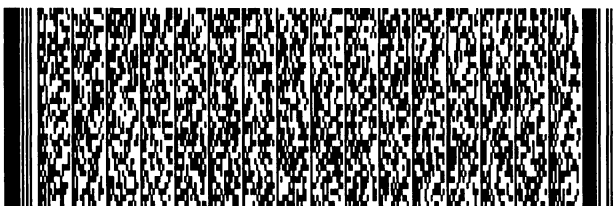
示；再塗佈一層光阻9以微影製程將源/汲極區域20b，20c暴露出來，如第3圖(c)所示；然後全面沉積源/汲極之金屬4 (GeAuNiAu)，如第3圖(d)所示；然後以撕開法 (lift-off) 移除光阻及其上之金屬層，在攝氏400度左右之溫度下使GeAuNiAu與其下之GaAs形成合金，而得源/汲極電極4a、4b，如第3圖(e)所示；再以化學氣相沉積法全面性沉積第一層2000埃至3000埃之第一氮化矽(Si_3N_4)膜8，如第3圖(f)所示；然後，正光阻層9塗佈在晶圓上，再利用8%之半波長(half-tone)相移光罩(phase-shift mask, PSM)，利用I-射線步進機(stepper)進行曝光而得小於 $0.25 \mu\text{m}$ 之第一開口之圖形，如第3圖(g)所示；再以反應離子蝕刻進行氮化矽之乾蝕刻以形成閘極第一開口10，此開口為利用相移光罩可得之最小線寬，然後將光阻層9去除，如第3圖(h)所示。在晶圓上全面性以化學氣相沉積法沉積另一層較薄之第二氮化矽(Si_3N_4)薄膜11，其厚度在300埃至600埃之間，如第3圖(i)所示；然後利用非等向性活性離子回蝕刻形成每邊寬約300埃至400埃之氮化矽側壁12。此為本發明最關鍵之製程，由控制第二氮化薄膜之厚度以形成不同寬度之側壁而得理想之縮小之開口9a作為閘極之底部寬亦即閘極之真實寬度，如第3圖(j)所示；利用I-射線微影蝕刻(不必利用相移光罩)並以正光阻曝光形成T型閘極之頭釘(upper head of the T-shaped gate)寬開口14，寬度約為 $1 \mu\text{m}$ 。但亦可利用負光阻，此時負光阻有利於形成開口。如此形成之撕開構造(lift-off



五、發明說明 (7)

structure)有利於簡化閘極電極之形成，如第3圖(k)所示；在進行閘極蝕刻以形成下陷(recessed structure)之閘極區18後，全面沉積閘極電極如Ti/Pt/Au金屬層6，如第3圖(l)所示；再以撕開法(lift-off)將光阻13及光阻上之Ti/Pt/Au金屬6去除，而形成T型閘極6a，如第3圖(m)所示。此時T型閘極即告完成。後續之製程如形成一氮化矽保護層及閘接線墊開口等皆係習知者，在此不再贅述。

以上所述僅為本發明之較佳實施例而已，並非用以限制本發明，凡其它不脫離本發明所揭示之精神下完成之等效改變或應用於其他元件之閘極之製造，均應包含在下述之申請專利範圍內。



圖式簡單說明

前面所述與其他目的、特徵與優點經由下文配合圖式之較佳實施例將立即明瞭並了解本發明，其中各相同之元件以相同之代號碼標示之。

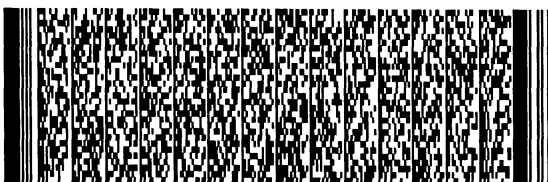
第1圖(習知技藝) MODFET製程步驟之剖面圖

- (a) 在晶圓上形成假閘極；
- (b) 以電子槍蒸鍍一層二氧化矽(SiO_2)以得到一T型閘底部之開口；
- (c) 以撕開法除去假閘極而得一開口，蝕刻而在基底上形成一較寬之開口；
- (d) 形成一約 $1\ \mu\text{m}$ 寬之T型閘極之頭釘層(upper head)之較大開口，沉積一層Ti/Al作閘極電極。

第2圖(習知技藝) MODFET之剖面圖

第3圖為依據本發明所揭示之深次微米級T型閘極場效電晶體之製造步驟之剖面圖

- (a) 用光阻遮住元件運作區域(活性區)；
- (b) 以蝕刻形成元件阻隔(隔離)，去除光阻；
- (c) 塗佈一層光阻以微影製程將源/汲極區域暴露出來；
- (d) 全面沉積源/汲極之金屬；
- (e) 以撕開法(lift-off)移除光阻及金屬層，在攝氏400度左右之溫度下使GeAuNiAu與GaAs形成合金，而得源/汲極電極；

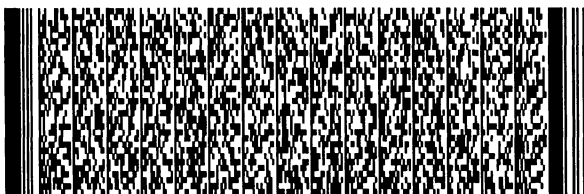


圖式簡單說明

- (f) 以化學氣相沉積第一氮化矽(Si_3N_4)；
- (g) 正光阻塗佈，利用相移光罩及I-射線步進機曝光而得第一開口之圖形；
- (h) 蝕刻氮化矽形成閘極第一開口，將光阻去除；
- (i) 沉積另一層較薄之第二氮化矽(Si_3N_4)；
- (j) 回蝕刻形成氮化矽側壁。
- (k) 利用微影製程並以正光阻曝光形成T型閘極之頭釘寬開口；
- (l) 沉積閘極電極金屬層；
- (m) 以撕開法形成T型閘極。

符號說明：

- 1 GaAs 晶圓
- 2 假閘極
- 3 二氧化矽(SiO_2)
- 4 AuGeNiAu 源/汲極之電極
- 4a、4b 源/汲極電極
- 5 負光阻
- 6 Ti/Al 金屬層
- 6a Ti/Al 閘極電極
- 7 氮化矽保護層
- 8 氮化矽



圖式簡單說明

9 正光阻

9a T型閘極縮小之開口

10 閘極第一開口

11 第二氮化矽膜

12 閘極開口側壁

13 光阻

14 型閘極之頭釘(upper head of the T-shaped gate)之寬開口

15 光阻

16 源/汲極電極之金屬

17 源/汲極電極

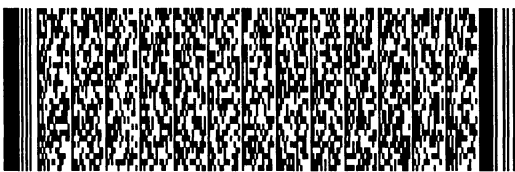
18 下陷(recessed structure)之閘極區

20 磊晶層

20a 元件運作區域(活性區)

20b、20c 源/汲極

30 元件阻隔(隔離)



六、申請專利範圍

1. 一種製造深次微米級T型閘極場效電晶體之方法，至少包含以下步驟：

(a) 在半絕緣之砷化鎵晶圓上已形成調變摻雜磊晶之通道區及源/汲極區及已形成源/汲極電極之晶圓上沉積一第一氮化矽薄膜；

(b) 利用光阻及相移光罩在I-射線步進機中曝光形成第一開口圖型；

(c) 以乾蝕刻去除曝露之氮化矽膜以形成一第一開口作T型閘極之底部開口；

(d) 沉積一第二氮化矽薄膜；

(e) 以異向性乾蝕刻回蝕以形成一對側壁以進一步縮小該第一開口；

(f) 以微影術在該第一開口之上形成較第一開口為大之一第二開口作T型閘極之頭釘(upper head of the T-shaped gate)圖型；

(g) 進行閘極蝕刻以形成下陷(recessed structure)之閘極區；

(h) 全面沉積一層閘極金屬作閘極；

(i) 以撕開法(lift-off)去除光阻及其上之閘極金屬以形成T型金屬閘極；

(j) 繼續完成保護層及後續金屬化製程以完成一MODFET。

2. 如申請專利範圍第1項之方法，其中該第一氮化矽薄



六、申請專利範圍

膜之厚度為2000埃至3000埃之範圍。

3. 如申請專利範圍第1項之方法，其中該光阻係正光阻。

4. 如申請專利範圍第1項之方法，其中該相移光罩是8%之半調(half-tone)相移光罩。

5. 如申請專利範圍第1項之方法，其中該第一開口之寬度小於 $0.25\ \mu\text{m}$ 。

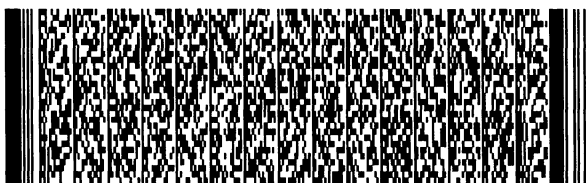
6. 如申請專利範圍第1項之方法，其中該第二氮化矽薄膜之厚度為300埃至600埃之範圍。

7. 如申請專利範圍第1項之方法，其中該縮小之第一開口之寬度小於 $0.2\ \mu\text{m}$ 。

8. 如申請專利範圍第1項之方法，其中該縮小之第一開口之寬度小於 $0.18\ \mu\text{m}$ 。

9. 一種深次微米級T型閘極場效電晶體元件，至少包含：

(a) 一半絕緣之砷化鎳晶圓上具有調變摻雜磊晶之通道區及源/汲極區及已形成之源/汲極電極；



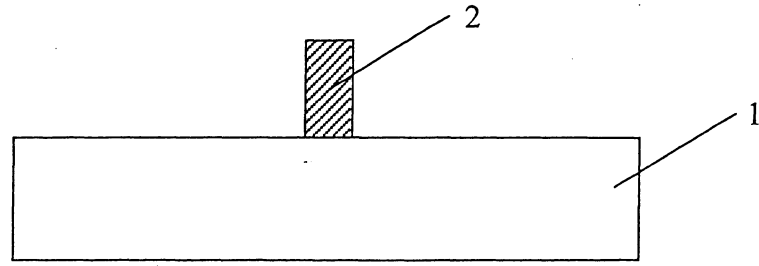
六、申請專利範圍

(b) 在通道區上具有一T型閘極之底部開口，其係利用相移光罩在I-射線步進機形成之第一開口，於其上沉積一第二氮化矽薄膜後以乾蝕刻回蝕以形成一對側壁而形成較第一開口小之閘極之底部開口；

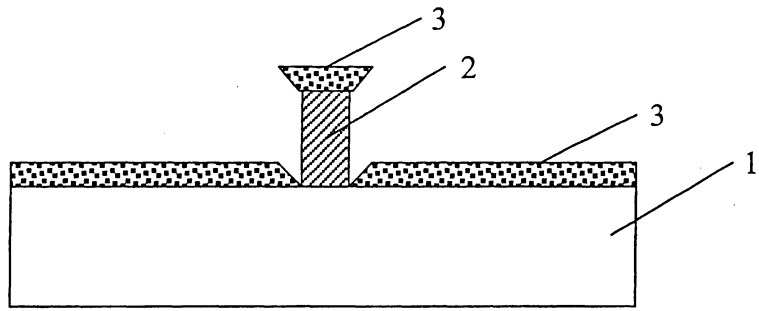
(c) 下陷(recessed structure)之閘極區；

(d) 一T型閘極；

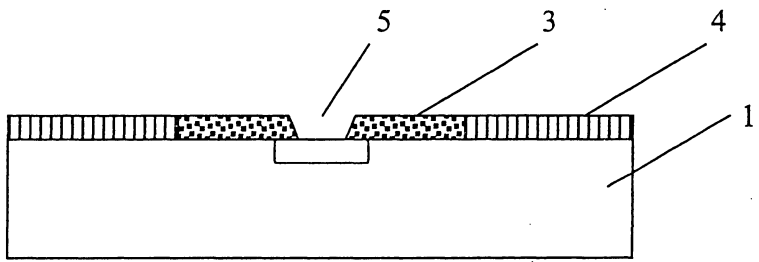




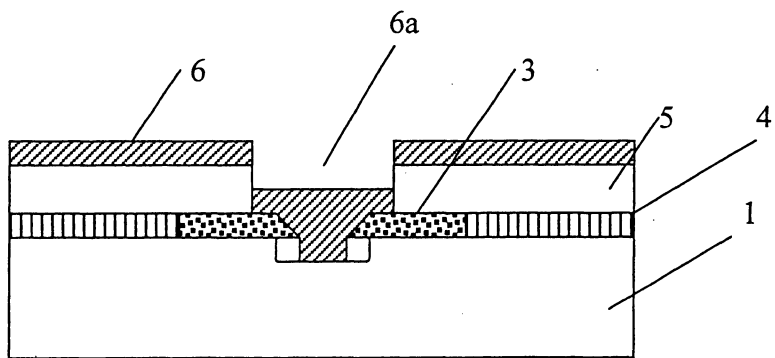
(a)



(b)

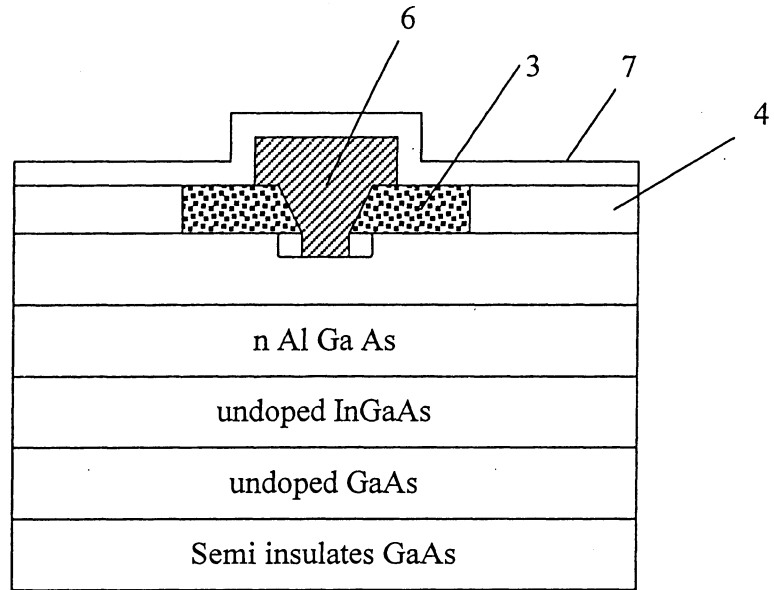


(c)

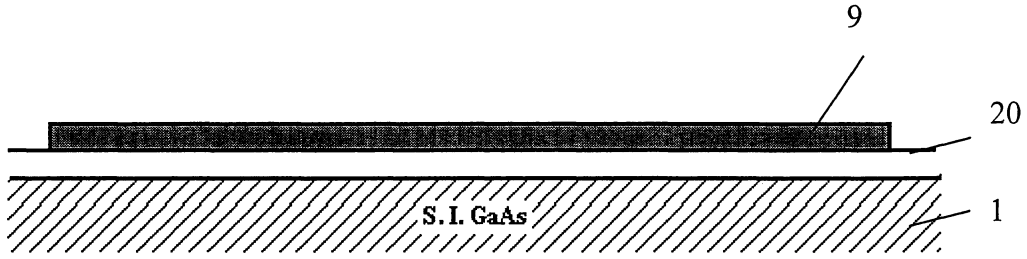


(d)

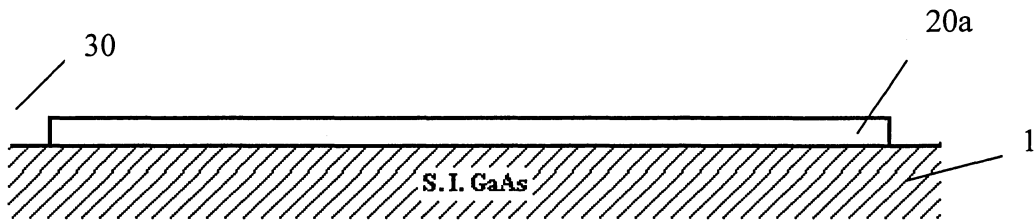
第 1 圖(先前技藝)



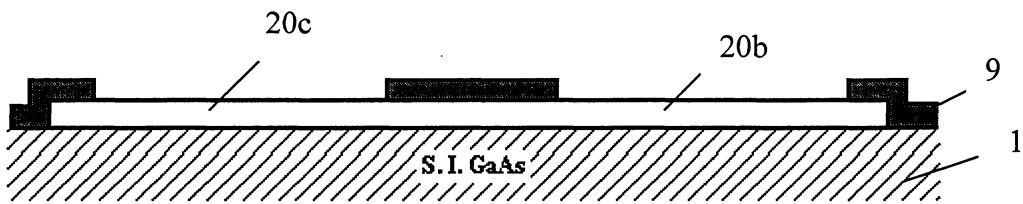
第 2 圖(先前技藝)



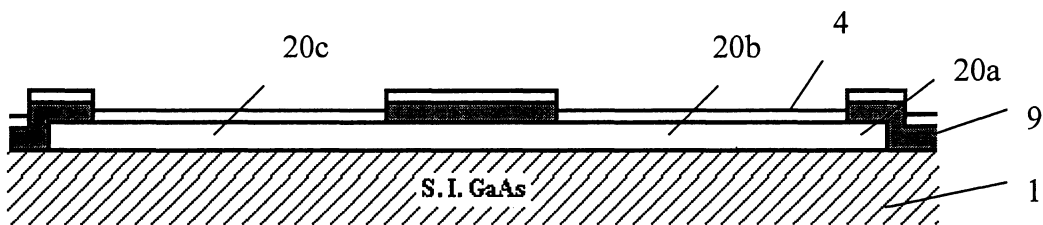
第 3 圖(a)



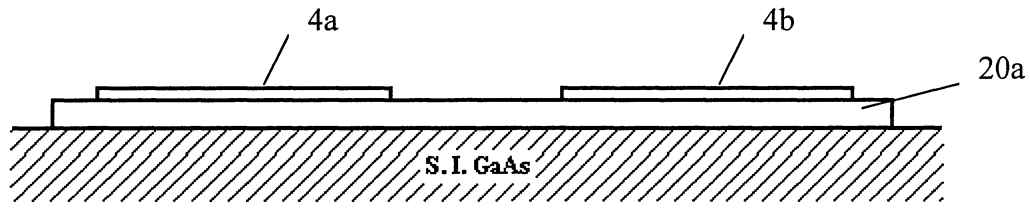
第 3 圖(b)



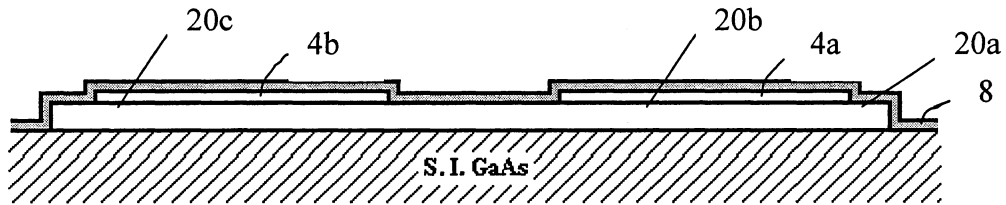
第 3 圖(c)



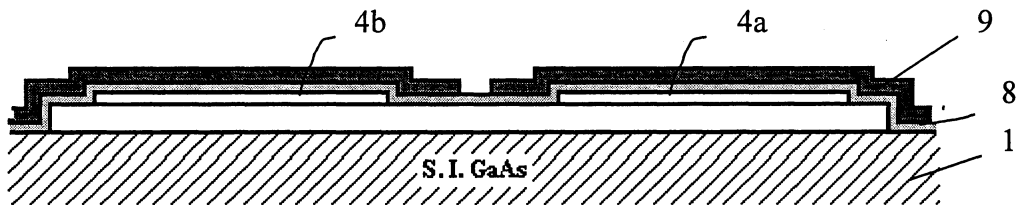
第 3 圖(d)



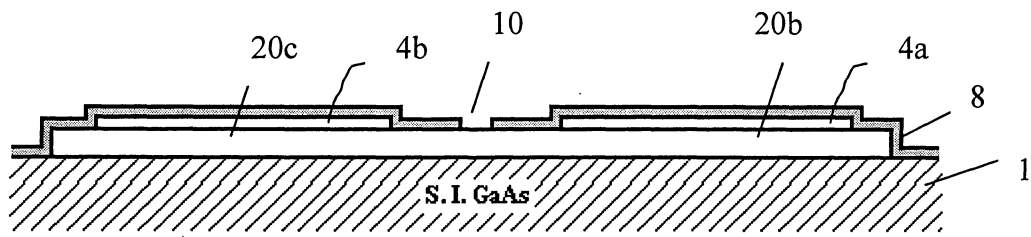
第 3 圖(e)



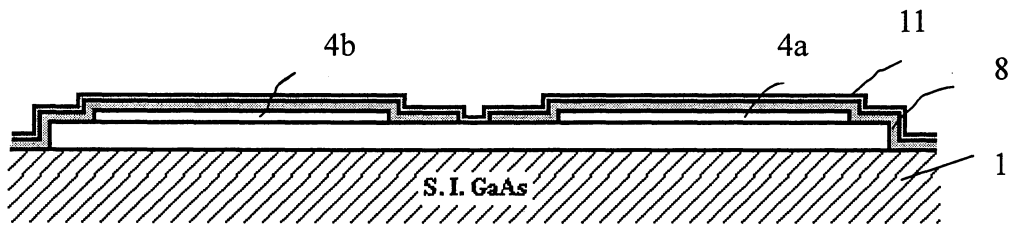
第 3 圖(f)



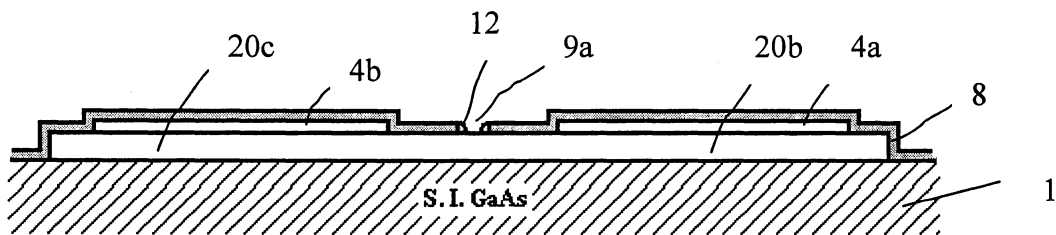
第 3 圖(g)



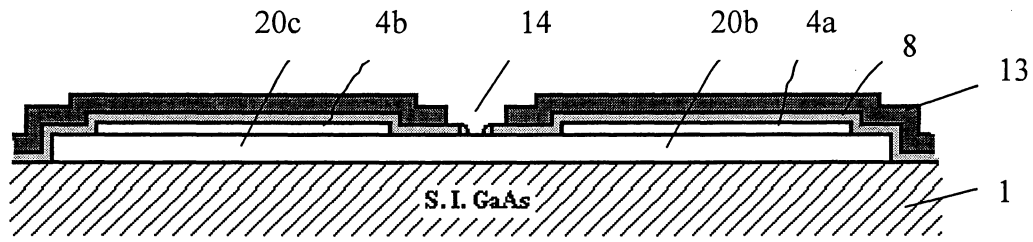
第 3 圖(h)



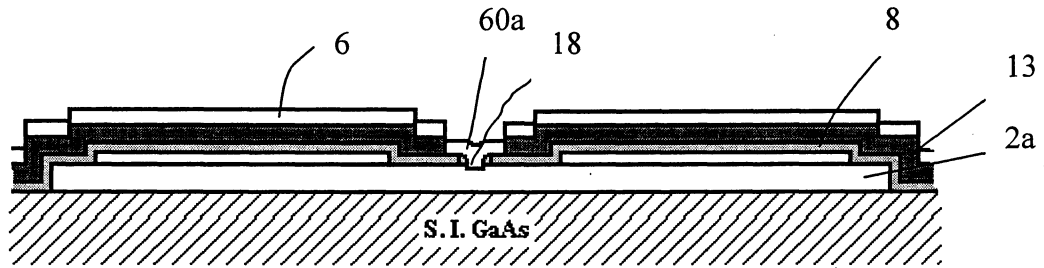
第 3 圖(i)



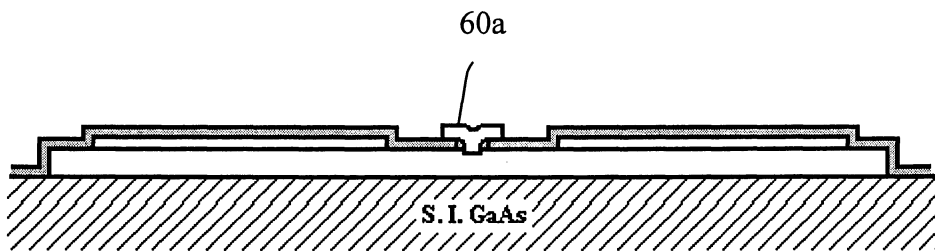
第 3 圖(j)



第 3 圖(k)



第 3 圖(l)



第 3 圖(m)