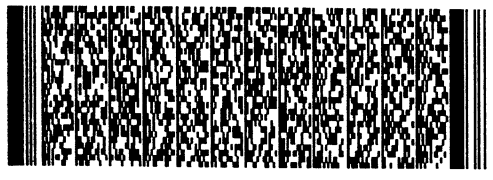


公告本

申請日期： <u>93-02-10</u>	IPC分類 <u>H01L 23/60</u>
申請案號： <u>93/03024</u>	

(以上各欄由本局填註) **發明專利說明書** I224391

一、 發明名稱	中文	靜電放電防護電路
	英文	
二、 發明人 (共2人)	姓名 (中文)	1. 柯明道 2. 林昆賢
	姓名 (英文)	1. 2.
	國籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW
	住居所 (中文)	1. 新竹市寶山路200巷3號4樓之3 2. 屏東縣萬巒鄉恭寬路2號
	住居所 (英文)	1. 2.
三、 申請人 (共1人)	名稱或姓名 (中文)	1. 國立交通大學
	名稱或姓名 (英文)	1.
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中文)	1. 新竹市大學路1001號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1.
	代表人 (中文)	1. 張俊彥
代表人 (英文)	1.	



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間

日期：

四、有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

熟習該項技術者易於獲得,不須寄存。

四、中文發明摘要 (發明名稱：靜電放電防護電路)

本發明係一種靜電放電防護電路，其應用在具有省電模式功能之積體電路上，當應用本發明之積體電路進入省電模式時，本發明可防止漏電流的產生，並可防止正電壓由輸入或輸出鉀墊向VDD電源線充電，以避免積體電路產生運作錯誤之問題，且本發明之VDD電源線至VSS電源線間以及ESD匯流線至VSS電源線間，分別設有一ESD箝制電路，藉此達到全積體電路靜電防護之目的。本發明能防止習知靜電放電防護電路於省電模式時，所產生之漏電流或電路錯誤運作等問題，並能同時達到全晶片靜電防護之效果。

五、英文發明摘要 (發明名稱：)



六、指定代表圖

(一)、本案代表圖為：第三圖

(二)、本案代表圖之元件代表符號簡單說明：

50	輸入電路	52	輸入鉀墊
54	輸入PMOS	56	輸入NMOS
58	電阻	60	第一內部電路
62	輸出電路	64	輸出鉀墊
66	輸出PMOS	68	輸出NMOS
70	第二內部電路	72	VDD電源線
74	VSS電源線	76	ESD電源線
78	第一箝制電路	80	第二箝制電路
82	第一二極體	84	第二二極體
86	第三二極體		



五、發明說明 (1)

【發明所屬之技術領域】

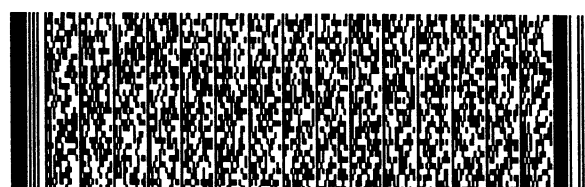
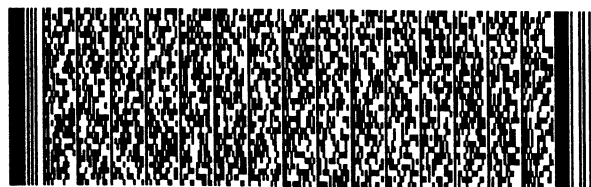
本發明係一種靜電放電防護電路，特別是一種應用在具有省電模式功能的積體電路產品之靜電放電防護電路。

【先前技術】

基於省電的考量，愈來愈多的積體電路晶片提供省電模式功能，尤其對應用在行動電子產品的系統單晶片 (System on a Chip) 而言，省電模式功能更是增進產品吸引力的一大因素。第一圖所示為一具有省電模式功能之雙晶片電路系統10示意圖，其中第一晶片12係由VDD1電源線14施加偏壓；第二晶片16則由VDD2電源線18施加偏壓；第一晶片12之輸出鉀墊20電連接第二晶片16之輸入鉀墊22，故若第二晶片16進入省電模式且第一晶片12輸出高準位電壓時，會產生兩種情況：其一，當VDD2電源線18接地時，會產生一漏電流，其會由輸出鉀墊20經由輸入鉀墊22、PMOS之寄生二極體24流向VDD2電源線18；其二，當VDD2電源線18浮接時，高準位電壓會由輸出鉀墊20經由輸入鉀墊22、PMOS之寄生二極體24向VDD2電源線18充電，進而使第二晶片16之內部電路26產生運作錯誤。因此，為避免上述情況發生，PMOS之寄生二極體需加以移除。

另外，為防止靜電對積體電路產生破壞，一般IC晶片均會加上靜電防護設計，第二圖所示即為一習知靜電放電防護電路示意圖，由圖可知，當此電路處於PS

(Positive-to-VSS) 靜電放電模式時，此時VSS電源線34是接地的，輸入與輸出鉀墊30、32上之正靜電可分別經由

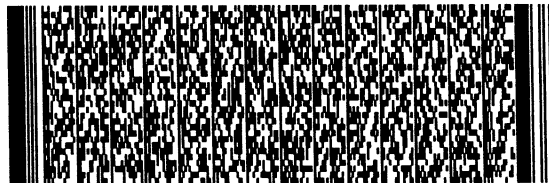


五、發明說明 (2)

PMOS 之寄生二極體36、VDD 電源線38 以及ESD 箝制電路

(Power-Rail ESD Clamp Circuit) 40 而向VSS 電源線34 放電；當此電路處於PD (Positive-to-VDD) 靜電放電模式時，此時VDD 電源線38 是接地的，輸入與輸出鉚墊30、32 上之正靜電可分別經由PMOS 之寄生二極體36 而向VDD 電源線38 放電；當此電路處於NS (Negative-to-VSS) 靜電放電模式時，此時VSS 電源線34 是接地的，輸入與輸出鉚墊30、32 上之負靜電可分別經由NMOS 之寄生二極體42 而向VSS 電源線34 放電；而當此電路處於ND (Negative-to-VDD) 靜電放電模式時，此時VDD 電源線38 是接地的，輸入與輸出鉚墊30、32 上之負靜電可分別經由NMOS 之寄生二極體42、VSS 電源線34 以及ESD 箝制電路40 而向VDD 電源線38 放電。

然而，根據第一段所述，在省電模式的情況下，PMOS 之寄生二極體需加以移除，如此一來，前述之靜電放電防護電路若要應用於具省電模式之積體電路時，輸入／輸出鉚墊上所產生之PS 靜電放電模式的靜電電壓，便無法經由PMOS 之寄生二極體，再經由VDD 電源線及ESD 箝制電路而向VSS 電源線放電，故該PS 靜電放電模式的靜電電壓僅能利用閘極接地NMOS (Gate-Grounded NMOS, GGNMOS) 之驟迴崩潰 (Snapback Breakdown) 而向VSS 電源線放電，且當元件尺寸持續縮小時，接面崩潰電壓會接近氧化層崩潰電壓，進而使GGNMOS 無法提供良好的靜電防護功能，另外，GGNMOS 亦會有不規則開啟 (Turn On) 的情形發生；此



五、發明說明 (3)

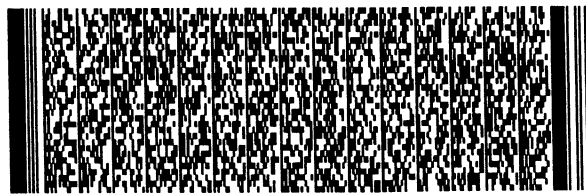
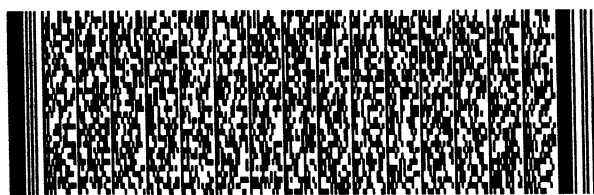
外，在不引起PMOS接面崩潰的情況下，輸入／輸出鉀墊上所產生之PD靜電放電模式的靜電電壓無法向VDD電源線放電，因此PD靜電放電模式的靜電電壓亦僅能利用GGNMOS之驟迴崩潰，經由VSS電源線以及ESD箝制電路而向VDD電源線放電。由上述可知，移除PMOS之寄生二極體會使積體電路之靜電防護效果嚴重衰退。

為解決上述問題，有人利用GGNMOS取代上述PMOS之寄生二極體，如美國專利「應用於省電模式之靜電放電防護電路及方法」（美國公告號：5229635）所示，然其缺點在於用來驟迴崩潰泄放靜電之GGNMOS，會有不規則開啟的情形發生，因此會導致一較差的靜電防護效果；另外，亦有人提出強化輸入／輸出鉀墊與VSS電源線間的靜電放電防護電路之設計，其刊載於「Tech. Dig. Of IEDM, 2002, pp. 349-352」，在此電路設計中，所有靜電放電均透過輸入／輸出鉀墊與VSS電源線間的靜電放電防護電路，但此設計之缺點在於此強化之靜電放電防護電路太過複雜，且為達到良好之靜電防護效果需付出較高的成本。

鑑於上述問題，本發明提出一種利用靜電放電防護電路以應用於具省電模式功能之積體電路，藉此改善習知技術的缺失。

【發明內容】

本發明之主要目的，係提供一種靜電放電防護電路，其係利用二極體以及ESD匯流線之設置，防止輸入／輸出鉀墊在省電模式時對VDD電源線產生漏電流或充電情形，

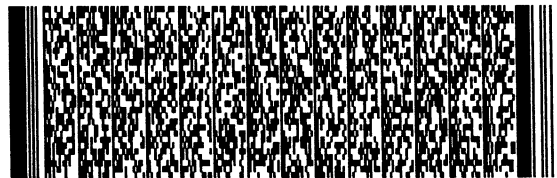
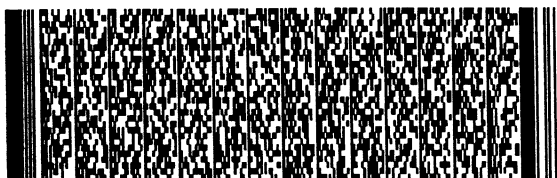


五、發明說明 (4)

藉此避免習知靜電放電防護電路應用於具省電模式功能之積體電路時，所產生之漏電流或電路操作錯誤等情形。

本發明之另一目的，係提供一種靜電放電防護電路，其於ESD匯流線至VSS電源線間，以及VDD電源線至VSS電源線間，分別設置一ESD箝制電路，藉此提供積體電路全晶片靜電防護功能。

根據本發明，其包括一輸入電路與一輸出電路，此輸入電路分別與一ESD匯流線、一VDD電源線及一VSS電源線形成電性連接，輸出電路則與VDD電源線及VSS電源線相連，並透過一第三二極體順向連接於輸出電路之輸出鉀墊與ESD匯流線之間，而ESD匯流線與VSS電源線間以及VDD電源線與VSS電源間分別設有一第一ESD箝制電路與一第二ESD箝制電路，故當有靜電由輸入電路之輸入鉀墊進入時，可經由ESD匯流線與第一ESD箝制電路向VSS電源線放電，或經由ESD匯流線、第一ESD箝制電路、VSS電源線與第二ESD箝制電路向VDD電源線放電，同樣地，當有靜電由輸出鉀墊進入時，亦可經由第三二極體，再經由與上述輸入鉀墊之相同放電路徑進行放電，如此即能提供全晶片靜電防護效果，而除上述電路外，另有一第一二極體順向連接於VDD電源線與ESD匯流線之間，藉此在應用本發明之積體電路進入省電模式時，防止輸入鉀墊與VDD電源線間產生漏電流或充電情形，同樣地亦有一第二二極體順向連接於VDD電源線與輸出電路間，藉此防止輸出鉀墊與VDD電源線間產生漏電路或充電情形。



五、發明說明 (5)

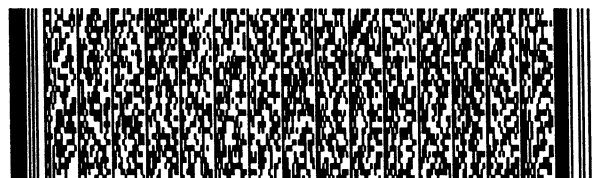
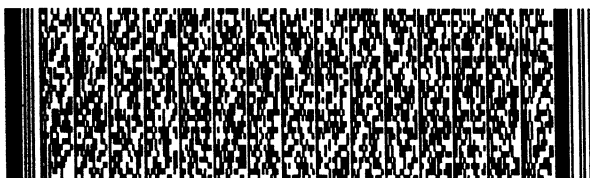
底下藉由具體實施例的說明，並參照所附之圖式，當更容易瞭解本發明之目的、技術內容、特點及其所達成之功效。

【實施方式】

本發明係一種靜電放電防護電路，其藉由ESD匯流線與二極體之設置，以及適當的電路設計，達到全晶片靜電防護效果，並避免在省電模式時產生漏電流或電路運作錯誤等情形。

如第三圖所示，其係本發明之實施例示意圖，由圖可知，一具省電模式功能與靜電防護功能之積體電路包括一輸入電路50，其包括一輸入鉚墊52，此輸入鉚墊52分別連接一輸入PMOS 54之汲極與一輸入NMOS 56之汲極，並透過一電阻58連接至一第一內部電路60；另有一輸出電路62，其包括一輸出鉚墊64，其亦分別連接一輸出PMOS 66之汲極與一輸出NMOS 68之汲極，且此輸出PMOS 66與輸出NMOS 68之閘極則再連接至一第二內部電路70；此外，尚有一VDD電源線72與一VSS電源線74，VDD電源線72分別連接並施加偏壓於第一、第二內部電路60、70，而VSS電源線74除分別連接並施加偏壓於第一、第二內部電路60、70外，尚連接輸入NMOS 56源極與閘極以及輸出NMOS 68之源極。

再參照第三圖，除上述電路架構外，另有一ESD匯流線76，此ESD匯流線76是浮接的，亦即沒有給予額外的電源。ESD匯流線76連接輸入PMOS 54之源極與閘極，且ESD匯流線76與VSS電源線74間以及VDD電源線72與VSS電源線



五、發明說明 (6)

74 間，分別設有一第一ESD箝制電路78與一第二ESD箝制電路80，故當輸入鉚墊52在PS靜電放電模式時，正電荷會經由輸入PMOS 54之寄生二極體、ESD匯流線76及第一ESD箝制電路78向VSS電源線74放電，如第四圖(a)所示；當輸入鉚墊52在PD靜電放電模式時，正電荷會經由輸入PMOS 54之寄生二極體、ESD匯流線76、第一ESD箝制電路78、VSS電源線74以及第二ESD箝制電路80，放電至VDD電源線72，如第四圖(b)所示；而當輸入鉚墊52在NS或ND靜電放電模式時，負電荷會分別經由輸入NMOS 56向VSS電源線74放電，或經由輸入NMOS 56、VSS電源線74及第二ESD箝制電路80，向VDD電源線72放電。另外，輸出鉚墊64與ESD匯流線76間順向連接有一第三二極體86，故同樣地，當輸出鉚墊64在PS/PD靜電放電模式時，其可先經由第三二極體86放電至ESD匯流線76，再循前述輸入鉚墊52之PS/PD靜電放電模式之放電途徑進行放電，如第四圖(c)、(d)所示；而當輸出鉚墊64在NS或ND靜電放電模式時，其會經由輸出NMOS 68放電至VSS電源線74，或經由輸出NMOS 68放電至VSS電源線74及第二ESD箝制電路80向VDD電源線72放電。

然而，參照第三圖及第四圖，為防止本發明如先前技術一般，在積體電路進入省電模式且輸入/輸出鉚墊52、64處於高電位的情況下，輸入/輸出鉚墊52、64對VDD電源線72產生漏電流，或將VDD電源線72充電而使電路發生運作錯誤，本發明VDD電源線72與ESD匯流線76間，以及

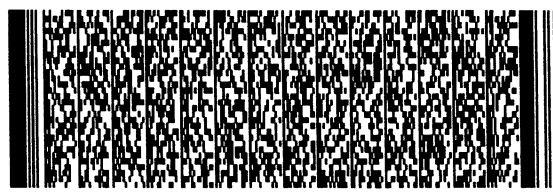


五、發明說明 (7)

VDD 電源線與輸出PMOS之源極間，分別順向連接有一第一二極體82及一第二二極體84，藉由此二極體82、84之設置，在積體電路進入省電模式且VDD電源線72接地時，能防止輸入／輸出鉀墊52、64對VDD電源線72產生漏電流；而在積體電路進入省電模式且VDD電源線74浮接時，則能防止輸入／輸出鉀墊52、64對VDD電源線72充電而使電路產生操作錯誤。

第五圖為本發明另一實施例示意圖，其與前一實施例之差異在於：將第三二極體86順向連接於輸出PMOS 66之源極與ESD匯流線76之間。故當輸出鉀墊64在PS靜電放電模式時，正電荷會經由輸出PMOS 66之寄生二極體、第三二極體86、ESD匯流線76與第一箝制電路78，向VSS電源線74放電；而當輸出鉀墊64在PD靜電放電模式時，正電荷會經由與PS靜電放電模式相同之靜電放電途徑，再經由第二箝制電路80向VDD電源線72放電。至於第五圖所示電路之NS、ND靜電放電模式的靜電放電途徑與第三圖所示之電路相同，且二電路在進入省電模式時均同樣地能防止輸入／輸出鉀墊對VDD電源線產生漏電流或充電情形。

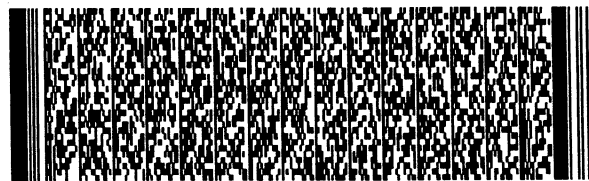
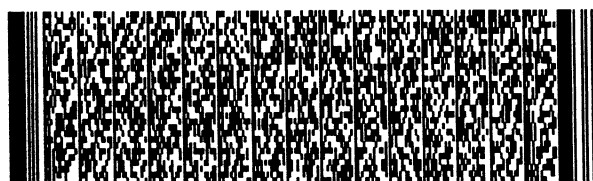
又如第六圖所示，其為本發明另一實施例示意圖，此實施例與第三圖所述之實施例的差別包括：輸出PMOS 66之源極連接至ESD匯流線76；輸出PMOS 66與輸出NMOS 68之閘極連接至一預驅動電路(Pre-Driver Circuit) 88，其再與一第二內部電路90形成電性連接。另有一控制PMOS 92，其源極與汲極分別連接ESD匯流線76與輸出PMOS 66之



五、發明說明 (8)

開極，而此控制PMOS 92之開極則連接至VDD電源線72，故在一般操作狀態下，亦即VDD電源線72輸出高準位電壓時，此控制PMOS 92即關閉；而在省電模式狀態下，亦即VDD電源線72浮接或接地時，此控制PMOS 92即開啟，進而使輸出PMOS 66關閉，而不會發生輸出PMOS 66在省電模式狀態下導通所造成的漏電問題。此外，預驅動電路88係連接至ESD匯流線76以獲取電力來源，而非直接連接至VDD電源線72以獲得電源，藉此防止在省電模式下當VDD電源線72接地或浮接時，預驅動電路88與VDD電源線72間產生漏電流之情形。

參照第七圖至第九圖，其所示之電路結構分別對應到第三圖、第五圖及第六圖所示之電路，比較第三圖及第七圖可知，其差異僅在於：第七圖所示之電路係將第三圖之第二內部電路70整合或替換為第一內部電路60，故第一內部電路60會直接電連接至輸出PMOS 66及輸出NMOS 68之開極，然第七圖所示之實施例，其於各種靜電防護模式下的放電路徑，以及於省電模式下的防止漏電流產生或電路操作錯誤等方法，均與第三圖所示之實施例相同。同理，第五圖與第八圖所示之實施例之差異亦僅在於：將第五圖之第二內部電路70整合或取代為第八圖之第一內部電路60，至於此二圖所示電路之靜電防護方式，以及防止漏電流產生或電路運作錯誤等方法，均無不同。同樣地，第六圖與第九圖所示之電路，其差異在於第六圖之第二內部電路90被第九圖之第一內部電路60替換或整合，其餘靜電防護或省



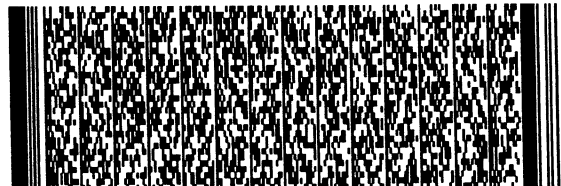
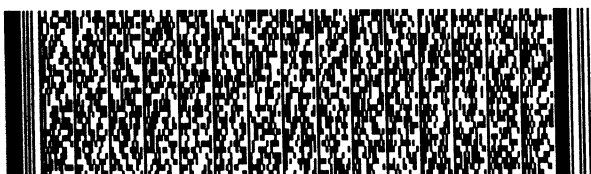
五、發明說明 (9)

電模式下之電路運作方式均一致。

另外，由於第一或第二二極體之設置，在一般操作狀態下，輸出鉚墊之輸出電壓準位無法達到VDD的電位，因此於上述各實施例之VDD電源線與輸出PMOS之源極間可增設一輸出電壓校準電路，第十圖所示為一輸出電壓校準電路94之實施例，由圖可知，此輸出電壓校準電路94包括一NMOS 96，其閘極與源極分別連接VDD電源線72與VSS電源線74，而汲極則分別連接至一第一PMOS 98之閘極與一第二PMOS 100之源極，而第一PMOS 98之源極與汲極分別與VDD電源線72及輸出PMOS之源極102相連，且第二PMOS 100之閘極與汲極分別與VDD電源線72及輸出PMOS之源極102形成電性連接，因此根據上述電路關係，當VDD電源線72輸出高準位電壓時，該第二PMOS 100關閉而NMOS 96則開啟，藉此第一PMOS 98之閘極電壓會等同VSS電源線74之電壓而使第一PMOS 98之通道開啟，如此VDD電源線72之電壓便可經由第一PMOS 98直接傳輸至輸出PMOS之源極102，以避免經由該第一或第二二極體傳輸至該輸出PMOS之源極102而產生電壓降。

再者，本發明各實施例均為一具靜電防護功能與省電模式功能之積體電路架構，每一實施例之電路均可重覆建構，以將原先電路之輸出鉚墊連接至重覆建構電路之輸入鉚墊，藉此完成具靜電防護功能與省電模式功能之多層級電路架構。

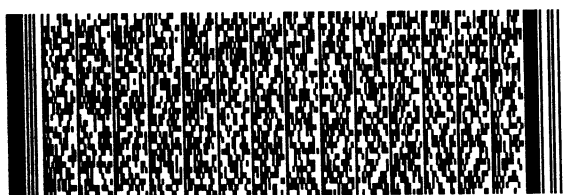
由上所述，本發明利用二極體以及ESD匯流線之設



五、發明說明 (10)

置，防止輸入／輸出鉚墊在省電模式時對VDD電源線充電或產生漏電流之情形，且本發明並於ESD匯流線至VSS電源線間，以及VDD電源線至VSS電源線間，分別設置一ESD箝制電路，藉此提供積體電路全晶片靜電防護功效。

惟以上所述之實施例僅為本發明之較佳實施例而已，並非用以限定本發明實施之範圍。故凡依本發明申請專利範圍所述之形狀、構造、特徵及精神所為之均等變化與修飾，均應包括於本創作之申請專利範圍內。



圖式簡單說明

圖式說明：

第一圖為習知雙晶片電路系統示意圖。

第二圖為習知靜電放電防護電路示意圖。

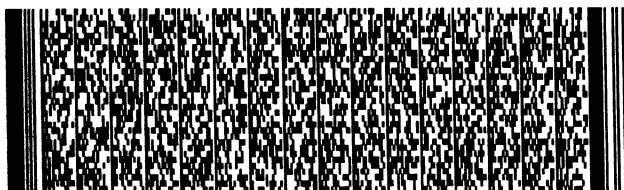
第三圖與第五圖至第九圖為本發明實施例示意圖。

第四圖(a)至第四圖(d)為第三圖之靜電放電路徑示意圖。

第十圖為本發明之輸出電壓校準電路示意圖。

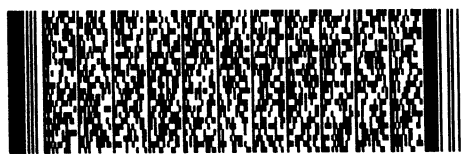
圖號說明：

10	電路系統	12	第一晶片
14	VDD1 電源線	16	第二晶片
18	VDD2 電源線	20	輸出鉚墊
22	輸入鉚墊	24	寄生二極體
26	內部電路	30	輸入鉚墊
32	輸出鉚墊	34	VSS 電源線
36	寄生二極體	38	VDD 電源線
40	ESD 箝制電路	42	寄生二極體
50	輸入電路	52	輸入鉚墊
54	輸入PMOS	56	輸入NMOS
58	電阻	60	第一內部電路
62	輸出電路	64	輸出鉚墊
66	輸出PMOS	68	輸出NMOS
70	第二內部電路	72	VDD 電源線
74	VSS 電源線	76	ESD 電源線



圖式簡單說明

78	第一箝制電路	80	第二箝制電路
82	第一二極體	84	第二二極體
86	第三二極體	88	預驅動電路
90	第二內部電路	92	控制PMOS
94	電壓校準電路	96	NMOS
98	第一PMOS	100	第二PMOS
102	輸出PMOS之源極		



六、申請專利範圍

- 1、一種靜電放電防護電路，其係應用在具有省電模式之積體電路上，該靜電放電防護電路包括：
 - 一輸入電路，其包括：
 - 一輸入鉀墊；
 - 一輸入PMOS，其汲極與該輸入鉀墊相連接；
 - 一輸入NMOS，其汲極電連接至該輸入鉀墊；以及
 - 一第一內部電路，其經由至少一電阻連接至該輸入鉀墊；
 - 一輸出電路，其包括：
 - 一輸出鉀墊；
 - 一輸出PMOS，其汲極與該輸出鉀墊電連接在一起；
 - 一輸出NMOS，其汲極與該輸出鉀墊形成電性連接；以及
 - 一第二內部電路，其分別電連接至該輸出PMOS與該輸出NMOS之閘極；
 - 一VDD電源線，其分別連接並供應該第一、第二內部電路一VDD電壓；
 - 一VSS電源線，其分別連接並提供該第一、第二內部電路一VSS電壓，並與該輸入NMOS之源極與閘極以及該輸出NMOS之源極形成電性連接；
 - 一ESD匯流線，其與該輸入PMOS之源極與閘極相連；
 - 一第一ESD箝制電路，其分別連接該VSS電源線及該ESD匯流線；
 - 一第二ESD箝制電路，其分別連接該VDD電源線及該



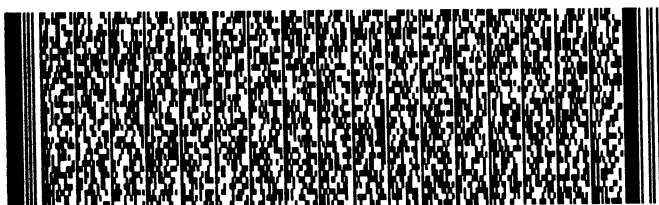
六、申請專利範圍

VSS 電源線；

- 一 第一二極體，其順向連接於該VDD電源線與該ESD匯流線之間，該第一二極體可防止該輸入鉚墊與該VDD電源線間產生漏電流，並能防止正電壓從該輸入鉚墊經由該輸入PMOS向該VDD電源線充電之問題；
- 一 第二二極體，其順向連接於該VDD電源線與該輸出PMOS之源極之間，該第二二極體可防止該輸出鉚墊與該VDD電源線間產生漏電流，並能防止正電壓從該輸出鉚墊經由該輸出PMOS向該VDD電源線充電之問題；以及
- 一 第三二極體，其N型端連接該ESD匯流線，P型端之連接點則選自該輸出鉚墊與該輸出PMOS之源極，該輸出鉚墊可經由該第三二極體泄放靜電至該ESD匯流線。

2、如申請專利範圍第1項所述之靜電放電防護電路，其中當該第三二極體之P型端連接該輸出PMOS之汲極，且該靜電放電防護電路係呈PS (Positive-to-VSS) 靜電放電模式時，由該輸入鉚墊所輸入之正靜電，會經由該輸入PMOS、該ESD匯流線與該第一ESD箝制電路導向該VSS電源線以放電，而由該輸出鉚墊所輸入之正靜電，會經由該第三二極體、該ESD匯流線與該第一ESD箝制電路導向該VSS電源線以放電。

3、如申請專利範圍第1項所述之靜電放電防護電路，其中



六、申請專利範圍

當該第三二極體之P型端連接該輸出PMOS之源極，且該靜電放電防護電路係呈PS (Positive-to-VSS) 靜電放電模式時，由該輸入鉚墊所輸入之正靜電，會經由該輸入PMOS、該ESD匯流線與該第一ESD箝制電路導向該VSS電源線以放電，而由該輸出鉚墊所輸入之正靜電，會經由該輸出PMOS、該第三二極體、該ESD匯流線與該第一ESD箝制電路導向該VSS電源線以放電。

4、如申請專利範圍第1項所述之靜電放電防護電路，其中當該第三二極體之P型端連接該輸出PMOS之汲極，且該靜電放電防護電路係呈PD (Positive-to-VDD) 靜電放電模式時，由該輸入鉚墊所輸入之正靜電，會經由該輸入PMOS、該ESD匯流線、該第一ESD箝制電路、該VSS電源線與該第二ESD箝制電路導向該VDD電源線以放電，而由該輸出鉚墊所輸入之正靜電，會經由該第三二極體、該ESD匯流線、該第一ESD箝制電路、該VSS電源線與該第二ESD箝制電路導向該VDD電源線以放電。

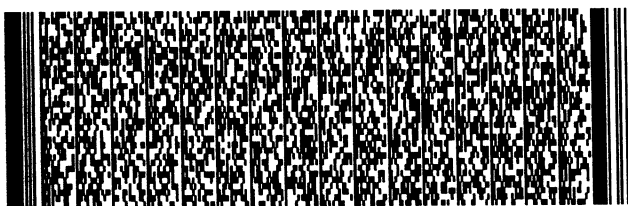
5、如申請專利範圍第1項所述之靜電放電防護電路，其中當該第三二極體之P型端連接該輸出PMOS之源極，且該靜電放電防護電路係呈PD (Positive-to-VDD) 靜電放電模式時，由該輸入鉚墊所輸入之正靜電，會經由該輸入PMOS、該ESD匯流線、該第一ESD箝制電路、該VSS電源線與該第二ESD箝制電路導向該VDD電源線以放電，而由該輸出鉚墊所輸入之正靜電，會經由該



六、申請專利範圍

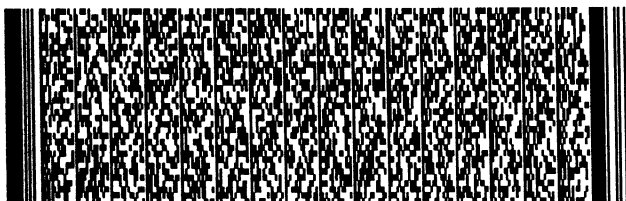
輸出PMOS、該第三二極體、該ESD匯流線、該第一ESD箝制電路、該VSS電源線與該第二ESD箝制電路導向該VDD電源線以放電。

- 6、如申請專利範圍第1項所述之靜電放電防護電路，其中當該靜電放電防護電路係呈NS (Negative-to-VSS) 靜電放電模式時，由該輸入鉚墊與該輸出鉚墊所輸入之負靜電，會分別經由該輸入、輸出NMOS導向該VSS電源線以放電。
- 7、如申請專利範圍第1項所述之靜電放電防護電路，其中當該靜電放電防護電路係呈ND (Negative-to-VDD) 靜電放電模式時，由該輸入鉚墊與該輸出鉚墊所輸入之負靜電，會分別經由該輸入、輸出NMOS、該VSS電源線與該第二ESD箝制電路導向該VDD電源線以放電。
- 8、如申請專利範圍第1項所述之靜電放電防護電路，更可利用複數個該靜電放電防護電路架構出一多層級架構之靜電放電防護電路，其中前一該靜電放電防護電路之該輸出鉚墊，電連接至所後一該靜電放電防護電路之該輸入鉚墊。
- 9、如申請專利範圍第1項所述之靜電放電防護電路，更可增設至少一輸出電壓校準電路，使其連接該VDD電源線與該輸出PMOS之源極，藉此補償該第二二極體所產生之電壓降。
- 10、如申請專利範圍第9項所述之靜電放電防護電路，其中該輸出電壓校準電路包括：



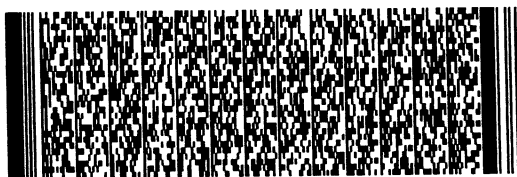
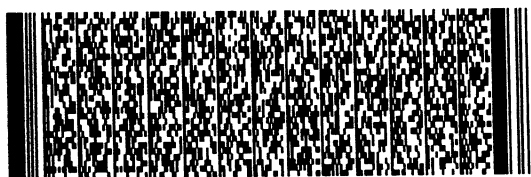
六、申請專利範圍

- 一 NMOS，其閘極與源極分別連接該VDD電源線與該VSS電源線；
 - 一 第一PMOS，其源極、閘極與汲極分別連接該VDD電源線、該NMOS之汲極與該輸出PMOS之源極；以及
 - 一 第二PMOS，其源極、閘極與汲極分別連接該第一PMOS之閘極、該VDD電源線與該輸出PMOS之源極，故當該VDD電壓為高準位電壓時，該第二PMOS關閉，該NMOS開啟並使該第一PMOS開啟，藉此該VDD電壓經由該第一PMOS直接傳輸至該輸出PMOS之源極，以避免經由該第二二極體傳輸至該輸出PMOS之源極而產生電壓降。
- 11、一種靜電放電防護電路，其係應用在具有省電模式之積體電路上，該靜電放電防護電路包括：
- 一 輸入電路，其包括：
 - 一 輸入鉀墊；
 - 一 輸入PMOS，其汲極與該輸入鉀墊相連接；
 - 一 輸入NMOS，其汲極電連接至該輸入鉀墊；以及
 - 一 第一內部電路，其經由至少一電阻連接至該輸入鉀墊；
 - 一 輸出電路，其包括：
 - 一 輸出鉀墊；
 - 一 輸出PMOS，其汲極與該輸出鉀墊電連接在一起；
 - 一 輸出NMOS，其汲極與該輸出鉀墊形成電性連接；
 - 一 控制PMOS，其汲極與該輸出PMOS之閘極相連；



六、申請專利範圍

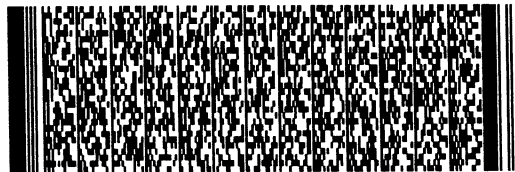
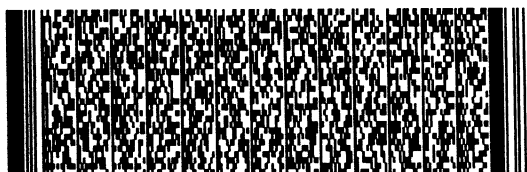
- 一 預驅動電路，其分別電連接至該輸出PMOS與該輸出NMOS之閘極，並電連接該控制PMOS之汲極；以及
- 一 第二內部電路，其與該預驅動電路電連接在一起；
- 一 VSS電源線，其分別連接並提供該第一內部電路、該預驅動電路與該第二內部電路一VSS電壓源，並與該輸入NMOS之源極與閘極以及該輸出NMOS之源極形成電性連接；
- 一 VDD電源線，其分別連接並供應該第一、第二內部電路一VDD電壓，且電連接該控制PMOS之閘極，故當該VDD電壓為高準位電壓時，該控制PMOS即關閉，而當該積體電路進入省電模式且該VDD電源線接地時，該控制PMOS即開啟以關閉該輸出PMOS，藉此避免發生該輸出PMOS在省電模式狀態下導通而造成漏電問題；
- 一 ESD匯流線，其與該輸入PMOS之源極與閘極相連，並電連接該輸出PMOS之源極、該控制PMOS之源極與該預驅動電路，其中該預驅動電路係連接至該ESD匯流線以獲取電力來源，而非直接連接至該VDD電源線以獲得電源，藉此防止在省電模式下，該預驅動電路與該VDD電源線間產生漏電流之情形；
- 一 第一ESD箝制電路，其分別連接該VSS電源線及該ESD匯流線；
- 一 第二ESD箝制電路，其分別連接該VDD電源線及該VSS電源線；以及



六、申請專利範圍

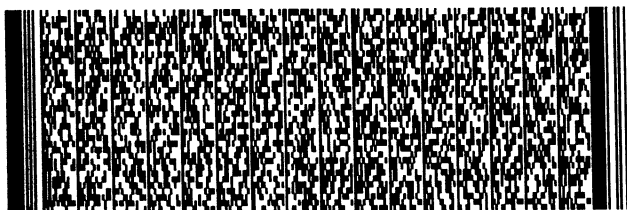
一二極體，其順向連接於該VDD電源線與該ESD匯流線之間，當該積體電路進入省電模式且該VDD電源線接地時，該二極體可防止漏電流產生並由該輸入鉀墊經由該輸入PMOS流向該VDD電源線，而當該積體電路進入省電模式且該VDD電源浮接時，該二極體可防止正電壓由該輸入鉀墊經由該輸入PMOS對該VDD電源線充電，進而使該積體電路產生錯誤運作。

- 12、如申請專利範圍第11項所述之靜電放電防護電路，更可利用複數個該靜電放電防護電路架構出一多層級架構之靜電放電防護電路，其中前一該靜電放電防護電路之該輸出鉀墊，電連接至所後一該靜電放電防護電路之該輸入鉀墊。
- 13、如申請專利範圍第11項所述之靜電放電防護電路，更可增設至少一輸出電壓校準電路，使其連接該VDD電源線與該輸出PMOS之源極，藉此補償該二極體所產生之電壓降。
- 14、一種靜電放電防護電路，其係應用在具有省電模式之積體電路上，該靜電放電防護電路包括：
- 一輸入鉀墊；
 - 一輸入PMOS，其汲極與該輸入鉀墊相連接；
 - 一輸入NMOS，其汲極電連接至該輸入鉀墊；
 - 一內部電路，其經由至少一電阻連接至該輸入鉀墊；
 - 一輸出PMOS，其閘極與該內部電路連接在一起；



六、申請專利範圍

- 一 輸出NMOS，其閘極與該內部電路形成電性連接；
- 一 輸出鉀墊，其分別連接該輸出PMOS之汲極與該輸出NMOS之汲極；
- 一 VDD 電源線，其連接並供應該內部電路一VDD 電壓；
- 一 VSS 電源線，其連接並提供該內部電路一VSS 電壓，並與該輸入NMOS之源極與閘極以及該輸出NMOS之源極形成電性連接；
- 一 ESD 匯流線，其與該輸入PMOS之源極與閘極相連；
- 一 第一ESD 箝制電路，其分別連接該VSS 電源線及該ESD 匯流線；
- 一 第二ESD 箝制電路，其分別連接該VDD 電源線及該VSS 電源線；
- 一 第一二極體，其順向連接於該VDD 電源線與該ESD 匯流線之間，當該積體電路進入省電模式且該VDD 電源線接地時，該第一二極體可防止漏電流產生，而由該輸入鉀墊經由該輸入PMOS 流向該VDD 電源線，又當該積體電路進入省電模式且該VDD 電壓浮接時，該第一二極體可防止正電壓從該輸入鉀墊經由該輸入PMOS 向該VDD 電源線充電，藉此避免該積體電路產生錯誤運作；
- 一 第二二極體，其順向連接於該VDD 電源線與該輸出PMOS 之源極之間，當該積體電路進入省電模式且該VDD 電源線接地時，該第二二極體可防止漏電流產生，而由該輸出鉀墊經由該輸出PMOS 流向該VDD 電

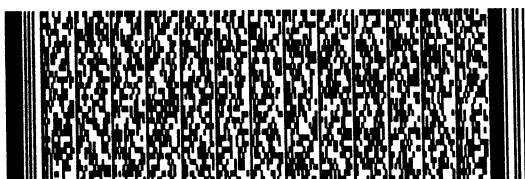


六、申請專利範圍

源線，又當該積體電路進入省電模式且該VDD電壓浮接時，該第二二極體可防止正電壓從該輸出鉀墊經由該輸出PMOS向該VDD電源線充電，藉此避免該該積體電路產生錯誤運作；以及

一第三二極體，其N型端連接該ESD匯流線，P型端之連接點則選自該輸出鉀墊與該輸出PMOS之源極，該第三二極體提供靜電防護作用。

- 15、如申請專利範圍第14項所述之靜電放電防護電路，更可利用複數個靜電放電防護電路架構出一多層級架構之靜電放電防護電路，其中前一該靜電放電防護電路之該輸出鉀墊，電連接至所後一該靜電放電防護電路之該輸入鉀墊。
- 16、如申請專利範圍第14項所述之靜電放電防護電路，更可增設至少一輸出電壓校準電路，使其連接該VDD電源線與該輸出PMOS之源極，藉此補償該第二二極體所產生之電壓降。
- 17、一種靜電放電防護電路，其係應用在具有省電模式之積體電路上，該靜電放電防護電路包括：
- 一輸入鉀墊；
 - 一輸入PMOS，其汲極與該輸入鉀墊相連接；
 - 一輸入NMOS，其汲極電連接至該輸入鉀墊；
 - 一內部電路，其經由至少一電阻連接至該輸入鉀墊；
 - 一預驅動電路，其電連接至該內部電路；
 - 一輸出NMOS，其閘極與該預驅動電路相連；



六、申請專利範圍

- 一 輸出PMOS，其閘極連接至該預驅動電路；
- 一 控制PMOS，其汲極連接於該輸出PMOS之閘極與該預驅動電路之間；
- 一 輸出鉚墊，其分別連接該輸出PMOS與該輸出NMOS之汲極；
- 一 VSS電源線，其連接並提供該內部電路與該預驅動電路一VSS電壓源，並與該輸入NMOS之源極與閘極以及該輸出NMOS之源極形成電性連接；
- 一 ESD匯流線，其與該輸入PMOS之源極與閘極相連，並電連接該輸出PMOS之源極、該控制PMOS之源極與該預驅動電路；
- 一 VDD電源線，其連接並供應該內部電路一VDD電壓，且電連接該控制PMOS之閘極，故當該VDD電壓為高準位電壓時，該控制PMOS即關閉，而當該積體電路進入省電模式且該VDD電源線接地時，該控制PMOS開啟以關閉該輸出PMOS之閘極，藉此防止產生漏電流並由該輸出鉚墊經由該輸出PMOS流向該ESD匯流線，又當該積體電路進入省電模式且該VDD電源線浮接時，該控制PMOS開啟以關閉該輸出PMOS，藉此避免發生該輸出PMOS在省電模式狀態下導通而造成漏電問題；
- 一 第一ESD箝制電路，其分別連接該VSS電源線及該ESD匯流線；
- 一 第二ESD箝制電路，其分別連接該VDD電源線及該

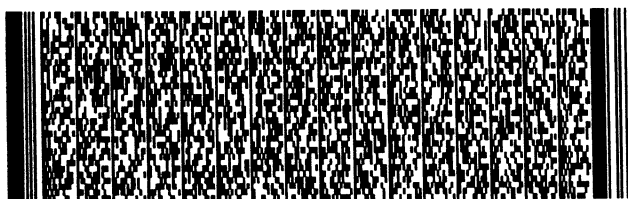


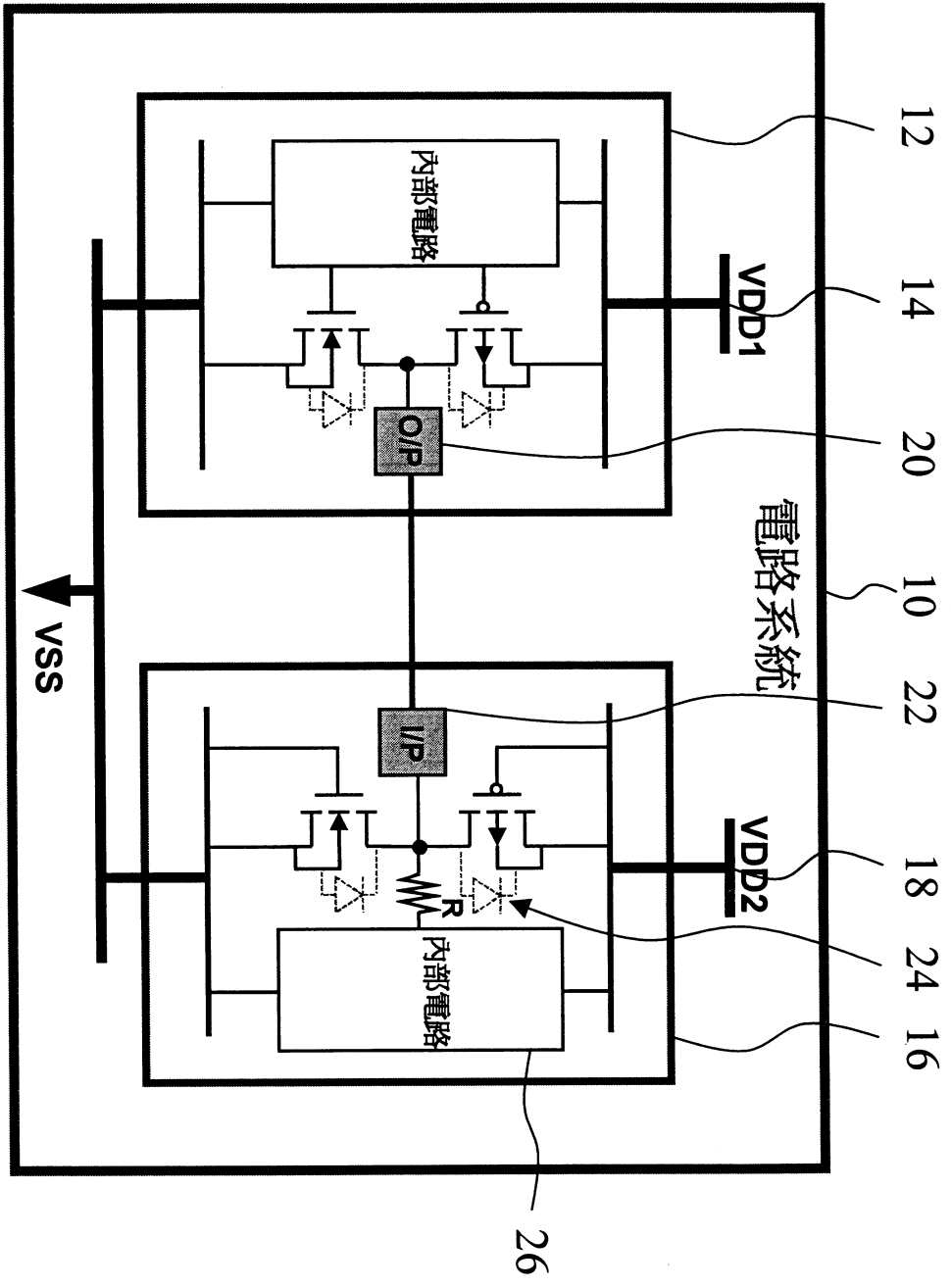
六、申請專利範圍

VSS 電源線；以及

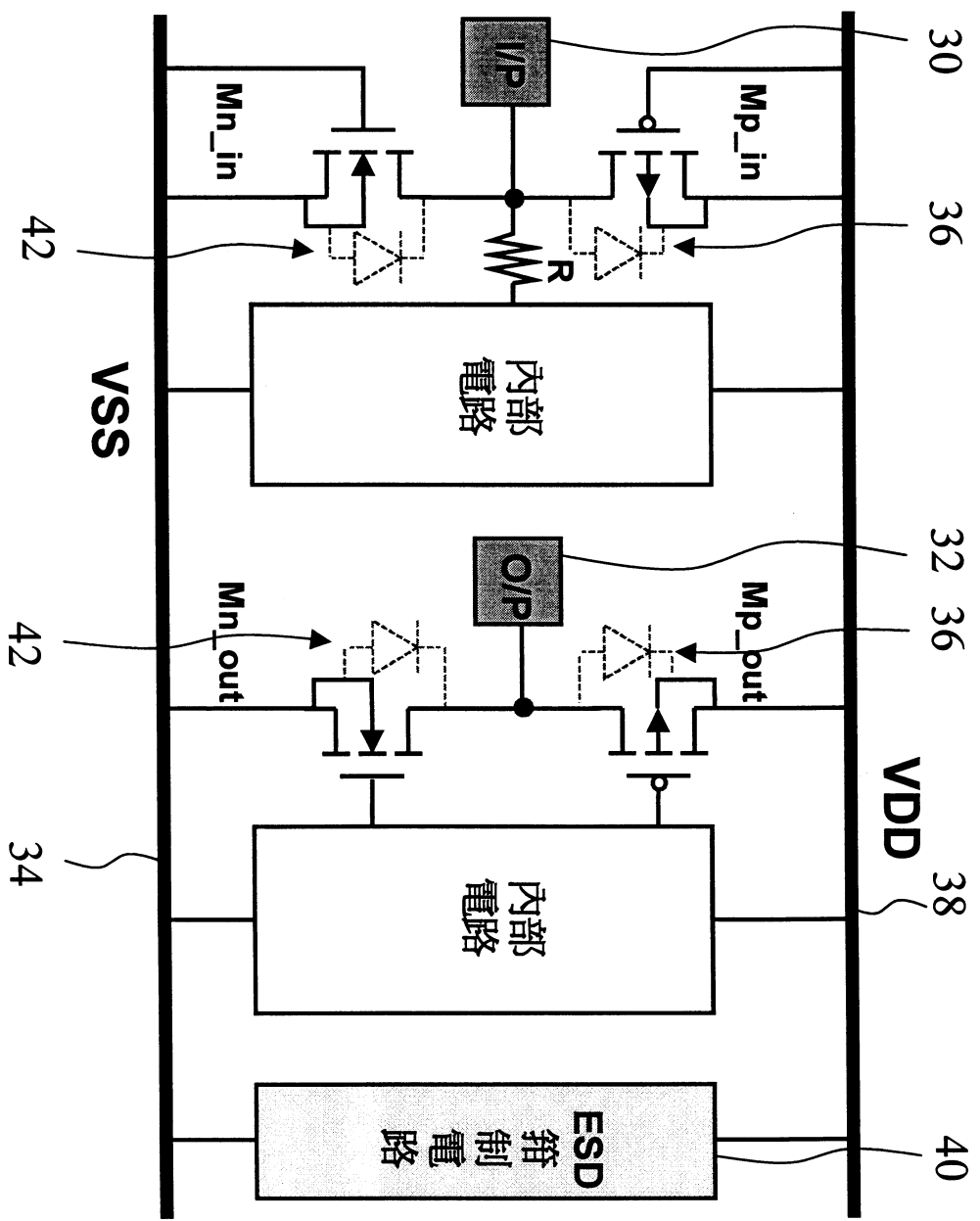
一二極體，其順向連接於該VDD電源線與該ESD匯流線之間，當該積體電路進入省電模式且該VDD電源線接地時，該二極體可防止產生漏電流並由該輸入鉀墊經由該輸入PMOS流向該VDD電源線，而當該積體電路進入省電模式且該VDD電源線浮接時，該二極體可防止產生正電壓由該輸入鉀墊經由該輸入PMOS向該VDD電源線充電，以避免該積體電路產生錯誤運作。

- 18、如申請專利範圍第17項所述之靜電放電防護電路，更可利用複數個靜電放電防護電路架構出一多層級架構之靜電放電防護電路，其中前一該靜電放電防護電路之該輸出鉀墊，電連接至所後一該靜電放電防護電路之該輸入鉀墊。
- 19、如申請專利範圍第17項所述之靜電放電防護電路，更可增設至少一輸出電壓校準電路，使其連接該VDD電源線與該輸出PMOS之源極，藉此補償該二極體所產生之電壓降。

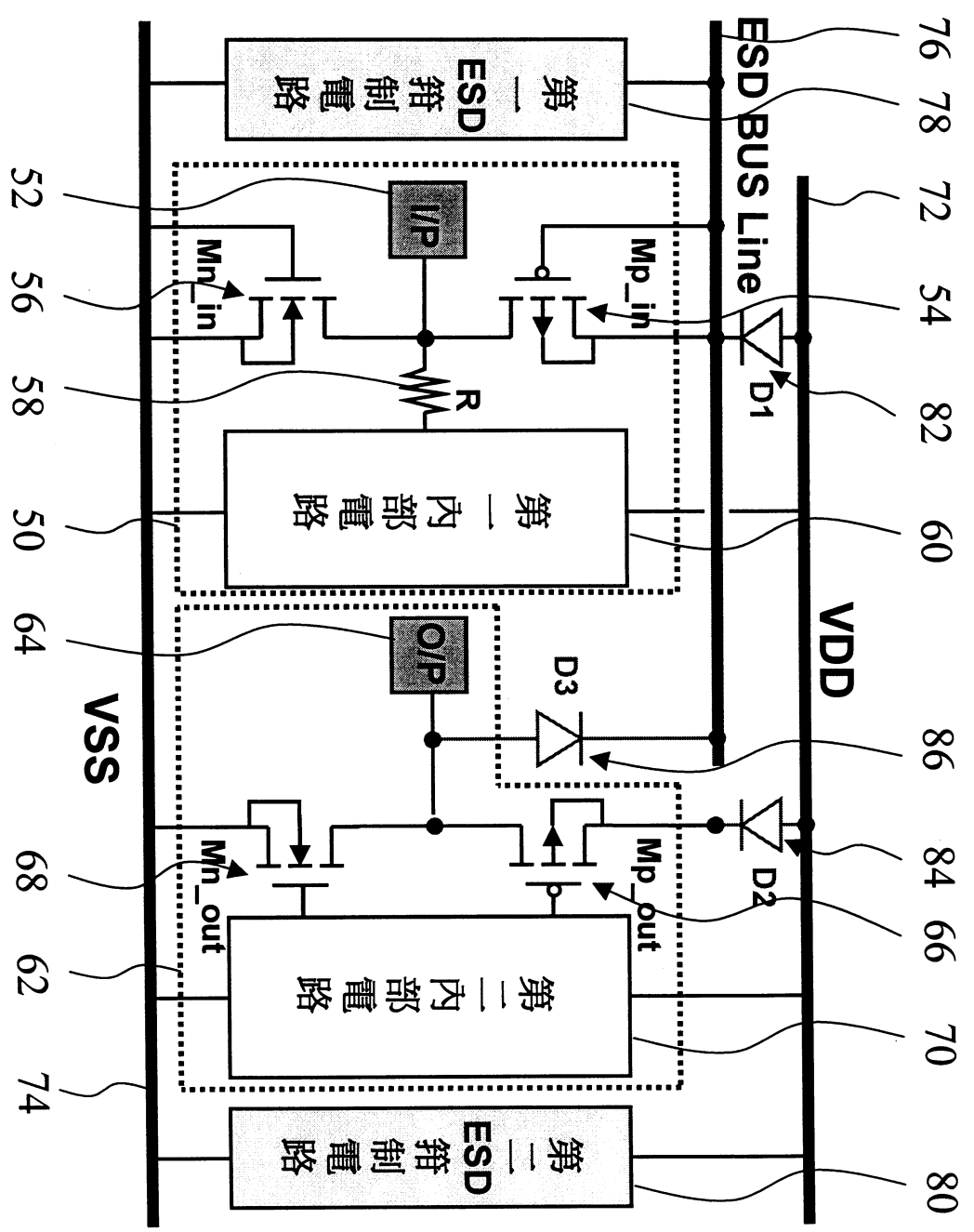




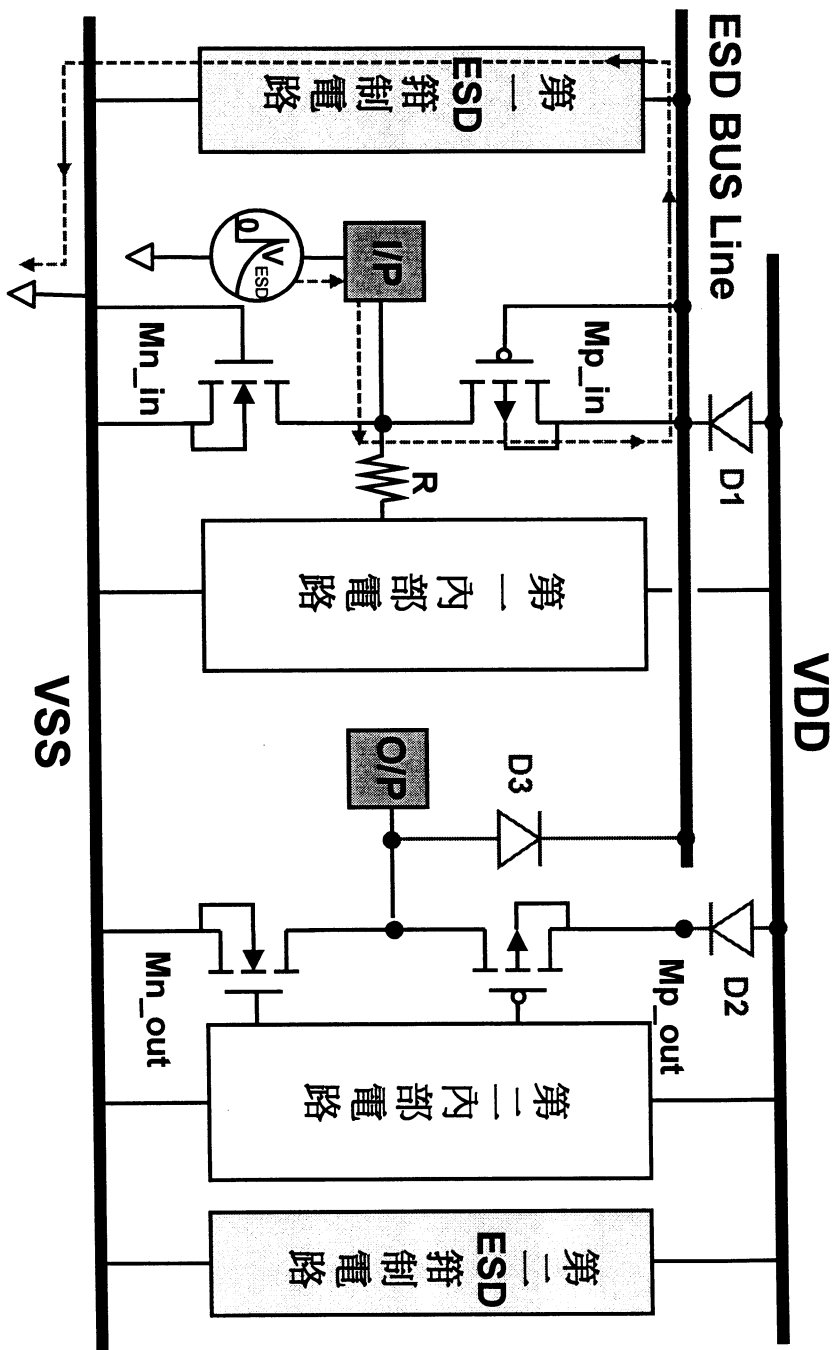
第一圖
(先前技術)



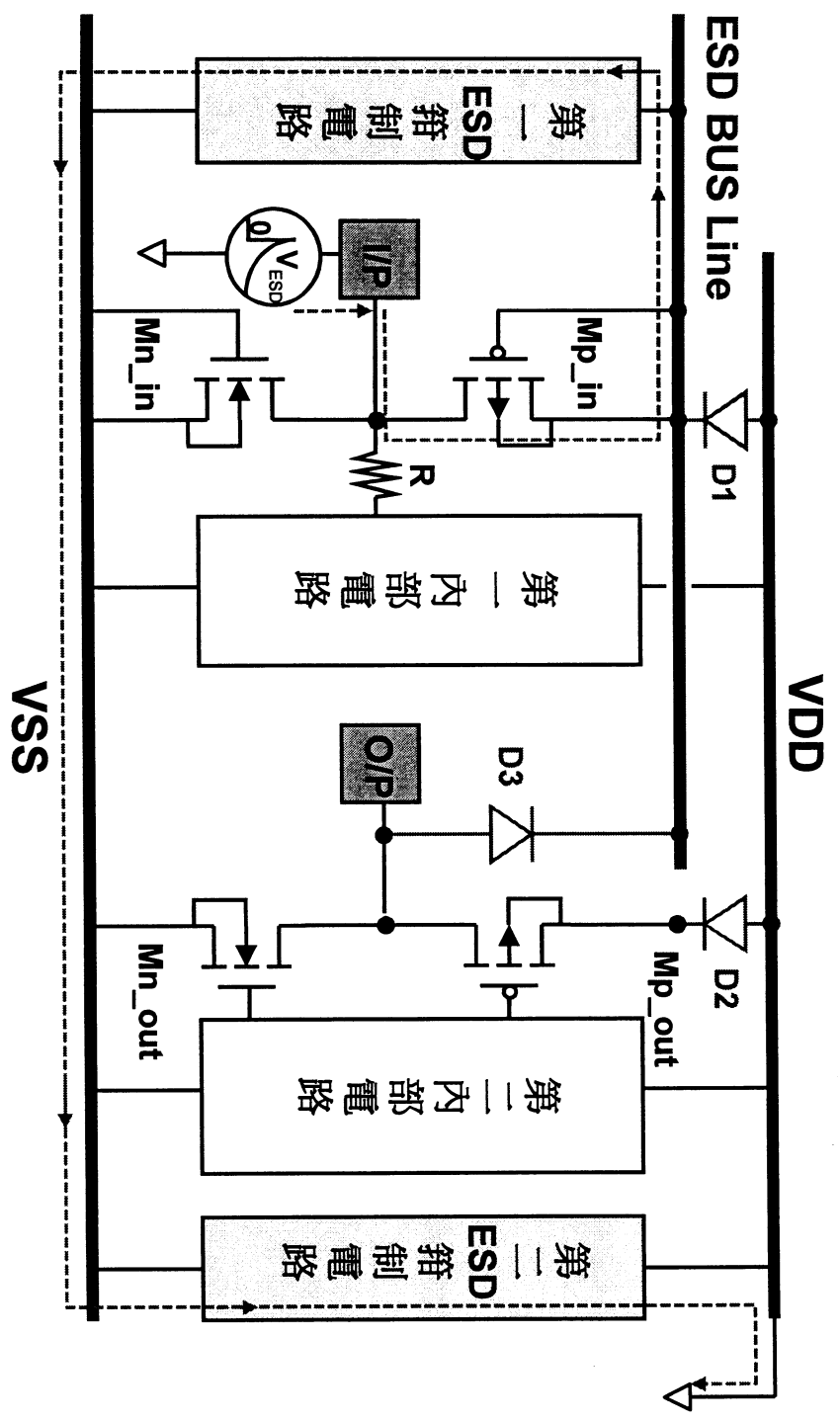
第二圖
(先前技術)



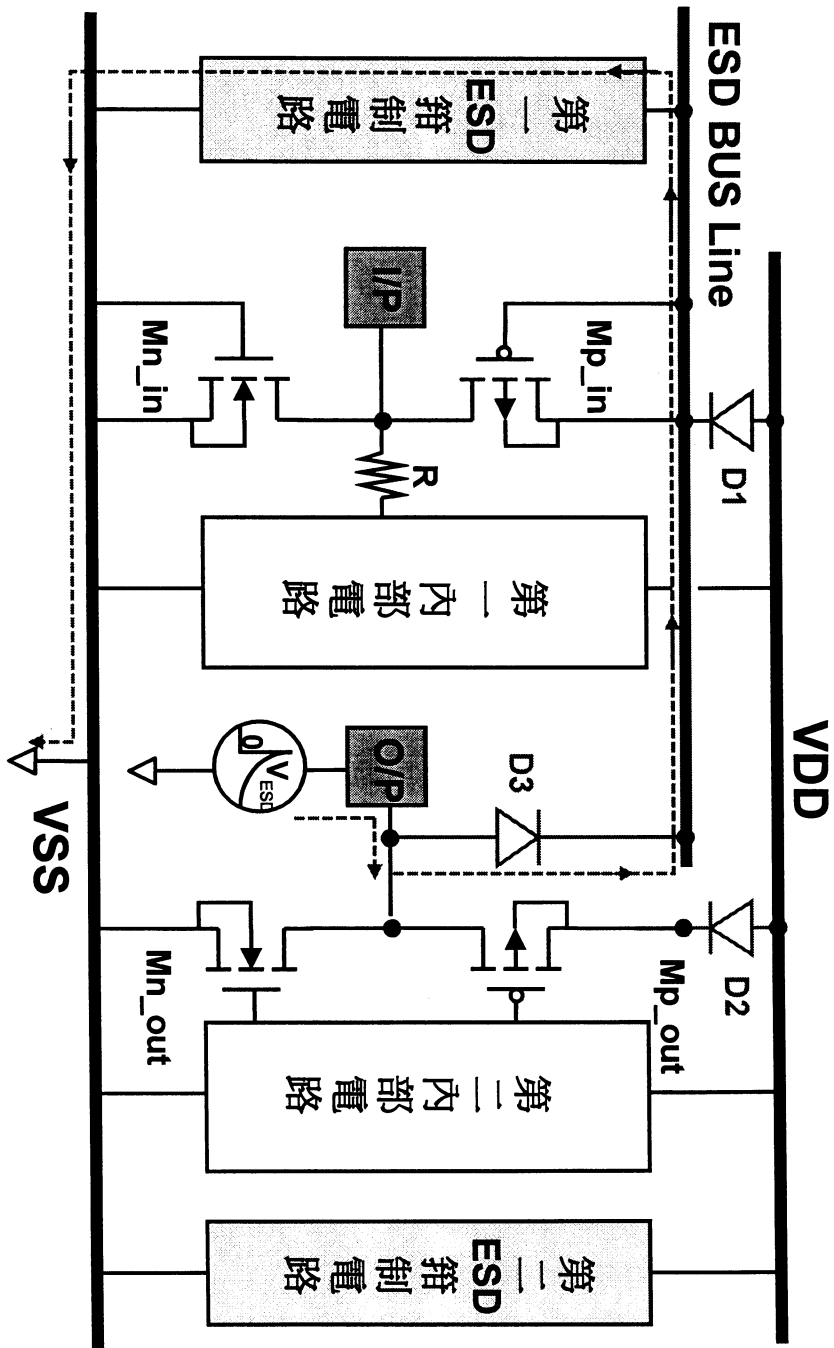
第三圖



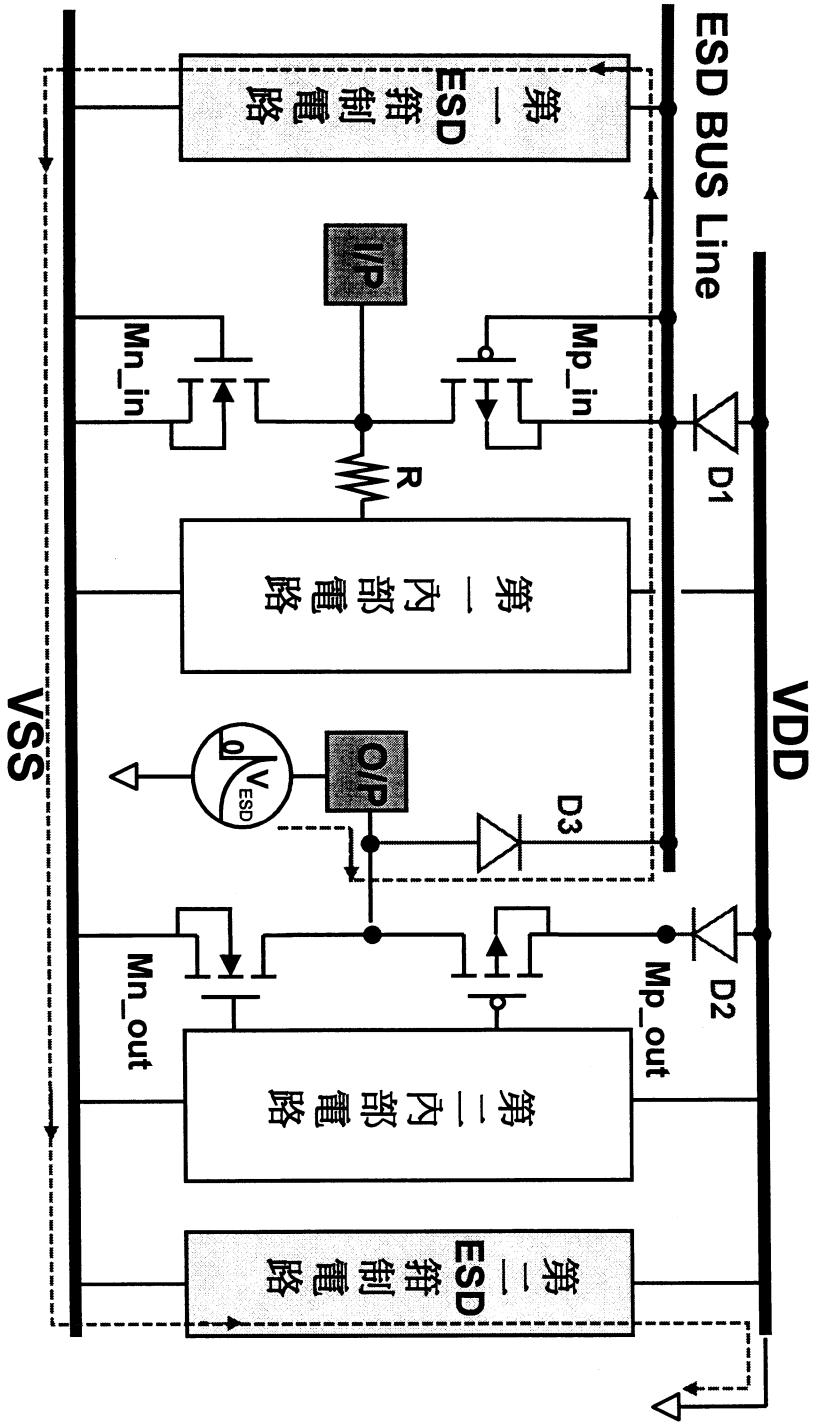
第四圖(a)



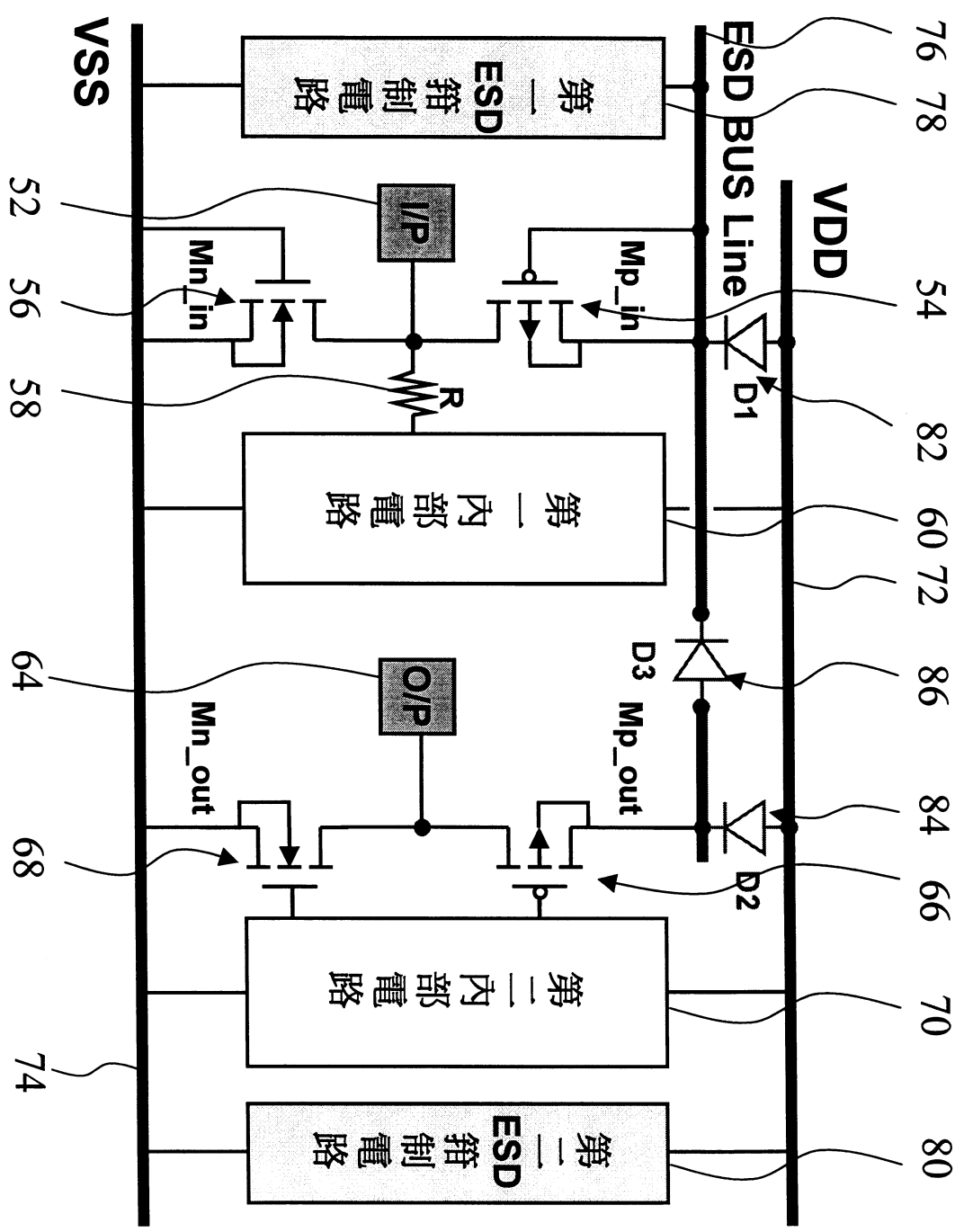
第四圖(b)



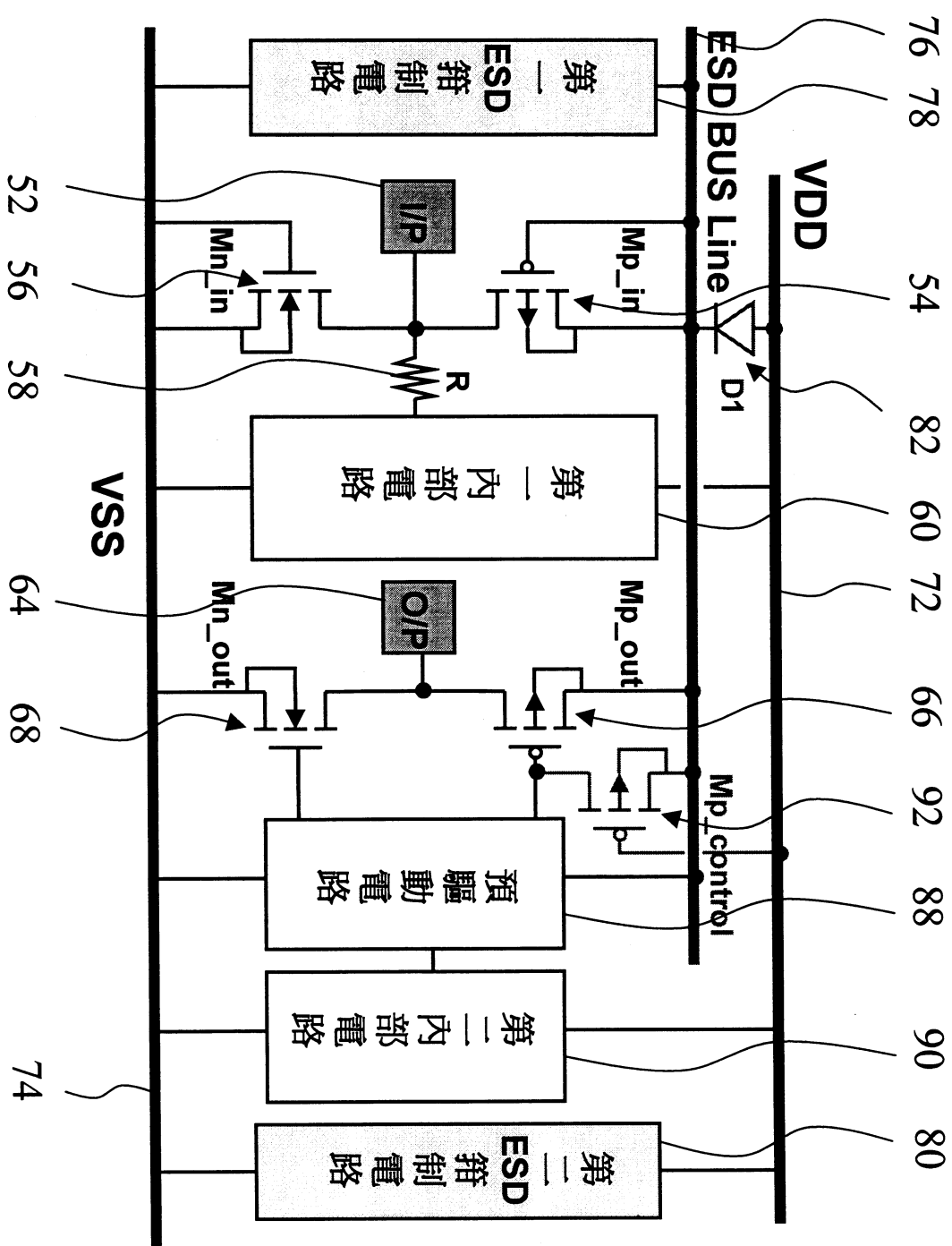
第四圖(c)



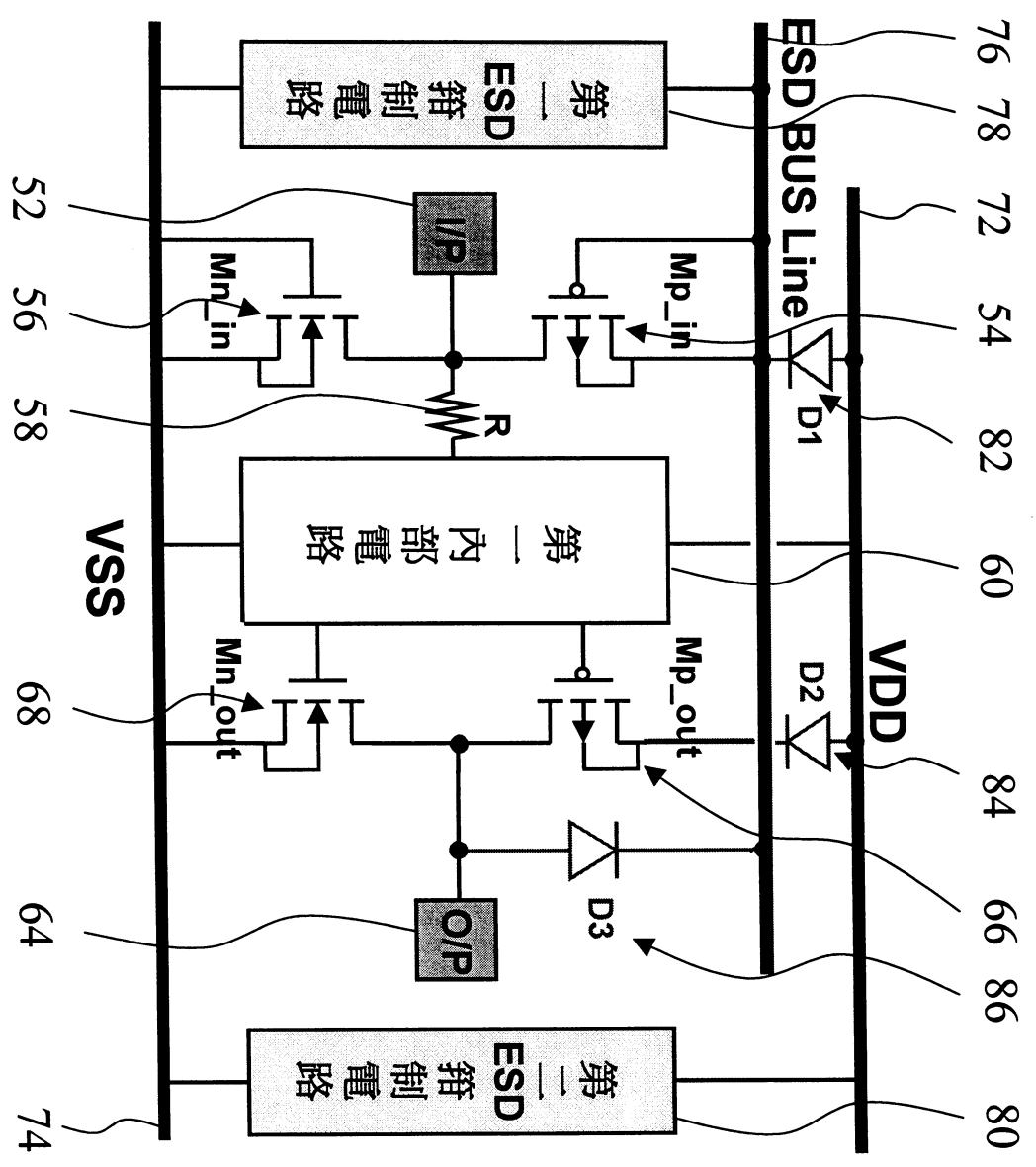
第四圖(d)



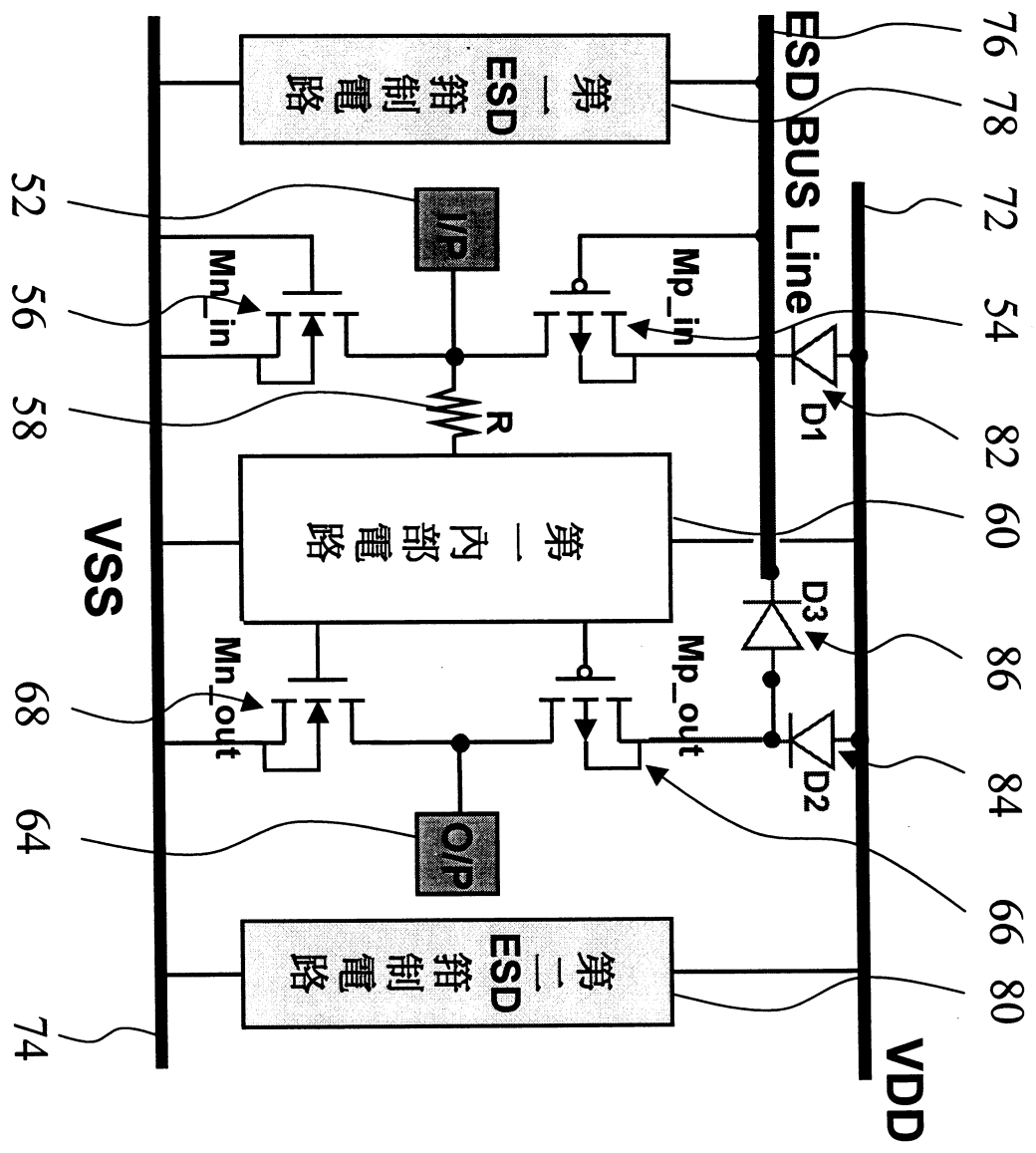
第五圖



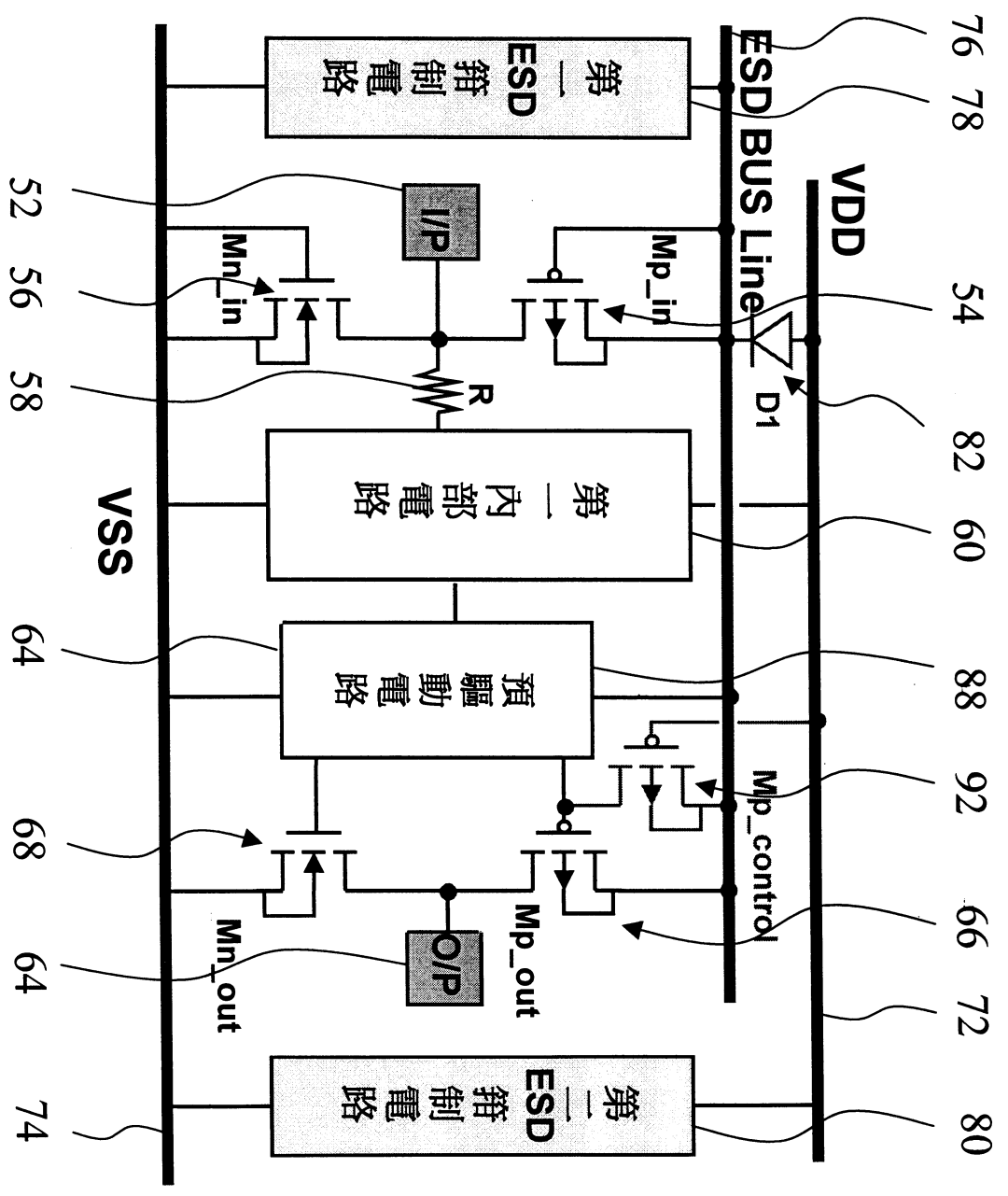
第六圖



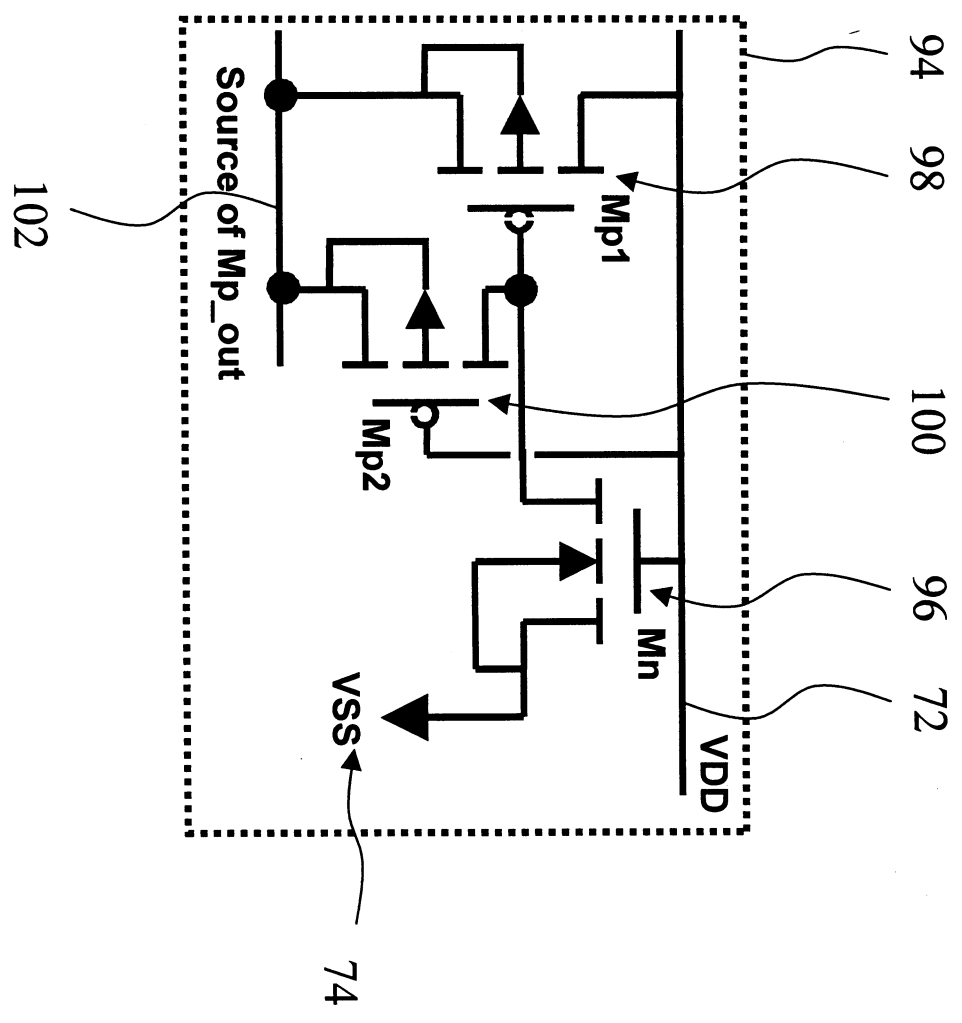
第七圖



第八圖



第九圖



第十圖