

# 公告本

93年6月9日

修正本

申請日期：91.11.20

IPC分類

申請案號：91133891

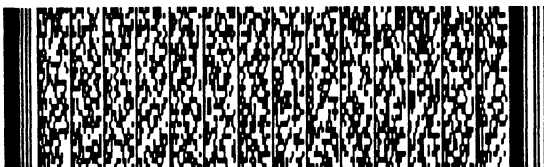
H01L 27/02

(以上各欄由本局填註)

## 發明專利說明書

I223433

一、 發明名稱	中文	一種鈣鈦礦薄膜電容結構及其製造方法
	英文	
二、 發明人 (共3人)	姓名 (中文)	1. 林鵬 2. 曾俊元 3. 王怡凱
	姓名 (英文)	1. 2. 3.
	國籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW 3. 中華民國 TW
	住居所 (中文)	1. 新竹市大學路1001號 2. 新竹市建中一路31號14樓之三 3. 新竹市園區一路9-2號4樓
	住居所 (英文)	1. 2. 3.
三、 申請人 (共1人)	名稱或姓名 (中文)	1. 國立交通大學
	名稱或姓名 (英文)	1. Nation Chiao Tung University
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中文)	1. 新竹市大學路1001號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1.
	代表人 (中文)	1. 張俊彥
代表人 (英文)	1.	



## 一、本案已向

國家(地區)申請專利                      申請日期                      案號                      主張專利法第二十四條第一項優先權

無

二、主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間

日期：

四、有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

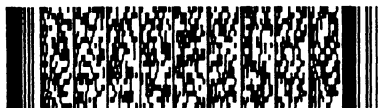
有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

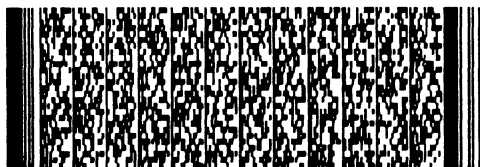
無

熟習該項技術者易於獲得, 不須寄存。

## 四、中文發明摘要 (發明名稱：一種鈣鈦礦薄膜電容結構及其製造方法)

本案係指一種於低溫下之電晶體鈣鈦礦電容結構及其製造方法，其包含下列步驟：(a) 提供一基板；(b) 形成一鈦薄膜於該基板上；以及(c) 再依序形成一第一鈦酸鋇銀電極、一鈣鈦礦電容材料之結構、及一第二鈦酸鋇銀電極結構於該鈦薄膜上。

## 五、英文發明摘要 (發明名稱：)



## 六、指定代表圖

(一) 本案代表圖為：第一圖(d)。

(二) 本案代表圖之元件代表符號簡單說明：

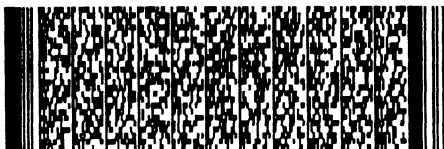
1：矽基板

2：絕緣層

5：釘薄膜

6、8：釘酸鋇銀電極

7：銦鈦酸鉛薄膜



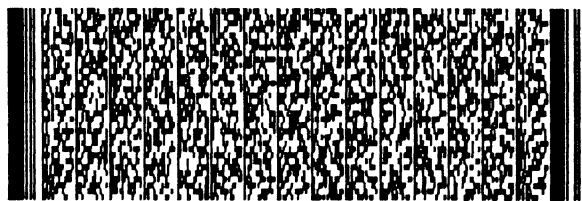
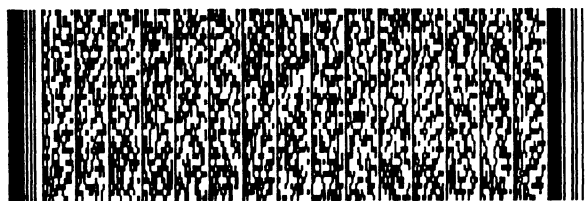
## 五、發明說明 (1)

## 發明所屬之技術領域

本案為一種鈣鈦礦薄膜電容結構之製造方法，尤指應用於記憶體元件製作上。

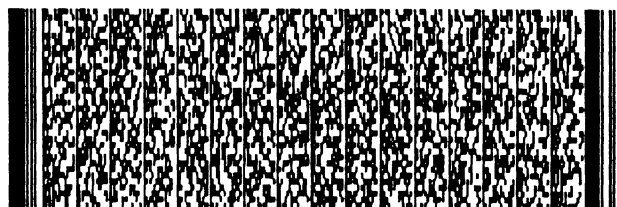
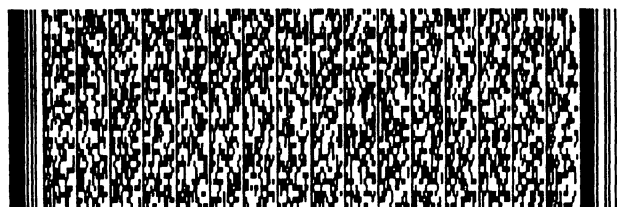
## 先前技術

最近幾年內半導體工業蓬勃發展，半導體元件朝向輕薄短小、大容量、高速度的領域邁進，而其中又以記憶元件居主導地位。在這些記憶體中，又以動態隨機存取記憶體(DRAM)的產值最為可觀，因為電腦軟體對動態隨機存取記憶體(DRAM)需求隨功能的增強不斷的增加，此外多媒體電腦應用日益廣泛，大量使用此元件，使得動態隨機存取記憶體(DRAM)長程需求持續成長。由於構造簡單、元件重複性高，其集積度和製程技術是所有積體電路元件中最先進的，此產品大量製造的潛力與廣大的商機，使得中、美、日、韓各大電子廠積極投入DRAM產品的研發製造。另外，鐵電薄膜記憶體(Ferroelectric Random Access Memory, FRAM)，不僅具有非揮發性隨機記憶體元件(Non Volatile Random Access Memory, NVRAM)之特性，同時其又可以具有如動態隨機記憶體(Dynamic Random Access Memory, DRAM)般的快速讀寫及更高密度的記憶容量，因此可能成為下一代重要IC元件。為了要製作出高密度之DRAM元件，元件之尺寸也必須縮小，並且仍須維持電容元件的電荷儲存量，然而電容之電荷儲存量則會隨面積縮小而減小。為了要使記憶體尺寸縮小而維持足夠的電容，則



## 五、發明說明 (2)

使用高介電常數的材料，而鈦酸鋇鋇 ( $(\text{Ba}, \text{Sr})\text{TiO}_3$ ) 鈣鈦礦結構則具備此介電特性，如此才能使單位面積小的電容值能儲存大量的電荷。另外在高密度之FRAM製作，亦需要鐵電材質如PZT鈣鈦礦結構。鈣鈦礦薄膜之結晶品質之好壞，主要會影響介電常數 ( $k$ ) 和殘餘極化值 ( $P_r$ )，而此二數值卻是別影響DRAM和FRAM特性的主因。然而，結晶特性會受到溫度的影響。一般而言，結晶特性會隨成長的溫度而有所提昇。但是以現在的半導體製程而言，則是追求以低溫的條件下成長出結晶性佳的薄膜。本案專利技術則是利用一特殊底電極結構以及製造方法來達到在低溫條件下成長結晶性良好之鈣鈦礦薄膜。除此之外，FRAM疲勞度 (Fatigue) 的問題也可以藉由此特殊底電極於已消除。然而在這FRAM發展過程中，早期鈣鈦礦結構之鐵電薄膜做成之FRAM電容是以白金 (Pt) 當作電極，經過長期讀寫之後會有疲勞的 (Fatigue) 情況發生，不利於FRAM使用。後來又有以銱 (Ir)、氧化銱 ( $\text{IrO}_2$ )、鈦 (Ru) 及氧化鈦 ( $\text{RuO}_2$ ) 當作電極以克服疲勞的問題，但是無法完全解決，仍會有疲勞的情況發生。過去曾有文獻提出以鈦酸鋇 ( $\text{SrRuO}_3$ )、錳酸釷 ( $\text{LaMnO}_3$ ) 和鎳酸釷 ( $\text{LaNiO}_3$ ) 等材料當作電極可以克服疲勞的問題。然而，雖然可以在低溫下直接成長出錳酸釷和鎳酸釷電極，但是以目前半導體製程而言，釷、鎳和錳等物質對於目前半導體製程技術中污染等問題尚未定論，但是鋇和鈦等材料卻已經利用在鈦酸鋇及鈦電極等商用半導體技術中。因此鈦酸鋇



## 五、發明說明(3)

( $\text{SrRuO}_3$ ) 電極乃是目前較為接受可行之電極。但是鈦酸鋇 ( $\text{SrRuO}_3$ ) 必須在  $600^\circ\text{C}$  以上才能在矽基板上成長出結晶，由於溫度過高並不適用 FRAM 製程中。本專利即是在基板上先成長鈦金屬膜，然後即可在低溫的條件下成長出結晶之鈦酸鋇電極。除此此外，利用鋇來取代鋇所成長之鈦酸鋇鋇 ( $\text{Ba}_x\text{Sr}_{1-x}\text{RuO}_3$ ,  $0 \leq x \leq 1$ ) 電極，亦可以在低溫的條件下成長出具有結晶特性之薄膜電極。

## 發明內容

本發明之主要目的，在於利用一層鈦金屬膜，則能夠在低溫下成長出優選方向的鈦酸鋇鋇 ( $(\text{Sr}, \text{Ba})\text{RuO}_3$ ) 電極，而且可在一般的半導體製程中完成，不需要額外更改製程參數。

根據本案之構想，提供一種於低溫下之促進鈦鈦礦結構薄膜結晶之底電極製造方法，其係包含：(a) 提供一基板；(b) 形成一鈦薄膜於該基板上，以及；(c) 形成一鈦酸鋇鋇電極於該鈦薄膜上。

根據上述構想，其中該低溫係指  $500^\circ\text{C}$  以下。

根據上述構想，其中該步驟 (a) 中之該基板可為一矽基板。

根據上述構想，其中該步驟 (a) 中之該基板可為一陶瓷基板。

根據上述構想，其中該步驟 (b) 之前更包含一步驟 (b1) 形成一導電層於該基板上。



## 五、發明說明 (4)

根據上述構想，其中該步驟 (b1) 之前更包含一步驟 (b2) 形成一絕緣層於該基板上。

根據上述構想，其中該絕緣層之材料可為一二氧化矽。

根據上述構想，其中該步驟 (b) 係藉由一物理氣相沈積法所形成。

根據上述構想，其中該步驟 (b) 係藉由一化學氣相沈積法所形成。

根據上述構想，其中該步驟 (c) 中之該鈳酸鋇鉬電極係藉由一物理氣相沈積法所形成。

根據上述構想，其中該物理氣相沈積法之靶材可為一鈳酸鋇鉬粉末靶。

根據上述構想，其中該鈳酸鋇鉬粉末靶係由一氧化鈳 ( $\text{RuO}_2$ )、一碳酸鋇 ( $\text{SrCO}_3$ )、及一碳酸鉬 ( $\text{BaCO}_3$ ) 調配而成。

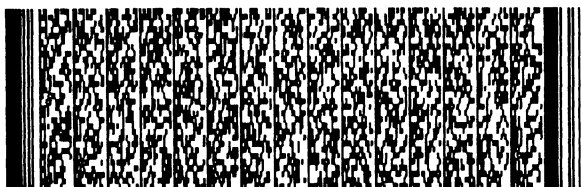
根據上述構想，其中該物理氣相沈積法之靶材可為一鈳酸鋇鉬燒結靶。

根據上述構想，其中該物理氣相沈積法之靶材成份為  $\text{Ba}_x\text{Sr}_{1-x}\text{RuO}_3$  ( $0 \leq x \leq 1$ )。

根據上述構想，其中該步驟 (c) 中之該鈳酸鋇鉬電極係藉由一化學氣相沈積法所形成。

根據上述構想，其中該步驟 (c) 中之該鈳酸鋇鉬電極之成長方向可為一優選方向。

根據上述構想，其中該步驟 (c) 中之該鈳酸鋇鉬電極之成長方向可為一 (110) 方向。





## 五、發明說明 (5)

根據本案之另一構想，提供一種於低溫下之電晶體鈣鈦礦電容之製造方法，其係包含：(a) 提供一基板；

(b) 形成一鈦薄膜於該基板上，以及；(c) 再依序形成一第一鈦酸鋇銀電極、一鈣鈦礦電容材料及一第二鈦酸鋇銀電極結構於該鈦薄膜上。

根據上述構想，其中該低溫係指 $500^{\circ}\text{C}$ 以下。

根據上述構想，其中該步驟(a)中之該基板可為一矽基板。

根據上述構想，其中該步驟(a)中之該基板亦可為一陶瓷基板。

根據上述構想，其中該步驟(b)之前更包含一步驟(b1)形成一導電層於該基板上。

根據上述構想，其中該步驟(b1)之前更包含一步驟(b2)形成一絕緣層於該基板上。

根據上述構想，其中該絕緣層之材料可為一二氧化矽。

根據上述構想，其中該步驟(b)係藉由一物理氣相沈積法所形成。

根據上述構想，其中該步驟(b)係藉由一化學氣相沈積法所形成。

根據上述構想，其中該步驟(c)中之該第一及該第二鈦酸鋇銀電極係藉由一物理氣相沈積法所形成。

根據上述構想，其中該物理氣相沈積法之靶材可為一鈦酸鋇銀粉末靶。



## 五、發明說明(6)

根據上述構想，其中該鈳酸鋇鋇粉末靶係由氧化鈳( $\text{RuO}_2$ )、一碳酸鋇( $\text{SrCO}_3$ )、及一碳酸鋇( $\text{BaCO}_3$ )調配而成。

根據上述構想，其中該物理氣相沈積法之靶材可為一鈳酸鋇鋇燒結靶。

根據上述構想，其中該物理氣相沈積法之靶材成份為 $\text{Ba}_x\text{Sr}_{1-x}\text{RuO}_3$  ( $0 \leq x \leq 1$ )。

根據上述構想，其中該步驟(c)中之該第一及該第二鈳酸鋇鋇電極係藉由一化學氣相沈積法所形成。

根據上述構想，其中該步驟(c)中之該第一及該第二鈳酸鋇鋇電極之成長方向可為一優選方向。

根據上述構想，其中該步驟(c)中之該第一及該第二鈳酸鋇鋇電極之成長方向可為一(110)方向。

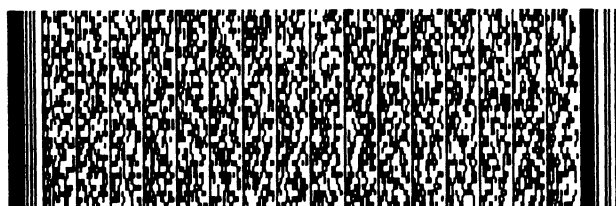
根據上述構想，其中該鈳鈦礦電容材料係指一鐵電薄膜。

根據上述構想，其中該鐵電薄膜可為一鋳鈦酸鉛薄膜。

根據上述構想，其中該鋳鈦酸鉛薄膜之成長方向可為一優選方向。

根據上述構想，其中該鋳鈦酸鉛薄膜之成長方向可為一{110}方向。

根據本案之另一構想，提供一種於低溫下促進鈳鈦礦結構薄膜結晶之底電極結構，其係包含：一基板；一鈳薄膜，其係形成於該基板上，以及；一鈳酸鋇鋇電極，其係形成於該鈳薄膜上。



## 五、發明說明 (7)

根據上述構想，其中該低溫係指 $500^{\circ}\text{C}$ 以下。

根據上述構想，其中該基板可為一矽基板。

根據上述構想，其中該基板可為一陶瓷基板。

根據上述構想，其中該基板與該釘薄膜之間更包含一導電層。

根據上述構想，其中該基板與該釘薄膜之間更包含一絕緣層。

根據上述構想，其中該絕緣層之材料可為一二氧化矽。

根據上述構想，其中該釘薄膜係藉由一物理氣相沈積法所形成。

根據上述構想，其中該釘薄膜係藉由一化學氣相沈積法所形成。

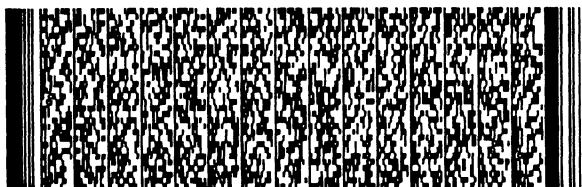
根據上述構想，其中該釘酸鋇銀電極係藉由一物理氣相沈積法所形成。

根據上述構想，其中該釘酸鋇銀電極係藉由一化學氣相沈積法所形成。

根據本案之另一構想，提供一種於低溫下成長之電晶體鈣鈦礦電容結構，其包含：一基板；一釘薄膜，其係形成於該基板上，以及；一第一及一第二釘酸鋇銀電極，其係依序形成於該釘薄膜上，且該第一及第二釘酸鋇銀電極之間又包含一鈣鈦礦電容材料之結構。

根據上述構想，其中該低溫係指 $500^{\circ}\text{C}$ 以下。

根據上述構想，其中該基板可為一矽基板。



## 五、發明說明 (8)

根據上述構想，其中該基板可為一陶瓷基板。

根據上述構想，其中該基板與該釘薄膜之間更包含一導電層。

根據上述構想，其中該基板與該釘薄膜之間更包含一絕緣層。

根據上述構想，其中該絕緣層之材料可為一二氧化矽。

根據上述構想，其中該釘薄膜係藉由一物理氣相沈積法所形成。

根據上述構想，其中該釘薄膜係藉由一化學氣相沈積法所形成。

根據上述構想，其中該第一及該第二釘酸鋇銀電極係藉由一物理氣相沈積法所形成。

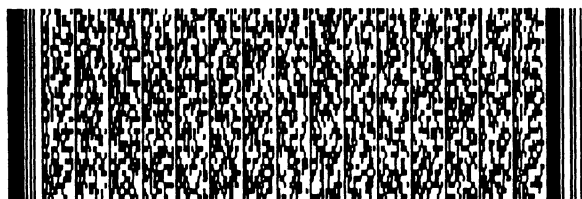
根據上述構想，其中該第一及該第二釘酸鋇銀電極係藉由一化學氣相沈積法所形成。

根據上述構想，其中該鈣鈦礦電容材料之結構係指一鐵電薄膜。

根據上述構想，其中該鐵電薄膜可為一銦鈦酸鉛薄膜。

## 實施方式

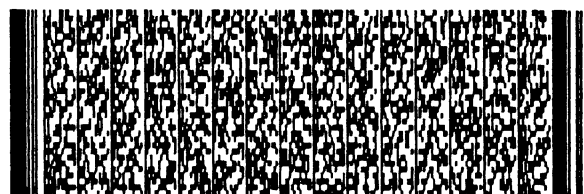
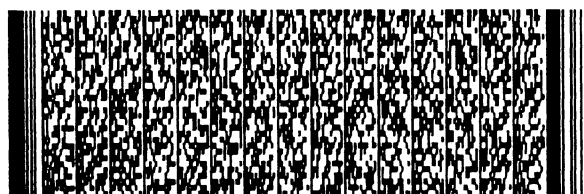
本案發明主要是為了克服以往釘酸鋇 ( $(\text{Sr}, \text{Ba})\text{RuO}_3$ ) 電極必須在  $600^\circ\text{C}$  以上才能結晶形成 (110) 優選方向的特性。請參閱第一圖 (a) (b) (c)，其係本案為改善上



## 五、發明說明(9)

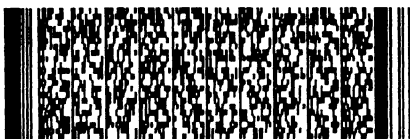
述習用手段而發展出來之低溫下之鐵電場效電晶體及其製造方法之較佳實施例結構平面結構示意圖及步驟示意圖。如第一圖(a)所示，首先，提供一矽基板1，並於該上矽基板1形成一絕緣層2(其材質可以二氧化矽來完成)於該基板上；再如第一圖(b)所示，於該絕緣層上形成一多晶矽結構21及一絕緣結構22，並於該多晶矽結構21及部分該絕緣結構22上依序形成一接觸窗3(其材質可以矽化鈦( $TiSi_x$ )來完成)及一阻障結構4(其材質可以氮化鈦( $TiN$ )來完成)於該絕緣層2上；接著，如第一圖(c)所示，藉由一物理或化學氣相沈積法(一般較常使用濺鍍法)於該絕緣結構22上成長一鈦(Ru)薄膜5，然後運用相同技術手段在於鈦(Ru)薄膜5上成長鈦酸鋇鋇( $(Sr, Ba)RuO_3$ )電極6，如此可以在 $300^\circ C$ 時長出(110)優選方向的鈦酸鋇鋇( $(Sr_x, Ba_{1-x})RuO_3$ ( $0 \leq x \leq 1$ ))電極。利用此法長完電極之後，如第一圖(d)所示，可再溶膠凝膠法成長一鈦酸鉛(PZT)薄膜7，在低溫下即可成長出(110)優選方向的鈦酸鉛(PZT)薄膜，最後再成長一鈦酸鋇鋇( $(Sr, Ba)RuO_3$ )電極8即形成本案較佳之鐵電場效電晶體結構。

綜合以上的說明及論述，本發明特徵係在於先成長鈦薄膜於矽基板上，然後即可在低溫( $300^\circ C$ )成長(110)優選方向的鈦酸鋇鋇電極，這比習用方法所需成長的溫度低很多；此外在此結構上成長鐵電薄膜，如鈦酸鉛，發



## 五、發明說明 (10)

現比用此結構所長出的鐵電薄膜具有良好的介電及鐵電特性，是以本案實具產業發展之價值。



## 圖式簡單說明

本案得藉由下列圖示及詳細說明，俾得一更深入了解：

圖示簡單說明：

第一圖 (a) ~ (d)：本案較佳實施例之鐵電場效電晶體製造方法步驟示意圖。

本案圖式中所包含之各元件列示如下：

矽基板1

絕緣層2

多晶矽結構21

絕緣結構22

接觸窗3

阻障結構4

鈦薄膜5

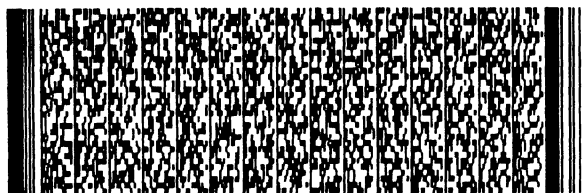
鈦酸鋇銀電極6、8

鋇鈦酸鉛薄膜7



## 六、申請專利範圍

1. 一種鈎酸鋇鋇薄膜電極之低溫製造方法，其包含下列步驟：
  - (a) 提供一基板；
  - (b) 形成一鈎薄膜於該基板上，以及；
  - (c) 形成一鈎酸鋇鋇電極於該鈎薄膜上。
2. 如申請專利範圍第1項所述之製造方法，其中該低溫係指500°C以下。
3. 如申請專利範圍第1項所述之製造方法，其中該步驟(a)中之該基板可為一已有先前製程之基板。
4. 如申請專利範圍第1項所述之製造方法，其中該步驟(a)中之該基板可為一矽基板。
5. 如申請專利範圍第1項所述之製造方法，其中該步驟(a)中之該基板可為一陶瓷基板。
6. 如申請專利範圍第1項所述之製造方法，其中該步驟(b)之前更包含一步驟(b1)形成一導電層於該基板上。
7. 如申請專利範圍第6項所述之製造方法，其中該步驟(b1)之前更包含一步驟(b2)形成一絕緣層於該基板上。
8. 如申請專利範圍第7項所述之製造方法，其中該絕緣層之材料可為一二氧化矽。
9. 如申請專利範圍第1項所述之製造方法，其中該步驟(b)係藉由一物理氣相沈積法所形成。
10. 如申請專利範圍第1項所述之製造方法，其中該步驟





## 六、申請專利範圍

(b) 係藉由一化學氣相沈積法所形成。

11. 如申請專利範圍第1項所述之製造方法，其中該步驟(c)中之該鈳酸鋇鋇電極係藉由一物理氣相沈積法所形成。

12. 如申請專利範圍第11項所述之製造方法，其中該物理氣相沈積法之靶材可為一鈳酸鋇鋇粉末靶。

13. 如申請專利範圍第12項所述之製造方法，其中該鈳酸鋇鋇粉末靶係由一氧化鈳( $\text{RuO}_2$ )、一碳酸鋇( $\text{SrCO}_3$ )、及一碳酸鋇( $\text{BaCO}_3$ )調配而成。

14. 如申請專利範圍第11項所述之製造方法，其中該物理氣相沈積法之靶材可為一鈳酸鋇鋇燒結靶。

15. 如申請專利範圍第11項所述之製造方法，其中該物理氣相沈積法之靶材成份為 $\text{Ba}_x\text{Sr}_{1-x}\text{RuO}_3$  ( $0 \leq x \leq 1$ )。

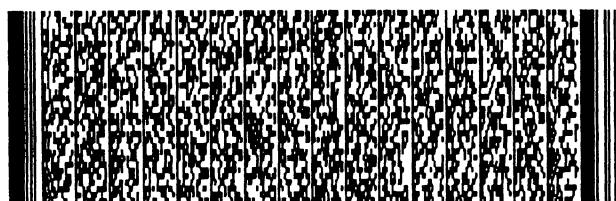
16. 如申請專利範圍第1項所述之製造方法，其中該步驟(c)中之該鈳酸鋇鋇電極係藉由一化學氣相沈積法所形成。

17. 如申請專利範圍第1項所述之製造方法，其中該步驟(c)中之該鈳酸鋇鋇電極之成長方向可為一優選方向。

18. 如申請專利範圍第1項所述之製造方法，其中該步驟(c)中之該鈳酸鋇鋇電極之成長方向可為一(110)方向。

19. 一種於低溫下之促進鈳鈳礦結構薄膜結晶之底電極製造方法，其包含下列步驟：

(a) 提供一基板；



## 六、申請專利範圍

(b) 形成一鈣薄膜於該基板上；以及

(c) 再依序形成一第一鈣酸鋇鈣電極、一鈣鈦礦電容材料及一第二鈣酸鋇鈣電極結構於該鈣薄膜上。

20. 如申請專利範圍第19項所述之製造方法，其中該低溫係指500°C以下。

21. 如申請專利範圍第19項所述之製造方法，其中該步驟(a)中之該基板可為一已有先前製程之基板。

22. 如申請專利範圍第19項所述之製造方法，其中該步驟(a)中之該基板可為一矽基板。

23. 如申請專利範圍第19項所述之製造方法，其中該步驟(a)中之該基板可為一陶瓷基板。

24. 如申請專利範圍第19項所述之製造方法，其中該步驟(b)之前更包含一步驟(b1)形成一導電層於該基板上。

25. 如申請專利範圍第19項所述之製造方法，其中該步驟(b1)之前更包含一步驟(b2)形成一絕緣層於該基板上。

26. 如申請專利範圍第25項所述之製造方法，其中該絕緣層之材料可為一二氧化矽。

27. 如申請專利範圍第19項所述之製造方法，其中該步驟(b)係藉由一物理氣相沈積法所形成。

28. 如申請專利範圍第19項所述之製造方法，其中該步驟(b)係藉由一化學氣相沈積法所形成。

29. 如申請專利範圍第19項所述之製造方法，其中該步驟



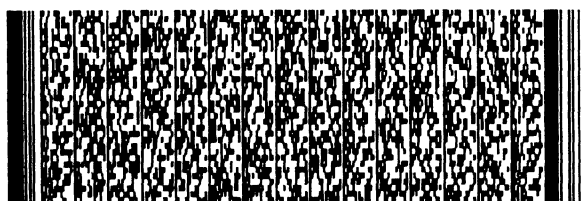
## 六、申請專利範圍

- (c) 中之該第一及該第二鈳酸鋇鉬電極係藉由一物理氣相沈積法所形成。
30. 如申請專利範圍第29項所述之製造方法，其中該物理氣相沈積法之靶材可為一鈳酸鋇鉬粉末靶。
31. 如申請專利範圍第30項所述之製造方法，其中該鈳酸鋇鉬粉末靶係由氧化鈳( $\text{RuO}_2$ )、一碳酸鋇( $\text{SrCO}_3$ )、及一碳酸鉬( $\text{BaCO}_3$ )調配而成。
32. 如申請專利範圍第29項所述之製造方法，其中該物理氣相沈積法之靶材可為一鈳酸鋇鉬燒結靶。
33. 如申請專利範圍第29項所述之製造方法，其中該物理氣相沈積法之靶材成份為 $\text{Ba}_x\text{Sr}_{1-x}\text{RuO}_3$  ( $0 \leq x \leq 1$ )。
34. 如申請專利範圍第19項所述之製造方法，其中該步驟(c)中之該第一及該第二鈳酸鋇鉬電極係藉由一化學氣相沈積法所形成。
35. 如申請專利範圍第19項所述之製造方法，其中該步驟(c)中之該第一及該第二鈳酸鋇鉬電極之成長方向可為一優選方向。
36. 如申請專利範圍第19項所述之製造方法，其中該步驟(c)中之該第一及該第二鈳酸鋇鉬電極之成長方向可為一(110)方向。
37. 如申請專利範圍第19項所述之製造方法，其中該鈳鈦礦電容材料係指一鐵電薄膜。
38. 如申請專利範圍第37項所述之製造方法，其中該鐵電薄膜可為一鋇鈳酸鉛薄膜。



## 六、申請專利範圍

39. 如申請專利範圍第38項所述之製造方法，其中該鋳鈦酸鉛薄膜之成長方向可為一優選方向。
40. 如申請專利範圍第38項所述之製造方法，其中該鋳鈦酸鉛薄膜之成長方向可為一 $\{110\}$ 方向。
41. 一種於低溫下製造之鈳酸鋇鋇薄膜電極結構，其包含：
- 一基板；
  - 一鈳薄膜，其係形成於該基板上；以及
  - 一鈳酸鋇鋇電極，其係形成於該鈳薄膜上。
42. 如申請專利範圍第41項所述之結構，其中該低溫係指 $500^{\circ}\text{C}$ 以下。
43. 如申請專利範圍第41項所述之結構，其中該步驟(a)中之該基板可為一已有先前製程之基板。
44. 如申請專利範圍第41項所述之結構，其中該基板可為一矽基板。
45. 如申請專利範圍第41項所述之結構，其中該基板可為一陶瓷基板。
46. 如申請專利範圍第41項所述之結構，其中該基板與該鈳薄膜之間更包含一導電層。
47. 如申請專利範圍第41項所述之結構，其中該基板與該鈳薄膜之間更包含一絕緣層。
48. 如申請專利範圍第47項所述之結構，其中該絕緣層之材料可為一二氧化矽。
49. 如申請專利範圍第41項所述之結構，其中該鈳薄膜係



## 六、申請專利範圍

藉由一物理氣相沈積法所形成。

50. 如申請專利範圍第41項所述之結構，其中該鈣薄膜係藉由一化學氣相沈積法所形成。

51. 如申請專利範圍第41項所述之結構，其中該鈣酸鋇鋇電極係藉由一物理氣相沈積法所形成。

52. 如申請專利範圍第41項所述之結構，其中該鈣酸鋇鋇電極係藉由一化學氣相沈積法所形成。

53. 一種於低溫下之促進鈣鈦礦結構薄膜結晶之底電極成長之電晶體鈣鈦礦結構，其包含：

一基板；

一鈣薄膜，其係形成於該基板上；以及

一第一及一第二鈣酸鋇鋇電極，其係依序形成於該鈣薄膜上，且該第一及第二鈣酸鋇鋇電極之間又包含一鈣鈦礦電容材料之結構。

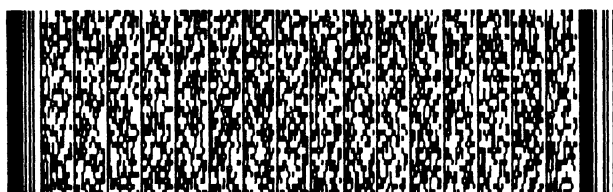
54. 如申請專利範圍第53項所述之結構，其中該低溫係指 $500^{\circ}\text{C}$ 以下。

55. 如申請專利範圍第53項所述之結構，其中該步驟(a)中之該基板可為一已有先前製程之基板。

56. 如申請專利範圍第53項所述之結構，其中該基板可為一矽基板。

57. 如申請專利範圍第53項所述之結構，其中該基板可為一陶瓷基板。

58. 如申請專利範圍第53項所述之結構，其中該基板與該鈣薄膜之間更包含一導電層。

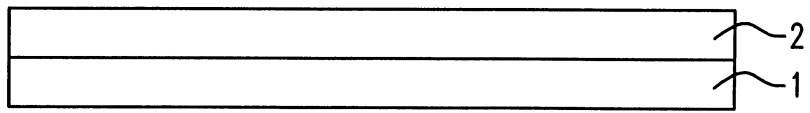


## 六、申請專利範圍

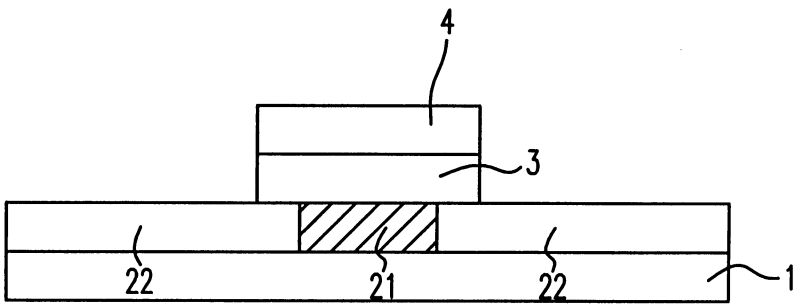
59. 如申請專利範圍第53項所述之結構，其中該基板與該釘薄膜之間更包含一絕緣層。
60. 如申請專利範圍第59項所述之結構，其中該絕緣層之材料可為一二氧化矽。
61. 如申請專利範圍第53項所述之結構，其中該釘薄膜係藉由一物理氣相沈積法所形成。
62. 如申請專利範圍第53項所述之結構，其中該釘薄膜係藉由一化學氣相沈積法所形成。
63. 如申請專利範圍第53項所述之結構，其中該第一及該第二釘酸鋇銀電極係藉由一物理氣相沈積法所形成。
64. 如申請專利範圍第53項所述之結構，其中該第一及該第二釘酸鋇銀電極係藉由一化學氣相沈積法所形成。
65. 如申請專利範圍第53項所述之結構，其中該鈣鈦礦電容材料結構係指一鐵電薄膜。
66. 如申請專利範圍第65項所述之結構，其中該鐵電薄膜可為一鋇鈦酸鉛薄膜。



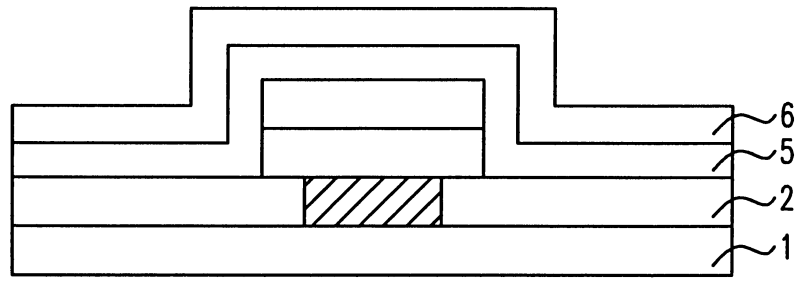
圖式



第一圖 (a)

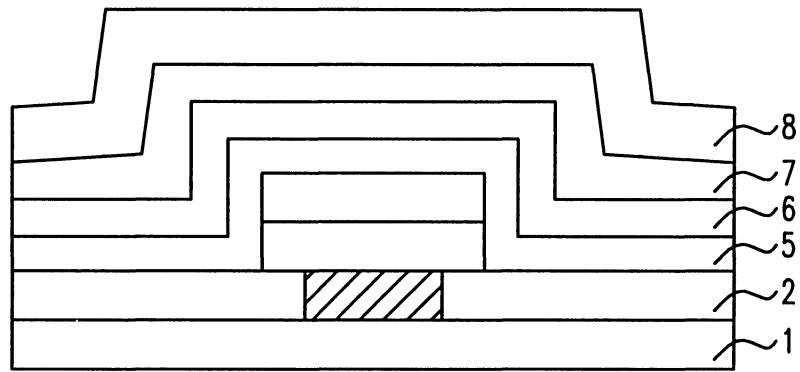


第一圖 (b)



第一圖 (c)

圖式



第一圖 (d)