

公告本

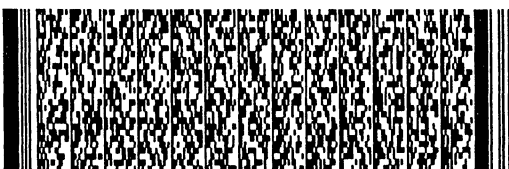
申請日期：92.12.18	IPC分類
申請案號：92135908	H01G 23/60

(以上各欄由本局填註)

發明專利說明書

I223432

一、發明名稱	中文	雙觸發矽控整流元件與使用其之靜電保護電路
	英文	DOUBLE-TRIGGERED SILICON CONTROLLER RECTIFIER AND RELEVANT CIRCUITRY
二、發明人 (共2人)	姓名 (中文)	1. 柯明道 2. 徐國鈞
	姓名 (英文)	1. KER, MING DOU 2. HSU, KUO CHUN
	國籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW
	住居所 (中文)	1. 新竹市寶山路200巷3號4樓之3 2. 苗栗縣頭份鎮忠孝里長安街61號
	住居所 (英文)	1. 4F. -3, NO. 3, LANE 200, PAO-SHAN RD., HSINCHU, TAIWAN, R.O.C. 2. NO. 61, CHANG-AN ST., TOUFEN TOWNSHIP, MIAOLI COUNTY 351, TAIWAN (R.O.C.)
三、申請人 (共1人)	名稱或姓名 (中文)	1. 國立交通大學
	名稱或姓名 (英文)	1. NATIONAL CHIAO TUNG UNIVERSITY
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中文)	1. 新竹市大學路1001號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. NO. 1001, DASYUE RD., HSINCHU CITY, 300, TAIWAN (R.O.C.)
	代表人 (中文)	1. 張俊彥
代表人 (英文)	1. CHANG, CHUN YEN	



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間

日期：

四、有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

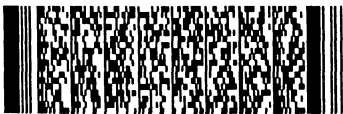
有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

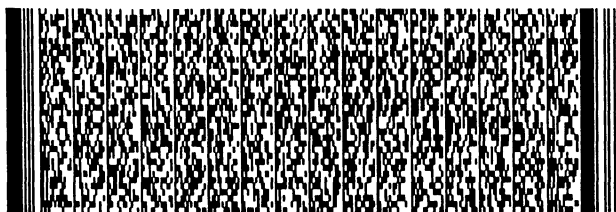
熟習該項技術者易於獲得, 不須寄存。

四、中文發明摘要 (發明名稱：雙觸發矽控整流元件與使用其之靜電保護電路)

一種雙觸發矽控整流元件與使用其之靜電保護電路。此種雙觸發矽控整流元件係在一個P型基底中配置了數個N+擴散區域、數個P+擴散區域、第一N型井區域、第二N型井區域和第三N型井區域。每一個N+擴散區域和P+擴散區域中間，都以淺溝渠結構加以隔離。在P+擴散區域內的其中二個，係雙觸發矽控整流元件的P型觸發區。而在N+擴散區域內的其中二個，係雙觸發矽控整流元件的N型觸發區。

五、英文發明摘要 (發明名稱：DOUBLE-TRIGGERED SILICON CONTROLLER RECTIFIER AND RELEVANT CIRCUITRY)

A double-triggered silicon controller rectifier (SCR) provides a P-substrate. A plurality N+ diffusion region, a plurality P+ diffusion region, the first N-well region, the second N-well region and the third N-well region are dopanted in the P-substrate. Among every N+ diffusion regions and every P+ diffusion regions is isolated by the STI structure. Two of the N+ diffusion regions are the



四、中文發明摘要 (發明名稱：雙觸發矽控整流元件與使用其之靜電保護電路)

五、英文發明摘要 (發明名稱：DOUBLE-TRIGGERED SILICON CONTROLLER RECTIFIER AND RELEVANT CIRCUITRY)

N-trigger termination. Two of the P+ diffusion regions are the P-trigger termination.



六、指定代表圖

(一)、本案代表圖為：第____2A____圖

(二)、本案代表圖之元件代表符號簡單說明：

200：雙觸發矽控整流元件

201：P型基底

203、205、209：型井區域

213、217、219、223、226、229、233、239、243、

247：淺溝渠結構

211、218、231、225、241、249：P+擴散區域

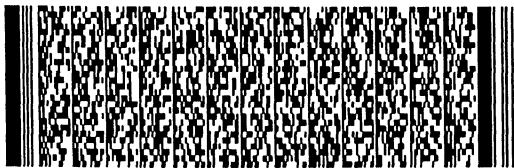
215、221、227、235、245：N+擴散區域

253：P型觸發端

255：N型觸發端

257：陽極端

251：陰極端



五、發明說明 (1)

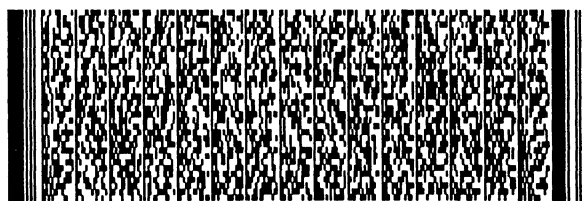
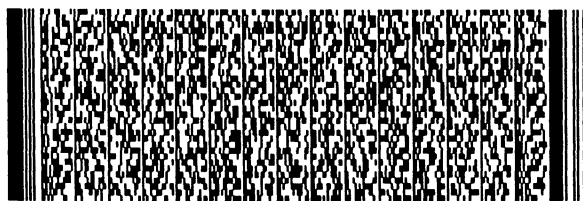
【發明所屬之技術領域】

本發明是有關於一種雙觸發矽控整流元件 (Double-Triggered Silicon Controller Rectifier, 簡稱DT_SCR) 與使用其之靜電保護電路, 且特別是有關於一種低切換電壓和高啟動速度的矽控整流元件。

【先前技術】

在半導體製程的發展中, 如何防止靜電放電 (Electrostatic Discharge, 以下簡稱ESD) 對於積體電路 (Integrated Circuits, 簡稱IC) 來說, 一直是一個關鍵的技術。特別是當半導體製程已經進步到深次微米的階段, 原件尺寸愈來愈小而閘極氧化層 (Gate Oxides) 也愈來愈薄, 以致於對靜電放電的壓力, 也愈來愈無法承受。因此, 在積體電路的I/O(輸入/輸出)端通常會包括一個靜電防護原件或者是電路, 以防止積體電路的內部電路會受到ESD的影響而遭到損毀。

第1A圖係繪示習知的矽控整流元件結構圖。請參照第1A圖, 矽控整流元件因為具有很好的ESD承受度, 所以常常被設計作為保護積體電路之內部電路的靜電防護原件。習知的矽控整流元件, 如第1A圖所示, 在P型基底101中, 配置了N型井區域103、N+擴散區域109和P+擴散區域111, 而其中N+擴散區域109為矽控整流元件的陰極端(Cathode) 117, P+擴散區域111則為接地端。接著, 再在N型井區域103中配置N+擴散區域107和P+擴散區域108, 並且P+擴散區域107為矽控整流元件的陽極端(Anode) 115, 而N+擴散

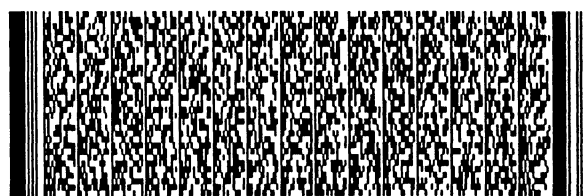
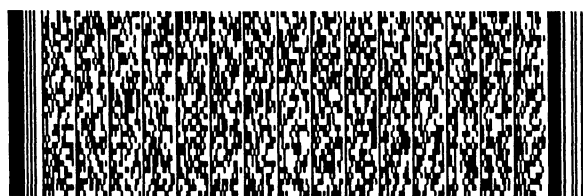


五、發明說明 (2)

區域107則連接外部電源VDD，而。上述的數個擴散區，則被一種淺溝渠(Shallow Trench Isolation Structure，以下簡稱STI)構造所隔離並且限制其所能擴散的範圍。更詳細的說，N+擴散區域107和P+擴散區域108，被STI結構119、121、123所隔離並且限制其所能擴散的範圍，而N+擴散區域109和P+擴散區域111則被STI結構123、125、127所隔離並且限制其所能擴散的範圍。

第1B圖係繪示第1A圖之矽控整流原件的等效電路圖。請參照第1B圖，其中電晶體Q1為PNP的雙極性電晶體(PNP Bipolar Transistor)，係N+擴散區域107、108和P+擴散區域111之間的寄生電晶體(Parasitic transistor)，R1係第一N+擴散區域107與N型井區域103之間的等效電阻。而電晶體Q2則為NPN的雙極性電晶體，係N+擴散區域107、109和P+擴散區域111之間的寄生電晶體，R2係P+擴散區域111與P型基底101間的等效電阻。在第1B圖的等效電路中，當正(Positive)的ESD電壓產生時，會造成電晶體Q1的集-基接面發生累增崩潰(Avalanche Breakdown)，而讓電晶體Q2導通並產生再生導通動作(Regenerative Conduction Action)，使得ESD電流被分流至接地端。而當一個負(Negative)的ESD電壓產生時，會使得電晶體Q1的集-基接面產生順向偏壓(Forward-Bias)，並且同樣將ESD電流被分流至接地端。

雖然矽控整流元件具有很好的ESD承受度，但由於其切換電壓(Switch Voltage)遠大於閘極氧化層的崩潰電壓



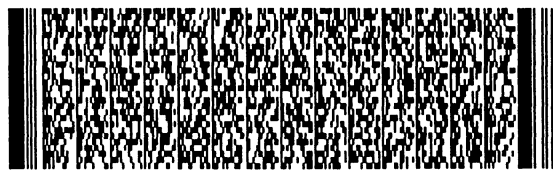
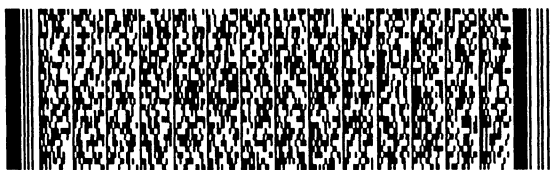
五、發明說明 (3)

(Breakdown Voltage)，所以無法單獨使用矽控整流元件作為有效的靜電防護元件。

【發明內容】

因此，本發明的目的就是在提供一種雙觸發矽控整流元件，可以提供較低的切換電壓和更快的啟動速度，使得本發明能有效且可單獨地作為靜電防護元件。

為達以上目的和其他目的，本發明提供一種雙觸發矽控整流元件包括了P型基底、數個N+擴散區域、數個P+擴散區域、數個隔離結構、第一N型井區域、第二N型井區域和第三N型井區域。其中，第一、第二和第三N型井區域都配置於P型基底中，並且第二N型井區域和第三N型井區域分別位於第一N型井區域相對的兩側。而N+擴散區域包括了有第一N+擴散區域，配置於第一N型井區域中，且位於第一N+擴散區域的一側，係用來耦接外部電源；第二N+擴散區域，也配置於第一N型井區域中，為雙觸發矽控整流元件的N型觸發端；第三N+擴散區域，同樣配置於第一N型井區域中，為雙觸發矽控整流元件的N型觸發端，且與第二N+擴散區域分別配置於第一N+擴散區域相對的兩側；第四N+擴散區域與第一N+擴散區域分別位於第二N+擴散區域的相對兩側，並且部分配置於第三N型井區域中，部分配置於P型基底中，為雙觸發矽控整流元件的陰極端；以及第五N+擴散區域，與第一N+擴散區域分別位於第三N+擴散區域的相對兩側，並且部分配置於第二N型井區域中，部分配置於P型基底中。與第四N+擴散區域相同的是，第五

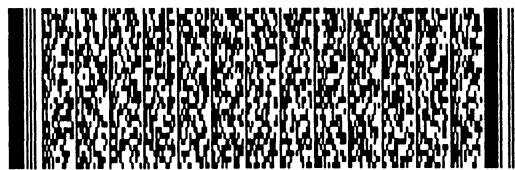
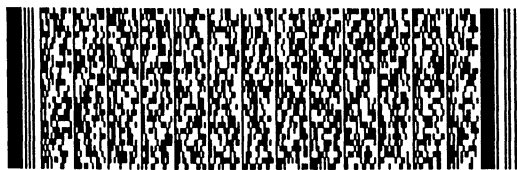


五、發明說明 (4)

N+擴散區域亦為雙觸發矽控整流元件之陰極端。而P+擴散區域則包括了有第一P+擴散區域，係配置在第一N+擴散區域和第二N+擴散區域之間，且配置於第一N型井區域中，係雙觸發矽控整流元件的陽極端；第二P+擴散區域，配置在第一N+擴散區域和第三N+擴散區域之間，且同樣配置於第一N型井區域中，也為雙觸發矽控整流元件之陽極端；第三P+擴散區域，配置在第二N+擴散區域和第四N+擴散區域之間，並且配置於第一N型井區域和第三N型井區域之間的P型基底中，係雙觸發矽控整流元件的P型觸發端；第四P+擴散區域，配置在第三N+擴散區域和第五N+擴散區域之間，並且配置於第一N型井區域和第二N型井區域之間的P型基底中，同樣為雙觸發矽控整流元件的P型觸發端；第五P+擴散區域，與第三P+擴散區域分別位於第四N+擴散區域相對的兩側，並且配置於P型基底中，為雙觸發矽控整流元件的接地端；以及第六P+擴散區域，與第四P+擴散區域分別位於第五N+擴散區域相對的兩側，並且配置於P型基底中，同樣為雙觸發矽控整流元件的接地端。在上述的每一個N+擴散區域和P+擴散區域的間隔處，則分別配置有隔離結構，並且這些隔離結構分別連結上述的每一個N+擴散區域和P+擴散區域。

在上述的隔離結構中，包括了STI結構。在0.25微米的互補式金氧半導體製程中，本發明之雙觸發矽控整流元件所提供的STI結構的厚度則包括了0.4微米。

部分上述的隔離結構中，包括了啞閘極(Dummy



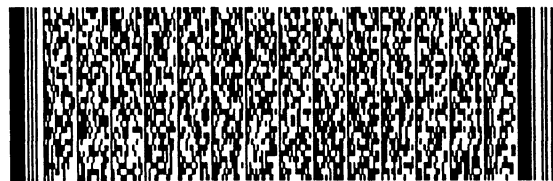
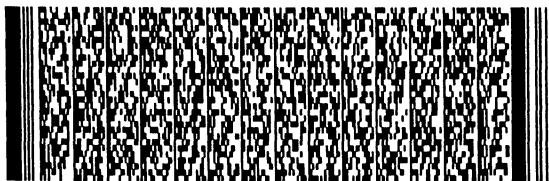
五、發明說明 (5)

Gate，以下簡稱DG)結構，並且在本發明的較佳實施例中，上述的DG之材質包括了多晶材質。

在0.25微米的互補式金氧半導體製程中，上述的那些N+擴散區域和P+擴散區域的厚度則包括了0.18微米。

本發明的另一目的就是提供一種使用雙觸發矽控整流元件之靜電保護電路，係利用上述的雙觸發矽控整流元件，來組合一個靜電保護電路，安裝在積體電路的輸出/入墊(I/O Pad)和積體電路的內部電路之間。

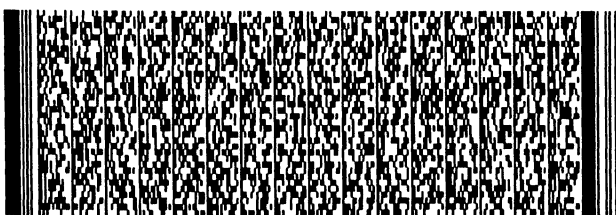
為達以上目的和其他目的，本發明提供一種使用雙觸發矽控整流元件之靜電保護電路，其被製作於積體電路內，此靜電保護電路包括了第一雙觸發矽控整流元件模組、第一靜電偵測模組、第二雙觸發矽控整流元件模組和第二靜電偵測模組。其中，第一雙觸發矽控整流元件模組具有第一端、第二端、第一N型觸發端和第一P型觸發端。其第一端耦接至高電壓準位外部電源，第二端則耦接至輸出/入墊和積體電路的內部電路。第一靜電偵測模組具有第一輸出端、第二輸出端、第一輸入端和第二輸入端，其第一輸出端係耦接至第一N型觸發端，其第二輸出端則耦接至第一P型觸發端，其第一輸入端則耦接至高電壓位準外部電源，而其第二輸入端則耦接至積體電路的內部電路和輸出/入墊。當有突然的負ESD電壓發生在輸出/入墊時，第一雙觸發矽控整流元件模組會由第一N型觸發端送出放電電流至第一靜電偵測模組，並且第一靜電偵測模組會由第二輸出端導通放電電流至第一雙觸發矽控整流元件



五、發明說明 (6)

模組。相同地，第二雙觸發矽控整流元件模組具有第三端、第四端、第二N型觸發端和第二P型觸發端。其第三端係耦接至輸出/入墊和積體電路的內部電路，而其第二端則耦接至低電壓準位外部電源。第二靜電偵測模組相對地具有第三輸出端、第四輸出端、第三輸入端和第四輸入端，其第三輸出端係耦接至第二N型觸發端，第四輸出端係耦接至第二P型觸發端，第三輸入端則耦接至積體電路的內部電路和輸出/入墊，而第四輸入端則耦接至低電壓位準外部電源。當有突然的正ESD電壓發生在輸出/入墊時，第二雙觸發矽控整流元件模組會由第二N型觸發端送出放電電流至第二靜電偵測模組，並且第二靜電偵測模組會由第四輸出端導通放電電流至第二雙觸發矽控整流元件模組。

第一雙觸發矽控整流元件模組包括第一雙觸發矽控整流元件和第二雙觸發矽控整流元件。其中第一雙觸發矽控整流元件具有陽極端、陰極端、N型觸發端和P型觸發端。並且，第一雙觸發矽控整流元件之陽極端係為第一雙觸發矽控整流元件模組的第一端。而第二雙觸發矽控整流元件也具有陽極端、陰極端、N型觸發端和P型觸發端。此第二雙觸發矽控整流元件之陽極端係耦接至第一雙觸發矽控整流元件之陰極端，且第二雙觸發矽控整流元件之陰極端係第一雙觸發矽控整流元件模組的第二端。第二雙觸發矽控整流元件之N型觸發端耦接至第一雙觸發矽控整流元件之N型觸發端，係第一雙觸發矽控整流元件模組的第一N型觸

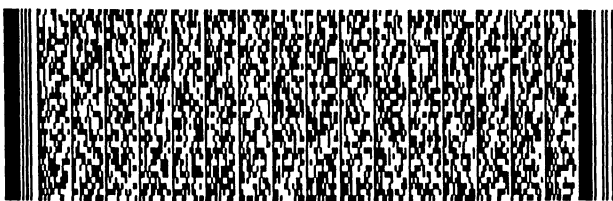


五、發明說明 (7)

發端。第二雙觸發矽控整流元件之P型觸發端耦接至第一雙觸發矽控整流元件之P型觸發端，為第一雙觸發矽控整流元件模組的第一P型觸發端。

而相對地，第二雙觸發矽控整流元件模組則包括了第三雙觸發矽控整流元件和第四雙觸發矽控整流元件。其中第三雙觸發矽控整流元件具有陽極端、陰極端、N型觸發端和P型觸發端。並且第三雙觸發矽控整流元件之陽極端係第二雙觸發矽控整流元件模組的第三端。第四雙觸發矽控整流元件也具有陽極端、陰極端、N型觸發端和P型觸發端。同樣地，第四雙觸發矽控整流元件之陽極端耦接至第三雙觸發矽控整流元件之陰極端，而第四雙觸發矽控整流元件之陰極端係第二雙觸發矽控整流元件模組的第四端。第四雙觸發矽控整流元件之N型觸發端耦接至第三雙觸發矽控整流元件之N型觸發端，係第二雙觸發矽控整流元件模組的第二N型觸發端。第四雙觸發矽控整流元件之P型觸發端耦接至第三雙觸發矽控整流元件之P型觸發端，係第二雙觸發矽控整流元件模組的第二P型觸發端。

第一靜電偵測模組包括了第一電晶體和第二電晶體，其中，第一電晶體係N型電晶體，並且具有第一源/汲極端、第二源/汲極端、閘極端和基體端。第一電晶體之第一源/汲極端係耦接至第一靜電偵測模組的第一輸入端，第一電晶體之第二源/汲極端為第一靜電偵測模組的第二輸出端、第一電晶體之閘極端係耦接至第一輸入端和接地，而第一電晶體的基體端則是接地。相同地，第二電晶

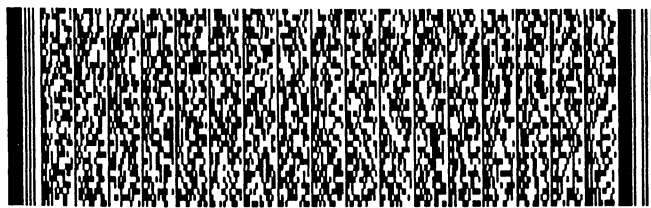


五、發明說明 (8)

體也同樣為N型電晶體，其具有第一源/汲極端、第二源/汲極端、閘極端和基體端。第二電晶體之第一源/汲極端為第一靜電偵測模組的第一輸出端，第二電晶體之第二源/汲極端耦接至第一靜電偵測模組的第二輸入端，第二電晶體的閘極端係與第一電晶體的閘極端彼此互相耦接，而第二電晶體的基體端則是接地。

從本發明另一觀點來看，當上述的第一電晶體和該第二電晶體係P型電晶體時，則第一電晶體之閘極端和該第二電晶體之閘極端彼此互相耦接，並耦接至第一輸入端和第二輸入端，且第一電晶體和該第二電晶體之基體端耦接至高電壓位準外部電源。

相對地，第二靜電偵測模組則包括有第三電晶體和第四電晶體，其中，第三電晶體係P型電晶體，並且其具有第一源/汲極端、第二源/汲極端、閘極端和基體端。此第三電晶體之第一源/汲極端係耦接至第二靜電偵測模組之第三輸入端，第三電晶體之第二源/汲極端為第二靜電偵測模組的第四輸出端，第三電晶體之閘極端係耦接至高電壓位準外部電源和第四輸入端，而第三電晶體的基體端則耦接至高電壓位準外部電源。同樣地，第四電晶體係P型電晶體，其同樣具有第一源/汲極端、第二源/汲極端、閘極端和基體端。此第四電晶體之第一源/汲極端為第二靜電偵測模組的第三輸出端，此第四電晶體之第二源/汲極端則耦接至第二靜電偵測模組之第四輸入端，該第四電晶體的閘極端係與第三電晶體的閘極端彼此互相耦接，而第



五、發明說明 (9)

四電晶體的基體端則耦接至高電壓位準外部電源。

從本發明另一觀點來看，當上述的第三電晶體和該第四電晶體為N型電晶體時，則第三電晶體之閘極端和第四電晶體之閘極端彼此互相耦接，並耦接至第三輸入端和第四輸入端，且第三電晶體之基體端接地，而第四電晶體之基體端則耦接至第四輸入端。

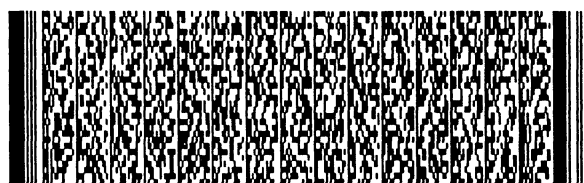
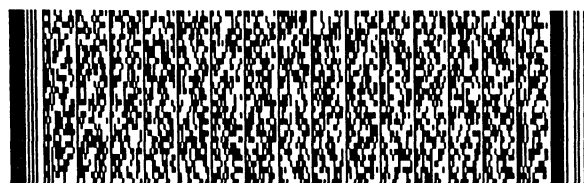
綜上所述，本發明係使用雙觸發矽控整流元件及其相關電路，因此能使切換電壓減小，並使得啟動時間縮小，因此能使得本發明能有效地單獨成為靜電防護的元件和電路。

為讓本發明之上述和其他目的、特徵和優點能更明顯易懂，下文特舉幾個實施例，並配合所附圖式，作詳細說明如下。

【實施方式】

第2A圖係繪示依照本發明之一較佳實施例之雙觸發矽控整流元件結構圖。請參照第2A圖，本發明之雙觸發矽控整流元件200是在一塊具有N型井區域203、205和209的P型基底201中，配置例如N+擴散區域227的數個N+擴散區域，和例如P+擴散區域231的數個P+擴散區域，並且這些擴散區分別由例如STI結構226的隔離結構所隔離和限制其擴散範圍。本發明之雙觸發矽控整流元件200還具有陽極端257、陰極端251、N型觸發端255和P型觸發端251。

本發明之雙觸發矽控整流元件200所配置的數個N+擴散區域包括N+擴散區域227、235、221、245和215。其中



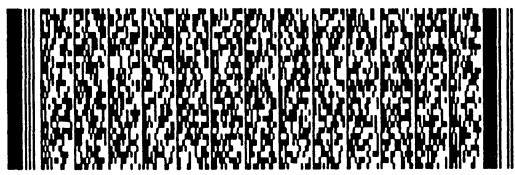
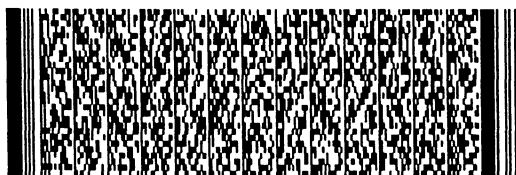
五、發明說明 (10)

N+擴散區域227係耦接外部電源VDD，N+擴散區域235和N+擴散區域221分別位於N+擴散區域227相對的兩側，並且N+擴散區域221、235皆配置於N型井區域205上，為雙觸發矽控整流元件200的N型觸發端251。

另外，N+擴散區域245和N+擴散區域227分別位於N+擴散區域235相對的兩側，並且配置於N型井區域209中。而N+擴散區域215和N+擴散區域227分別位於N+擴散區域221相對的兩側，並且配置於N型井區域203中。在本發明之雙觸發矽控整流元件200中，N+擴散區域215、245係元件的陰極端25。

請繼續參照第2A圖，本發明之雙觸發矽控整流元件200所配置的數個P+擴散區域包括P+擴散區域231、225、241、218、249和P211。其中P+擴散區域231位於N+擴散區域227和N+擴散區域235之間，而P+擴散區域225則位於N+擴散區域227和N+擴散區域221之間，並配置於N型井區域205中，且P+擴散區域231、225同為雙觸發矽控整流元件200的陽極端257。在N型井區域205上配置的這些N+擴散區域和P+擴散區域，分別用STI結構219、223、226、229、233、239將之隔離並限定其擴散的區域。

此外，P+擴散區域241位於N+擴散區域235和N+擴散區域247之間，並配置於N型井區域205、209之間的P型基底201中，且同時在P+擴散區域241的兩側分別用STI結構239、243將之隔離並限定其擴散的區域。P+擴散區域218則位於N+擴散區域221和N+擴散區域215之間，並配置於N

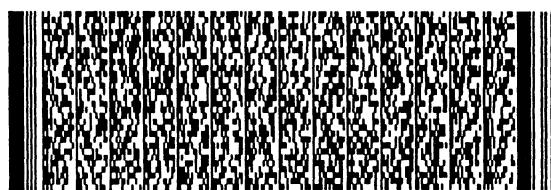
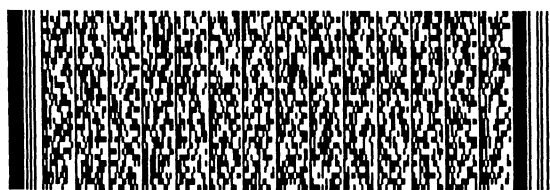


五、發明說明 (11)

型井區域203、205之間的P型基底201中，且同時在P+擴散區域218的兩側分別用STI結構217、219將之隔離並限定其擴散的區域。在本發明中，P+擴散區域241、218皆為雙觸發矽控整流元件200的P型觸發端253。

另外，P+擴散區域249和P+擴散區域241分別位於N+擴散區域245相對的兩側，並且配置於P型基底201中。而P+擴散區域211則與P+擴散區域218分別位於N+擴散區域215相對的兩側，並且也配置於P型基底201中。在本發明中，P+擴散區域211、249係同為接地端，位於雙觸發矽控整流元件200的最外側。同樣地，STI結構247、213則分別將P+擴散區域249、211和N+擴散區域245、215隔離並限定其擴散的區域。

第2B圖係繪示依照本發明另一較佳實施例之雙觸發矽控整流元件結構圖。請合併參照第2A圖和第2B圖，在本實施例中，雙觸發矽控整流元件300係將原本在第2A圖中的STI結構217、219、223、233、239、243，改以DG 301、303、305、307、309、311來取代，在2A圖中，例如陽極端257到陰極端251之間，有STI結構217、219、223隔離，因此當ESD電流從陽極端257流到陰極端251時，需要繞一圈，從ESD電流路徑11通過。但在2B圖中，陽極端257到陰極端251之間，以DG301、303、305來代替STI結構217、219、223，因此當ESD電流從陽極端257流到陰極端251時，直接走ESD電流路徑13就可以，因此理論上，雙觸發矽控整流元件300可以更增加啟動的速度。

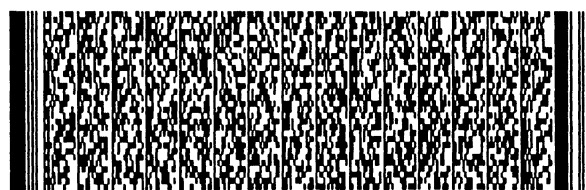
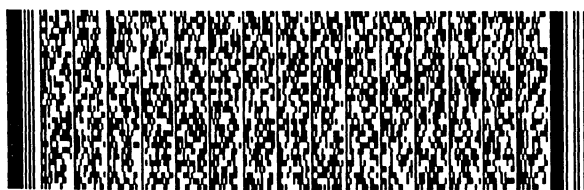


五、發明說明 (12)

本發明在實際的製程上，能應用在0.25微米的CMOS製程。在典型的0.25微米的CMOS製程中，本實施例所提供的STI結構的厚度大約為0.4微米，而P+和N+擴散區域的厚度大約為0.18微米。

第2C圖係繪示依照本發明之一較佳實施例之雙觸發矽控整流元件的等效電路圖。請參照第2C圖，我們可以看到，本發明之雙觸發矽控整流元件的等效電路與一般矽控整流元件的等效電路並無不同。電晶體Q3係陽極端257、N+擴散區域227和接地端之間的寄生電晶體，而電晶體Q4係陽極端257、陰極端251和N+擴散區域227之間的寄生電晶體。電阻R_well係N+擴散區域227與N型井區域205的接面電阻(第2A圖)，而電阻R_sub則為接地端和P型基底201之間的接面電阻(第2A圖)。

第3A圖係繪示當STI結構之雙觸發矽控整流元件的N型觸發端浮接時其I-V曲線圖。請參照第3A圖，以下我們會做一些測試，以實驗的數據來瞭解本發明之雙觸發矽控整流元件的一些特性。在第3A圖中，我們將STI結構之雙觸發矽控整流元件200的N型觸發端255浮接(Floating)，然後再將P型觸發端253施加觸發電流，由0mA加到6mA每次間隔1mA。此實驗的目的，係從施加觸發電流的大小來觀察切換電壓的變化，而在第3A圖右上方的電路31，即是本實驗電路接線的方式。從第3A圖中可以看到，當P型觸發端的觸發電流為0mA時，雙觸發矽控整流元件200此時的切換電壓V_{t1}係大約22V。而當觸發電流增加到6mA時，雙觸發

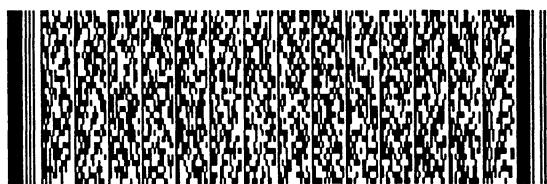
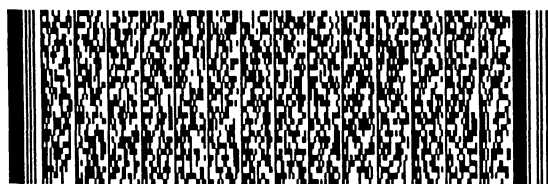


五、發明說明 (13)

矽控整流元件200此時的切換電壓 V_{t1}' 係大約7 V。從以上的數據可以發現，當觸發電流由0mA加到6mA時，切換電壓減少了約15V。

第3B圖係繪示當STI結構之雙觸發矽控整流元件的N型和P型觸發端皆施加觸發電流時其I-V曲線圖。請參照第3B圖，第3B圖中的實驗，係延續第3A圖的實驗，但是將原本浮接的N型觸發端耦接-2mA的定電流源，而P型觸發端的觸發電流同樣還是由0mA加到6mA每次間隔1mA，藉此觀察雙觸發矽控整流元件200之切換電壓變化，在第3B圖右上方的電路33即是本實驗的接線圖。當P型觸發端的觸發電流為0mA而N型觸發端的觸發電流為-2mA時，雙觸發矽控整流元件200此時的切換電壓 V_{t2} 係大約21V。當P型觸發端的觸發電流加至6mA時，雙觸發矽控整流元件200此時的切換電壓 V_{t2}' 減少至大約只有3V，此時，切換電壓減少了約18V。

第3C圖係繪示STI結構的雙觸發矽控整流元件在不同基底電流下其切換電壓的曲線圖，第3D圖係繪示DG結構的雙觸發矽控整流元件在不同基底電流下其切換電壓的曲線圖。請合併參照第3C圖和第3D圖，在第3C圖中，STI結構的雙觸發矽控整流元件之N型觸發端，耦接不同電流值的定電流源，其電流值係由浮接的狀態到-5mA，然後調整送進P型觸發端的基底電流由0mA到6mA，在此圖可以觀察到，STI結構的雙觸發矽控整流元件之N型觸發端一直等到耦接至-5mA電流值的定電流源，其切換電壓才降至大約



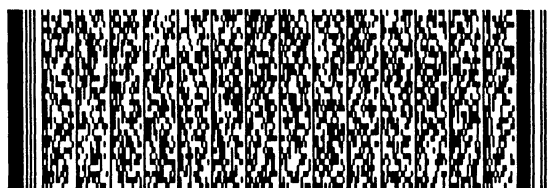
五、發明說明 (14)

2V。而在第3D圖中，以DG結構的雙觸發矽控整流元件，來取代第3C圖中STI結構的雙觸發矽控整流元件，並且重複剛才的實驗。此時我們可以發現，DG結構的雙觸發矽控整流元件之N型觸發端只要耦接-1mA電流值的定電流源，其切換電壓就可以降至大約2V。

由以上的幾組實驗，我們可以做一個結論，就是本發明之雙觸發矽控整流元件，在其N型觸發端和P型觸發端同步施加觸發電流時切換電壓降低的效率，會比只有單一觸發端施加觸發電流時切換電壓較低的效率好。並且在同樣電流的條件下，DG結構的雙觸發矽控整流元件其切換電壓下降的速率，又比STI結構的雙觸發矽控整流元件其切換電壓下降的速率要好。

第3E圖係繪示STI結構的雙觸發矽控整流元件在不同N型井電流下其切換電壓的曲線圖。請參照第3E圖，本實驗的電路接線如同第3E圖右上角之電路35，在STI結構的雙觸發矽控整流元件之P型觸發端耦接不同電流值的定電流源，其電流值由浮接至2mA，然後調整送進N型觸發端的N型井電流，我們可以觀察到，當P型觸發端係浮接的狀態時，其切換電壓下降的效率非常的差。將第3E圖與第3D圖做比較，似乎基底電流比N型井電流有較好的切換電壓下降的效率。當切換電壓下降的效率越好，也就表示此雙觸發矽控整流元件能更快地啟動來保護積體電路的內部電路免受ESD的傷害。

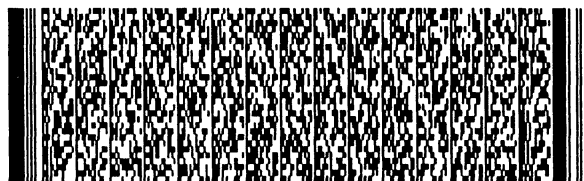
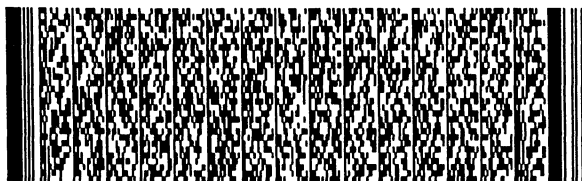
第4A圖係繪示多級雙觸發矽控整流元件之結構圖，第



五、發明說明 (15)

4B圖係繪示二級雙觸發矽控整流元件在不同溫度下I-V曲線圖，第4C圖係繪示三級雙觸發矽控整流元件在不同溫度下I-V曲線圖，第4D圖係繪示不同級數的雙觸發矽控整流元件的溫度對維持電壓之曲線圖。在CMOS積體電路在正常電路操作時，我們必須將維持電壓(Holding Voltage)設計大於正電壓位準外部電壓VDD之最大電壓值，以避免Latchup的問題，而在本發明之雙觸發矽控整流元件中，我們可以如第4A圖所示的雙觸發矽控整流元件疊加之結構，以增加雙觸發矽控整流元件疊加的級數來達到將維持電壓增加的目的。比較第4B圖和第4C圖可以發現，雙觸發矽控整流元件疊加的級數越高，其維持電壓也會越高。並且從插入的放大圖41和放大圖43可以觀察到，當溫度升高時，維持電壓有退化的現象，這是一個要注意到的事情。而在第4D圖中更可以發現，當雙觸發矽控整流元件疊加到3級，並且溫度在25°C時，有最高的維持電壓(大約為4.4V)。

第5A圖係繪示依照本發明之一較佳實施例之量測雙觸發矽控整流元件其啟動時間之電路圖，第5B圖係繪示N型和P型觸發端輸入的電壓脈衝圖。我們在此先定義一個矽控整流元件的啟動時間，就是一個矽控整流元件進入鎖相狀態所需的時間，因此以下就本發明之STI結構的雙觸發矽控整流元件之啟動時間做量測。第5A圖就是本發明量測雙觸發矽控整流元件之啟動時間時所使用的接線電路圖，我們在STI結構的雙觸發矽控整流元件之N型和P型觸發端

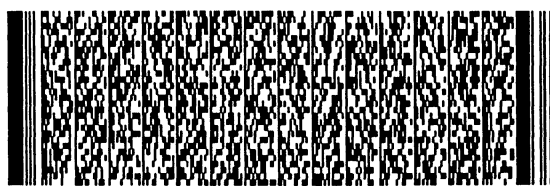


五、發明說明 (16)

輸入如第5B圖的脈衝電壓位準，並且在陽極端耦接5V的電壓。其中電阻51係為了限制在雙觸發矽控整流元件啟動時，由電源供應器而來的瞬間電流。

第5C圖和第5D圖係繪示當N型觸發端浮接並且對雙觸發矽控整流元件分別輸入具有脈寬為100ns與30ns之1.5V正脈衝訊號時，陽極端的輸出電壓時脈圖。請參照第5C圖和第5D圖，為要避免由示波器所產生的負載效應而影響了量測的準確性，因此以下僅對P型觸發端作波型的監控。在第5C圖中，剛開始時，雙觸發矽控整流元件陽極端到P型觸發端之間的電壓輸出，是一個5V的直流位準，此時N型觸發端係浮接狀態。當由P型觸發端輸入一個脈寬為100ns的1.5V正脈衝訊號後，此時陽極端的輸出電壓會從5V降為2.5V的直流位準，並且被鎖定，也就是說雙觸發矽控整流元件此時進入鎖相狀態。而當由P型觸發端輸入一個脈寬為30ns的1.5V正脈衝訊號後，陽極端的輸出電壓經過一陣振盪後，還是回歸到5V的直流位準，也就是說雙觸發矽控整流元件無法進入鎖相狀態。

第5E圖係繪示當對N型觸發端輸入5V到0V的負脈衝訊號並且對雙觸發矽控整流元件輸入具有脈寬為30ns之1.5V正脈衝訊號時，陽極端的輸出電壓時脈圖。請參照第5E圖，接續第5D圖的量測，當N型觸發端輸入一個入5V到0V的負脈衝訊號後，陽極端到P型觸發端之間的輸出電壓同樣會被鎖定在2.5V，也就是說此時雙觸發矽控整流元件可以進入鎖相狀態。

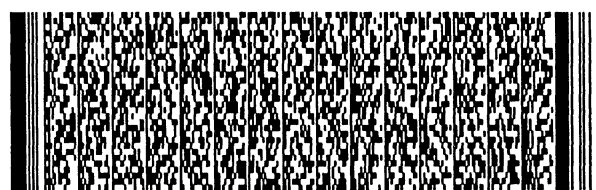


五、發明說明 (17)

第5F到第5H圖係繪示當雙觸發矽控整流元件同步對P型觸發端輸入1.5V正脈衝訊號和分別對N型觸發端浮接、輸入5V到2V負脈衝訊號、輸入5V到0V負脈衝訊號時，其陽極端的輸出電壓波型時脈圖。請先參照第5F圖，當N型觸發端浮接時，對P型觸發端輸入脈寬為200ns的1.5V正脈衝訊號後，量測陽極端的輸出電壓從原來的電壓位準到被鎖定的時間係37.6ns，也就是說此時雙觸發矽控整流元件的啟動時間係37.6ns。這也就可以解釋第5D圖中，因為輸入的脈寬(30ns)低於啟動時間，因此雙觸發矽控整流元件無法進入鎖相狀態。

請參看第5G圖和第5H圖，接續第5F圖的量測，當對N型觸發端分別輸入5V到2V和5V到0V負脈衝訊號時，啟動時間分別為24.4ns和11.8ns，可以看出，啟動時間明顯的縮短了，代表雙觸發矽控整流元件能更快的啟動以保護積體電路的內部電路免受ESD的傷害。

在清楚了解本發明所提供之雙觸發矽控整流元件的結構與相關特性之後，在此將進一步介紹此種雙觸發矽控整流元件的實際應用方式。請參照第6A圖，其繪示依照本發明之一較佳實施例之使用雙觸發矽控整流元件之靜電保護電路圖。本實施例所提供之靜電保護電路包括了第一雙觸發矽控整流元件模組610、第二雙觸發矽控整流元件模組630、第一靜電偵測模組620和第二靜電偵測模組640。其中第一雙觸發矽控整流元件模組610的第一端89耦接至高電壓位準外部電源VDD，其第二端91與第二雙觸發矽控整

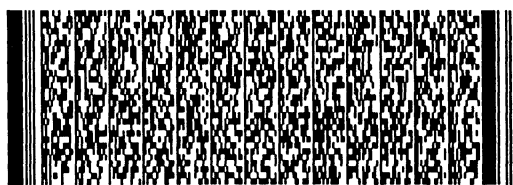
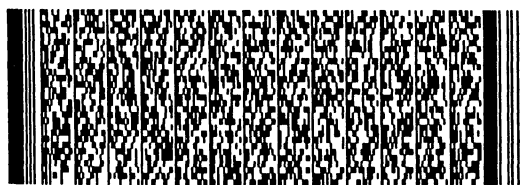


五、發明說明 (18)

流元件模組630的第三端93互相耦接，並且同時耦接至輸出/入墊617和積體電路的內部電路615，而其第一N型觸發端61係耦接至第一靜電偵測電路模組620的第一輸出端69，其第一P型觸發端63係耦接至第一靜電偵測電路模組620的第二輸出端71。此外，第一靜電偵測電路模組620的第一輸入端620a係耦接至高電壓位準外部電源VDD，並且其第二輸入端620b則耦接輸出/入墊617和內部電路615。

請繼續參照第6A圖，第二雙觸發矽控整流元件模組630的第四端95係耦接至低電壓位準外部電源VSS，其第二N型觸發端65係耦接至第二靜電偵測電路模組640的第三輸出端73，其第二P型觸發端67係耦接至第二靜電偵測電路模組640的第四輸出端75。第二靜電偵測電路模組640的第三輸入端640a係和第二輸入端620b互相耦接，並且其第四輸入端則耦接至低電壓位準外部電源VSS。

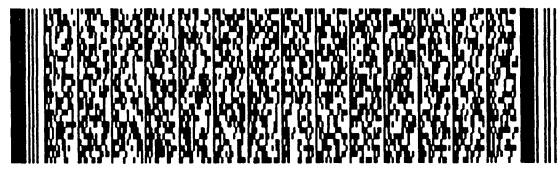
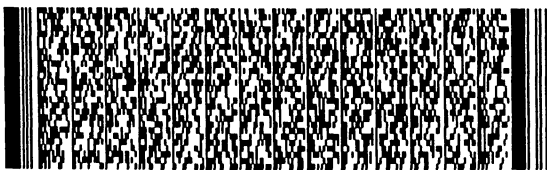
此外，在本實施例中的第一靜電偵測模組620包括第一電晶體621和第二電晶體623，其中，第一電晶體621的第一源/汲極端621a係耦接至第一輸入端620a，其第二源/汲極端係為第二輸出端71，而其閘極端85係串接電容C1耦接至第一輸入端620a，且串接電阻R1接地。第二電晶體623的第一源/汲極端係為第一輸出端69，其第二源/汲極端623a係耦接至第二輸入端620b，而其閘極84端與第一電晶體621的閘極端85互相耦接。在本實施例中，第一電晶體621和第二電晶體623均為NMOS電晶體，並且其基體端都為接地。



五、發明說明 (19)

請繼續參照第6A圖，第二靜電偵測模組640與第一靜電偵測模組620相同，也包括第三電晶體641和第四電晶體643，其中，第三電晶體641的第一源/汲極端641a係耦接第三輸入端640a，其第二源/汲極端係為第四輸出端75，而其閘極端87係串接電阻R2耦接至高電壓位準外部電源VDD，且串接電容C2耦接至第四輸入端640b。第四電晶體643的第一源/汲極端係為第三輸出端73，其第二源/汲極端643a係耦接至第四輸入端640b，而其閘極端86與第一電晶體621的閘極端87互相耦接。在本實施例中，第三電晶體641和第四電晶體643均為PMOS電晶體，並且其基體端都耦接至高電壓位準外部電源VDD。

第6B圖係繪示依照本發明之一較佳實施例之第一和第二雙觸發矽控整流元件模組等效電路圖。請參照第6B圖，第一雙觸發矽控整流元件模組610包括了第一雙觸發矽控整流元件611和第二雙觸發矽控整流元件613，其中，第一雙觸發矽控整流元件611的陰極端611d和第二雙觸發矽控整流元件613的陽極端613a係互相耦接。第一雙觸發矽控整流元件611的陽極端611a係第一端89，而第二雙觸發矽控整流元件613的陰極端613d係第二端91。第一雙觸發矽控整流元件611的N型觸發端611b，耦接至第二雙觸發矽控整流元件613的N型觸發端613b，係第一N型觸發端61。第一雙觸發矽控整流元件611的P型觸發端611c，耦接至第二雙觸發矽控整流元件613的P型觸發端613c，係第一P型觸發端63。

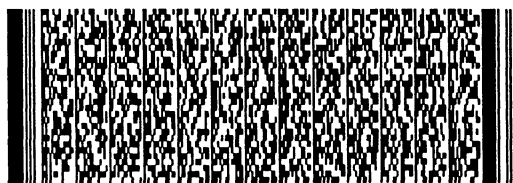


五、發明說明 (20)

再看第二雙觸發矽控整流元件模組630，第二雙觸發矽控整流元件模組630包括了第三雙觸發矽控整流元件631和第四雙觸發矽控整流元件633，其中，第三雙觸發矽控整流元件631的陰極端631d和第四雙觸發矽控整流元件633的陽極端633a係互相耦接。第三雙觸發矽控整流元件631的陽極端631a係第三端93，而第四雙觸發矽控整流元件633的陰極端633d係第四端95。第三雙觸發矽控整流元件631的N型觸發端631b，耦接至第四雙觸發矽控整流元件633的N型觸發端633b，係第二N型觸發端65。第三雙觸發矽控整流元件631的P型觸發端631c，耦接至第四雙觸發矽控整流元件633的P型觸發端633c，係第二P型觸發端67。

發生在積體電路上的ESD，可以被分類成四種情形，這四種情形分別包括：正ESD電壓發生時，低電壓位準外部電源VSS的參考位準係接地(PS)；負ESD電壓發生時，低電壓位準外部電源VSS的參考位準係接地(NS)；正ESD電壓發生時，高電壓位準外部電源VDD的參考位準係接地(PD)；和的ESD電壓發生時，高電壓位準外部電源VDD的參考位準係接地(ND)。以下就本發明之靜電保護電路在此四種情形的狀態下操作的情形，作詳細的敘述。

請繼續參照第6A圖，當突然的正ESD電壓發生在輸出/入墊617時，若本發明之靜電保護電路在PS模式的狀態下操作時，靜電保護電路的起始狀態係低電壓位準外部電源VSS的參考位準接地，而高電壓位準外部電源VDD則是浮接。因為高電壓位準外部電源VDD係浮接的狀態，因此會



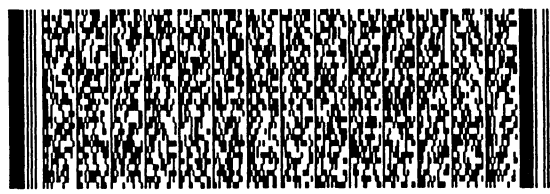
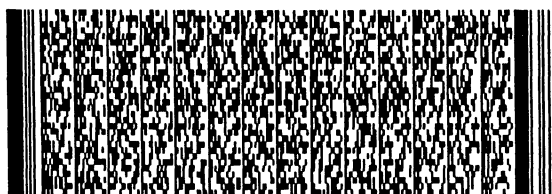
五、發明說明 (21)

使得第三電晶體641和第四電晶體643導通。所以，第三電晶體641會由第三輸出端75將起始的ESD電流導通至第二雙觸發矽控整流元件模組630，並且第二雙觸發矽控整流元件模組630會將起始的ESD電流由第三輸出端81導通至第四電晶體643。

換句話說，第三電晶體641會將一些起始的ESD電流導通至第二雙觸發矽控整流元件模組630的第二P型觸發端67，並且分別通過二極體D2、D4進入第三雙觸發矽控整流元件631和第四雙觸發矽控整流元件633。同時間，第三雙觸發矽控整流元件631和第四雙觸發矽控整流元件633會將一些起始的ESD電流通過二極體D1、D3由其第二N型觸發端65送至第四電晶體643。此時第二雙觸發矽控整流元件模組630的切換電壓會逐漸降低，並且第二雙觸發矽控整流元件模組630會快速的啟動，使得ESD電流會從輸出/入墊617通過第二雙觸發矽控整流元件模組630迅速放電。

當以上的動作發生時，因為寄生二極體(Parasitic Diode)Dp1(第2B圖)和Dp2在順偏(Forward Bias)的狀態，因此有會讓ESD電流對閘極的二極體C2充電，導致第一電晶體621和第二電晶體643關閉。因此需要對時間常數R2C2作適當的設計，使得第一電晶體621和第二電晶體643的閘極偏壓能保持在低電位。

請繼續參照第6A圖，當突然的負ESD電壓發生在輸出/入墊617時，若本發明之靜電保護電路在ND模式的狀態下操作時，靜電保護電路的起始狀態係低電壓位準外部電源



五、發明說明 (22)

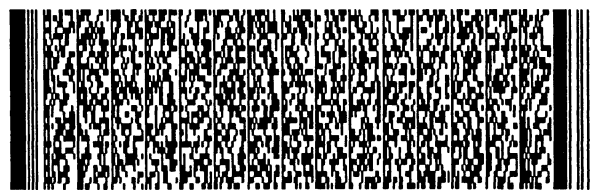
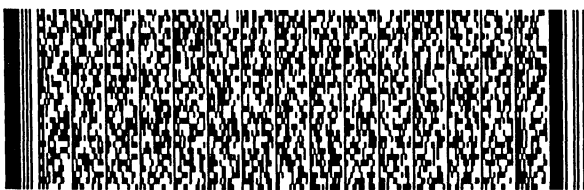
VSS 浮接，而高電壓位準外部電源VDD參考電壓則是接地。而靜電保護電路的工作方式與PS模式類似，在此不在贅述。

當本發明之靜電保護電路在NS模式的狀態或PD模式的狀態操作時，寄生二極體Dn1(第2B圖)、Dn2或是寄生二極體Dp1(第2B圖)、Dp2會處於順偏的狀態，因此會讓ESD電流由輸出/入墊617放電至接地端(VDD或VSS)。

本發明在積體電路正常操作(Normal Operation)下，係設計為關閉的狀態。也就是說，除非有突然的ESD電壓發生，不然的話，不論在輸出/入墊上的訊號之電壓位準為高準位或低準位，都不會使靜電偵測電路導通，進而觸發雙觸發矽控整流元件模組而使其啟動。

第6C圖係繪示依照本發明另一實施例之雙觸發矽控整流元件之靜電保護電路。請參照第6C圖，在本實施例中，將在第6A圖中的第一靜電偵測模組620和第二靜電偵測模組640，以本實施例中的第一靜電偵測模組650和第二靜電偵測模組660來代替，而本實施例中的第一靜電偵測模組650和第二靜電偵測模組660之連接方法，與上一實施例相同。

第一靜電偵測模組650中包括了第一電晶體651和第二電晶體653。其中第一電晶體651的第一源/汲極端651a耦接至第一輸入端650a，其第二源/汲極端係第一靜電偵測模組650的第二輸出端79，而其閘極端53係串接電阻R3耦接至第一輸入端650a，且串接電容C3至第二輸入端650b。

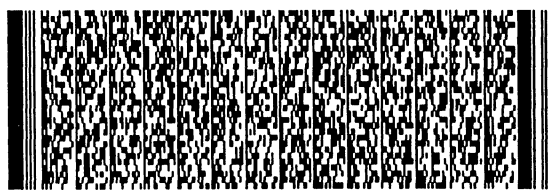
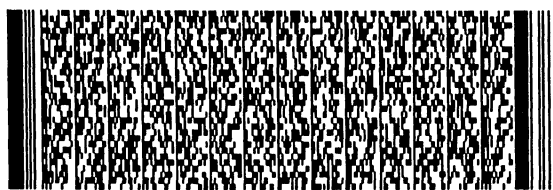


五、發明說明 (23)

第二電晶體653之第一源/汲極端係第一靜電偵測模組650的第一輸出端77，其第二源/汲極端653a係耦接至第二輸入端650b，而其閘極端52係耦接至第一電晶體651的閘極端53。在本實施例中，第一電晶體651和第二電晶體653係PMOS電晶體，並且其基體端全都耦接至第一輸入端650a。

請繼續參照第6C圖，第二靜電偵測模組660包括第三電晶體661和第四電晶體663，其中第三電晶體661的第一源/汲極端661a耦接至第三輸入端660a，其第二源/汲極係第二靜電偵測模組660的第四輸出端81，而其閘極端49係串接電容C4耦接至第四輸入端660b並且串接電阻R4至第三輸入端660a。第四電晶體663的第一源/汲極端係第二靜電偵測模組660的第三輸出端83，其第二源/汲極端663a耦接至第四輸入端660b，而其閘極端48耦接至第三電晶體661之閘極端49。在本實施例中，第三電晶體661和第四電晶體663係NMOS電晶體，並且第三電晶體661的基體端接地，而第四電晶體663的基體端663b則耦接至低電壓位準外部電源VSS。在本實施例的靜電保護電路中，其它的連結關係和工作模式，皆和第6A圖中的實施例相同，在此不再贅述。

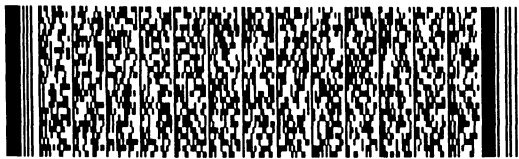
綜上所述，本發明之靜電保護電路是以雙觸發矽控整流元件所組合，因此當得積體電路因為ESD的發生而產生四種模式的狀態時，本發明之靜電保護電路所提供的雙觸發矽控整流元件模組，或是因為順偏而產生的寄生二極體會箝住(Clamp)一個非常低的電壓位準，所以能完全地保



五、發明說明 (24)

護在深次微米技術中愈來愈薄的開極氧化層。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

第1A圖係繪示習知的矽控整流元件結構圖。

第1B圖係繪示第1A圖之矽控整流原件的等效電路圖。

第2A圖係繪示依照本發明之一較佳實施例之雙觸發矽控整流元件結構圖。

第2B圖係繪示依照本發明另一較佳實施例之雙觸發矽控整流元件結構圖。

第2C圖係繪示依照本發明之一較佳實施例之雙觸發矽控整流元件的等效電路圖。

第3A圖係繪示當STI結構之雙觸發矽控整流元件的N型觸發端浮接時其I-V曲線圖。

第3B圖係繪示當STI結構之雙觸發矽控整流元件的N型和P型觸發端皆施加觸發電流時其I-V曲線圖。

第3C圖係繪示STI結構的雙觸發矽控整流元件在不同基底電流下其切換電壓的曲線圖。

第3D圖係繪示DG結構的雙觸發矽控整流元件在不同基底電流下其切換電壓的曲線圖。

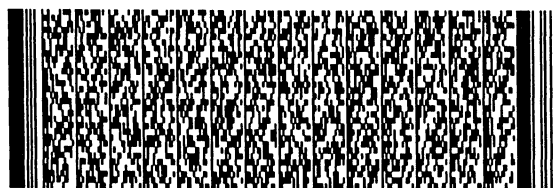
第3E圖係繪示STI結構的雙觸發矽控整流元件在不同N型井電流下其切換電壓的曲線圖。

第4A圖係繪示多級雙觸發矽控整流元件之結構圖。

第4B圖係繪示二級雙觸發矽控整流元件之結構在不同溫度下I-V曲線圖。

第4C圖係繪示三級雙觸發矽控整流元件之結構在不同溫度下I-V曲線圖。

第4D圖係繪示不同級數的雙觸發矽控整流元件之結構



圖式簡單說明

之溫度對維持電壓曲線圖。

第5A圖係繪示依照本發明之一較佳實施例之量測雙觸發矽控整流元件其啟動時間之電路圖。

第5B圖係繪示N型和P型觸發端輸入的電壓脈衝圖。

第5C圖和第5D圖係繪示當N型觸發端浮接並且對雙觸發矽控整流元件分別輸入具有脈寬為100ns、30ns之1.5V正脈衝訊號時，陽極端的輸出電壓時脈圖。

第5E圖係繪示當對N型觸發端輸入5V到0V的負脈衝訊號並且對雙觸發矽控整流元件輸入具有脈寬為30ns之1.5V正脈衝訊號時，陽極端的輸出電壓時脈圖。

第5F到第5H圖係繪示當雙觸發矽控整流元件同步對P型觸發端輸入1.5V正脈衝訊號和分別對N型觸發端浮接、輸入5V到2V負脈衝訊號、輸入5V到0V負脈衝訊號時，其陽極端的輸出電壓波型時脈圖。

第6A圖係繪示依照本發明之一較佳實施例之雙觸發矽控整流元件之靜電保護電路圖。

第6B圖係繪示依照本發明之一較佳實施例之第一和第二雙觸發矽控整流元件模等效電路圖。

第6C圖係繪示依照本發明另一實施例之雙觸發矽控整流元件之靜電保護電路。

【圖式標示說明】

31、33、35：電路

41、43：放大圖

48、49、52、53、84、85、86、87：閘極端



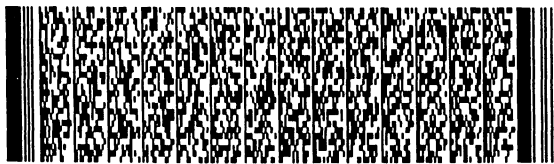
圖式簡單說明

- 51 : 電阻
 61 : 第一N型觸發端
 63 : 第一P型觸發端
 65 : 第二N型觸發端
 67 : 第二P型觸發端
 69、77 : 第一輸出端
 71、79 : 第二輸出端
 73、83 : 第三輸出端
 75、81 : 第四輸出端
 89 : 第一端
 91 : 第二端
 93 : 第三端
 95 : 第四端
 101、201 : P型基底
 103、203、205、209 : N型井區域
 107、215、221、227、235、245 : N+擴散區域
 108、211、218、225、231、241、249 : P+擴散區域
 115、257、611a、631a : 陽極端
 117、251、613d、633d : 陰極端
 119、121、123、125、127、213、217、219、223、226、
 229、233、239、243、247 : STI結構
 200、300 : 雙觸發矽控整流元件
 253、611c、613c、631c、633c : P型觸發端
 255、611b、613b、631b、633b : N型觸發端



圖式簡單說明

- 301、303、305、307、309、311：DG
- 610：第一雙觸發矽控整流元件模組
- 611：第一雙觸發矽控整流元件
- 613：第二雙觸發矽控整流元件
- 615：內部電路
- 617：輸出/入墊
- 620、650：第一靜電偵測模組
- 620a、650a：第一輸入端
- 620b、650b：第二輸入端
- 621：第一電晶體
- 623：第二電晶體
- 621a、641a、651a、661a：第一源/汲極端
- 623a、643a、653a、663a：第二源/汲極端
- 630：第二雙觸發矽控整流元件模組
- 631：第三雙觸發矽控整流元件
- 633：第四雙觸發矽控整流元件
- 640、660：第二靜電偵測模組
- 640a、660a：第三輸入端
- 640b、660b：第四輸入端
- 641：第三電晶體
- 643：第四電晶體
- 663a：基體端



六、申請專利範圍

1. 一種雙觸發矽控整流元件，包括：

一P型基底；

一第一N型井區域，係配置於該P型基底之中；

一第二N型井區域，係配置於該P型基底之中，並位於該第一N型井區域之一側；以及

一第三N型井區域，係配置於該P型基底之中，並與該第二N型井區域位於該第一N型井區域相對的兩側；

多數個N+擴散區域，包括：

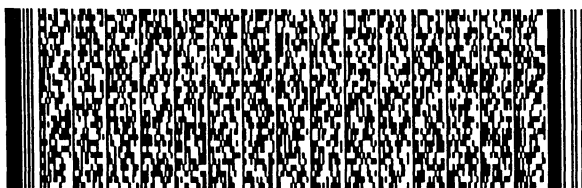
一第一N+擴散區域，配置於該第一N型井區域中，耦接一外部電源；

一第二N+擴散區域，配置於該第一N型井區域中，且位於該第一N+擴散區域之一側，係該雙觸發矽控整流元件之一N型觸發端；

一第三N+擴散區域，配置於該第一N型井區域中，係該雙觸發矽控整流元件之該N型觸發端，與該第二N+擴散區域分別配置於該第一N+擴散區域之相對兩側；

一第四N+擴散區域，與該第一N+擴散區域分別位於該第二N+擴散區域相異的兩側，並且部分配置於該第三N型井區域中，部分配置於該P型基底中，為該雙觸發矽控整流元件之一陰極端；以及

一第五N+擴散區域，與第一N+擴散區域分別位於該第三N+擴散區域相對的兩側，並且部分配置於該第三N型井區域中，部分配置於該P型基底中，為該雙觸發矽控整流元件之該陰極端；



六、申請專利範圍

多數個P+擴散區域，包括：

一 第一P+擴散區域，係配置在該第一N+擴散區域和該第二N+擴散區域之間，且配置於該第一N型井區域中，為該雙觸發矽控整流元件之一陽極端；

一 第二P+擴散區域，係配置在該第一N+擴散區域和該第三N+擴散區域之間，且配置於該第一N型井區域中，為該雙觸發矽控整流元件之該陽極端；

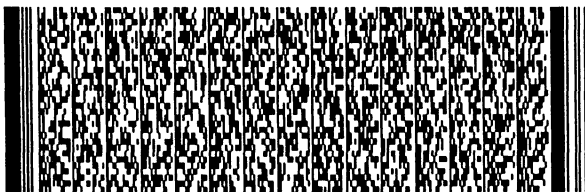
一 第三P+擴散區域，係配置在該第二N+擴散區域和該第四N+擴散區域之間，並且配置於該第一N型井區域與該第三N型井區域之間的該P型基底之中，係該雙觸發矽控整流元件之一P型觸發端；

一 第四P+擴散區域，係配置在該第三N+擴散區域和該第五N+擴散區域之間，並且配置於該第一N型井區域與該第二N型井區域之間的該P型基底之中，係該雙觸發矽控整流元件之該P型觸發端；

一 第五P+擴散區域，與該第三P+擴散區域分別位於該第四N+擴散區域相對的兩側，並且配置於該P型基底之中，為該雙觸發矽控整流元件的一接地端；以及

一 第六P+擴散區域，P+擴散區域與該第四P+擴散區域分別位於該第五N+擴散區域相對的兩側，並且配置於該P型基底之中，為該雙觸發矽控整流元件的該接地端；以及

多數個隔離結構，係建構於該P型基底中，並分別配置於該些N+擴散區域和該些P+擴散區域的的間隔處，且連



六、申請專利範圍

接該些N+擴散區域和該些P+擴散區域；

2. 如申請專利範圍第1項所述之雙觸發矽控整流元件，該些隔離結構包括一淺溝渠結構。

3. 如申請專利範圍第2項所述之雙觸發矽控整流元件，在0.25微米的互補式金氧半導體製程中，該淺溝渠結構的厚度包括0.4微米。

4. 如申請專利範圍第1項所述之雙觸發矽控整流元件，其中部分該些隔離結構包括一啞閘極。

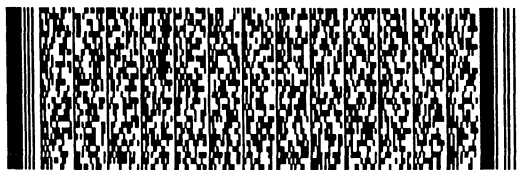
5. 如申請專利範圍第4項所述之雙觸發矽控整流元件，該啞閘極之材料包括一多晶材料。

6. 如申請專利範圍第1項所述之雙觸發矽控整流元件，在0.25微米的互補式金氧半導體製程中，該些N+擴散區域和該些P+擴散區域的厚度包括0.18微米。

7. 一種使用雙觸發矽控整流元件之靜電保護電路，係被製作於一積體電路內，並且安裝至一輸出/入墊和該積體電路之內部電路之間，該靜電保護電路包括：

一第一雙觸發矽控整流元件模組，具有一第一端、一第二端、一第一N型觸發端和一第一P型觸發端，該第一端係耦接至一高電壓準位外部電源，該第二端係耦接至該輸出/入墊和該積體電路之內部電路；

一第一靜電偵測模組，具有一第一輸出端、一第二輸出端、一第一輸入端和一第二輸入端，該第一輸出端係耦接至該第一N型觸發端，該第二輸出端係耦接至該第一P型觸發端，該第一輸入端係耦接至該高電壓位準外部電源，



六、申請專利範圍

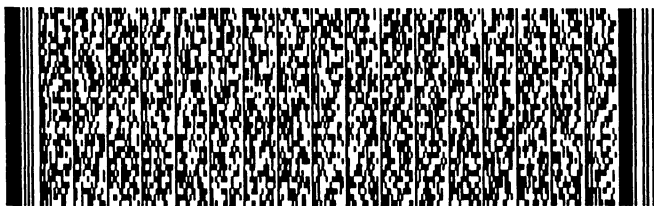
而該第二輸入端係耦接至該積體電路之內部電路和該輸出/入墊，當一負靜電放電電壓發生在該輸出/入墊時，該第一雙觸發矽控整流元件模組會由該第一N型觸發端送出放電電流至該第一靜電偵測模組至，並由該第二輸出端送出放電電流至該第一雙觸發矽控整流元件模組；

一 第二雙觸發矽控整流元件模組，具有一第三端、一第四端、一第二N型觸發端和一第二P型觸發端，該第三端係耦接至該輸出/入墊和該積體電路之內部電路，該第二端係耦接至一低電壓準位外部電源；以及

一 第二靜電偵測模組，具有一第三輸出端、一第四輸出端、一第三輸入端和一第四輸入端，該第三輸出端係耦接至該第二N型觸發端，該第四輸出端係耦接至該第二P型觸發端，該第三輸入端係耦接至該積體電路之內部電路和該輸出/入墊，而該第四輸入端則耦接至該低電壓位準外部電源，當一正靜電放電電壓發生在該輸出/入墊時，該第二雙觸發矽控整流元件模組會由該第二N型觸發端送出放電電流至該第二靜電偵測模組至，並由該第四輸出端導通該正極的靜電放電的電流至該第二雙觸發矽控整流元件模組。

8. 如申請專利範圍第7項所述之使用雙觸發矽控整流元件之靜電保護電路，其中該第一雙觸發矽控整流元件模組包括：

一 第一雙觸發矽控整流元件，具有陽極端、陰極端、N型觸發端和P型觸發端，該第一雙觸發矽控整流元件之陽



六、申請專利範圍

極端係該第一端；以及

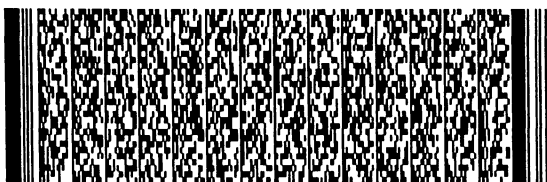
一 第二雙觸發矽控整流元件，具有陽極端、陰極端、N型觸發端和P型觸發端，該第二雙觸發矽控整流元件之陽極端耦接至該第一雙觸發矽控整流元件之陰極端，該第二雙觸發矽控整流元件之陰極端係該第二端，該第二雙觸發矽控整流元件之N型觸發端係耦接至該第一雙觸發矽控整流元件之N型觸發端為該第一N型觸發端，該第二雙觸發矽控整流元件之P型觸發端係耦接至該第一雙觸發矽控整流元件之P型觸發端為該第一P型觸發端。

9. 如申請專利範圍第7項所述之使用雙觸發矽控整流元件之靜電保護電路，其中該第二雙觸發矽控整流元件模組包括：

一 第三雙觸發矽控整流元件，具有陽極端、陰極端、N型觸發端和P型觸發端，該第三雙觸發矽控整流元件之陽極端係該第三端；以及

一 第四雙觸發矽控整流元件，具有陽極端、陰極端、N型觸發端和P型觸發端，該第四雙觸發矽控整流元件之陽極端耦接至該第三雙觸發矽控整流元件之陰極端，該第四雙觸發矽控整流元件之陰極端係該第四端，該第四雙觸發矽控整流元件之N型觸發端係耦接至該第三雙觸發矽控整流元件之N型觸發端為該第二N型觸發端，該第四雙觸發矽控整流元件之P型觸發端係耦接至該第三雙觸發矽控整流元件之P型觸發端為該第二P型觸發端。

10. 如申請專利範圍第7項所述之使用雙觸發矽控整流



六、申請專利範圍

元件之靜電保護電路，其中第一靜電偵測模組包括：

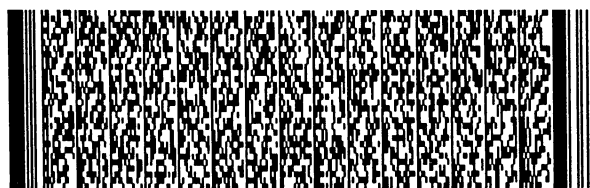
一 第一電晶體，係N型電晶體，該第一電晶體具有第一源/汲極端、第二源/汲極端、閘極端和基體端，該第一電晶體之第一源/汲極端係耦接至該第一輸入端，該第一電晶體之第二源/汲極端係該第二輸出端，該第一電晶體之閘極端係耦接至該第一輸入端和接地，而該第一電晶體之基體端接地；以及

一 第二電晶體，係N型電晶體，該第二電晶體具有第一源/汲極端、第二源/汲極端、閘極端和基體端，該第二電晶體之第一源/汲極端係該第一輸出端，該第二電晶體之第二源/汲極端係耦接至該第二輸入端，該第二電晶體之閘極與該第一電晶體之閘極端彼此互相耦接，而該第二電晶體之基體端接地。

11. 如申請專利範圍第7項所述之使用雙觸發矽控整流元件之靜電保護電路，其中第一靜電偵測模組包括：

一 第一電晶體，係P型電晶體，該第一電晶體包括具有第一源/汲極端、第二源/汲極端、閘極端和基體端，該第一電晶體之第一源/汲極端係耦接至該第一輸入端，該第一電晶體之第二源/汲極端係該第二輸出端，該第一電晶體之閘極端係耦接該第一輸入端和該第二輸入端，而該第一電晶體之基體端耦接至該第一輸入端；以及

一 第二電晶體，係P型電晶體，該第二電晶體具有第一源/汲極端、第二源/汲極端、閘極端和基體端，該第二電晶體之第一源/汲極端係該第一輸出端，該第二電晶體



六、申請專利範圍

之第二源/汲極端係耦接至該第二輸入端，該第二電晶體之閘極與該第一電晶體之閘極端彼此互相耦接，而該第二電晶體之基體端耦接至該第一輸入端。

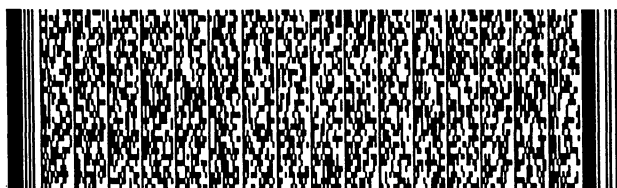
12. 如申請專利範圍第7項所述之使用雙觸發矽控整流元件之靜電保護電路，其中第二靜電偵測模組包括：

一 第三電晶體，係P型電晶體，該第三電晶體具有第一源/汲極端、第二源/汲極端、閘極端和基體端，該第三電晶體之第一源/汲極端耦接至該第三輸入端，該第三電晶體之第二源/汲極端係該第四輸出端，該第三電晶體之閘極端耦接至該高電壓位準外部電源和該第四輸入端，該第三電晶體之基體端耦接至該高電壓位準外部電源；以及

一 第四電晶體，係P型電晶體，該第四電晶體具有第一源/汲極端、第二源/汲極端、閘極端和基體端，該第四電晶體之第一源/汲極端係該第三輸出端，該第四電晶體之第二源/汲極端係耦接至該第四輸入端，該第四電晶體之該閘極端係與該第三電晶體之閘極端互相耦接，該第四電晶體之基體端耦接至該高電壓位準外部電源。

13. 如申請專利範圍第7項所述之使用雙觸發矽控整流元件之靜電保護電路，其中第二靜電偵測模組包括：

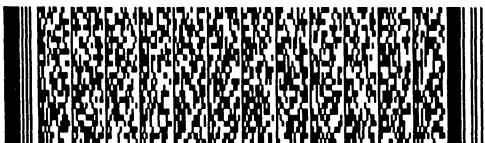
一 第三電晶體，係N型電晶體，該第三電晶體具有第一源/汲極端、第二源/汲極端、閘極端和基體端，該第三電晶體之第一源/汲極端耦接至該第三輸入端，該第三電晶體之第二源/汲極端係該第四輸出端，該第三電晶體之閘極端耦接至第三輸入端和該第四輸入端，該第三電晶體

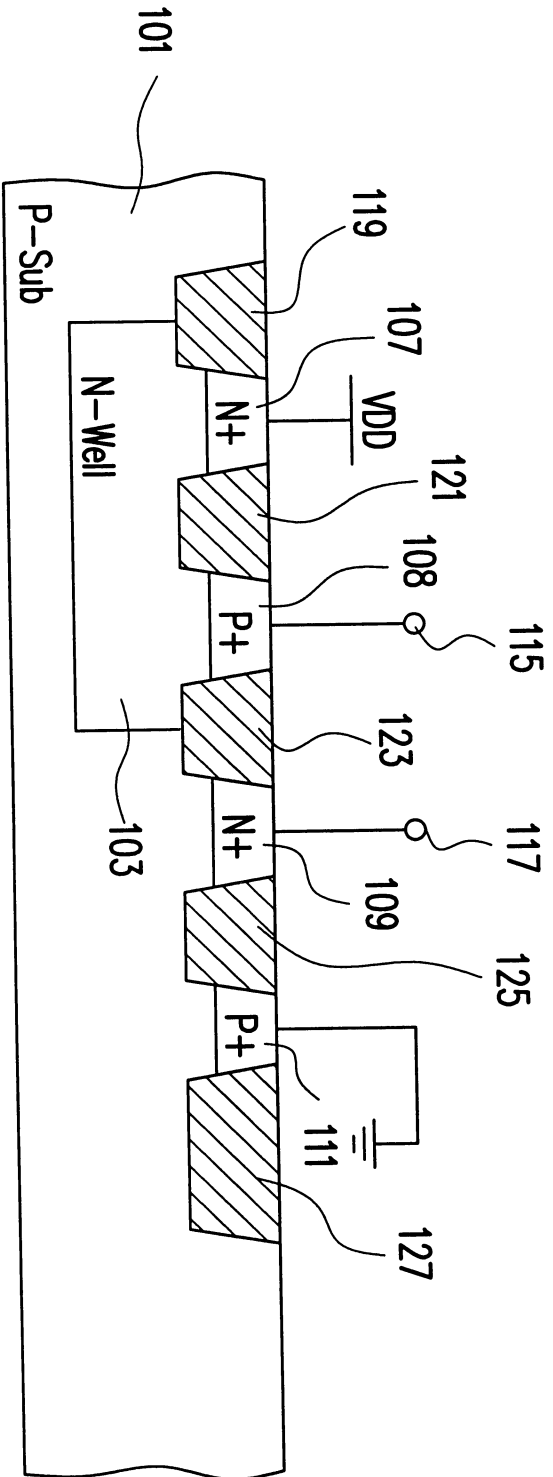


六、申請專利範圍

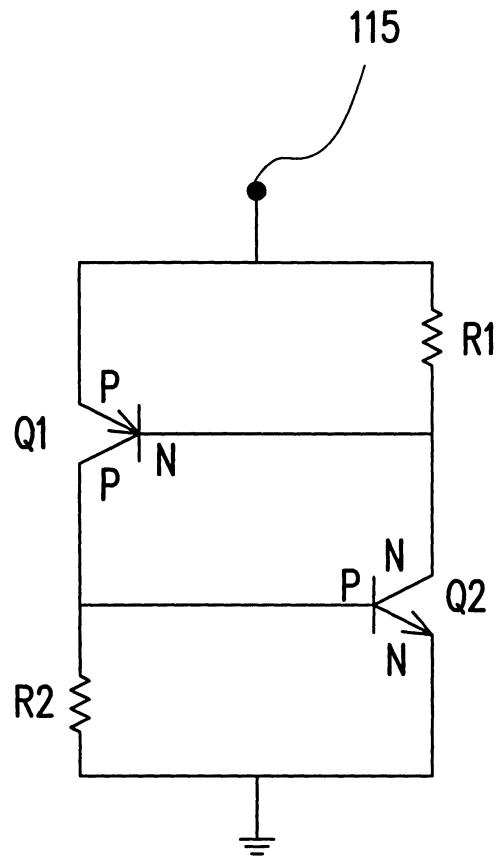
之基體端接地；以及

一 第四電晶體，係N型電晶體，該第四電晶體具有第一源/汲極端、第二源/汲極端、閘極端和基體端，該第四電晶體之第一源/汲極端係該第三輸出端，該第四電晶體之第二源/汲極端係耦接至該第四輸入端，該第四電晶體之該閘極端係與該第三電晶體之閘極端互相耦接，該第四電晶體之基體端耦接至該第四輸入端。

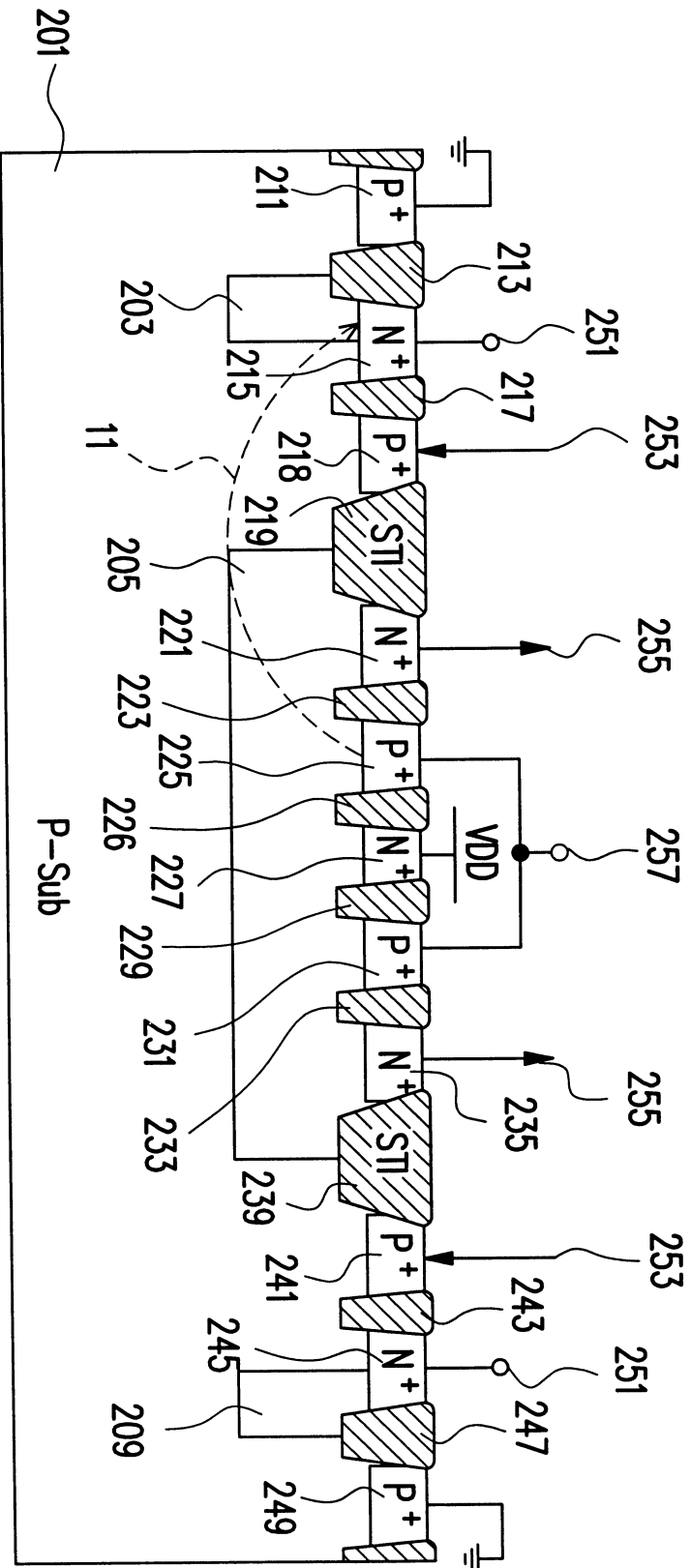




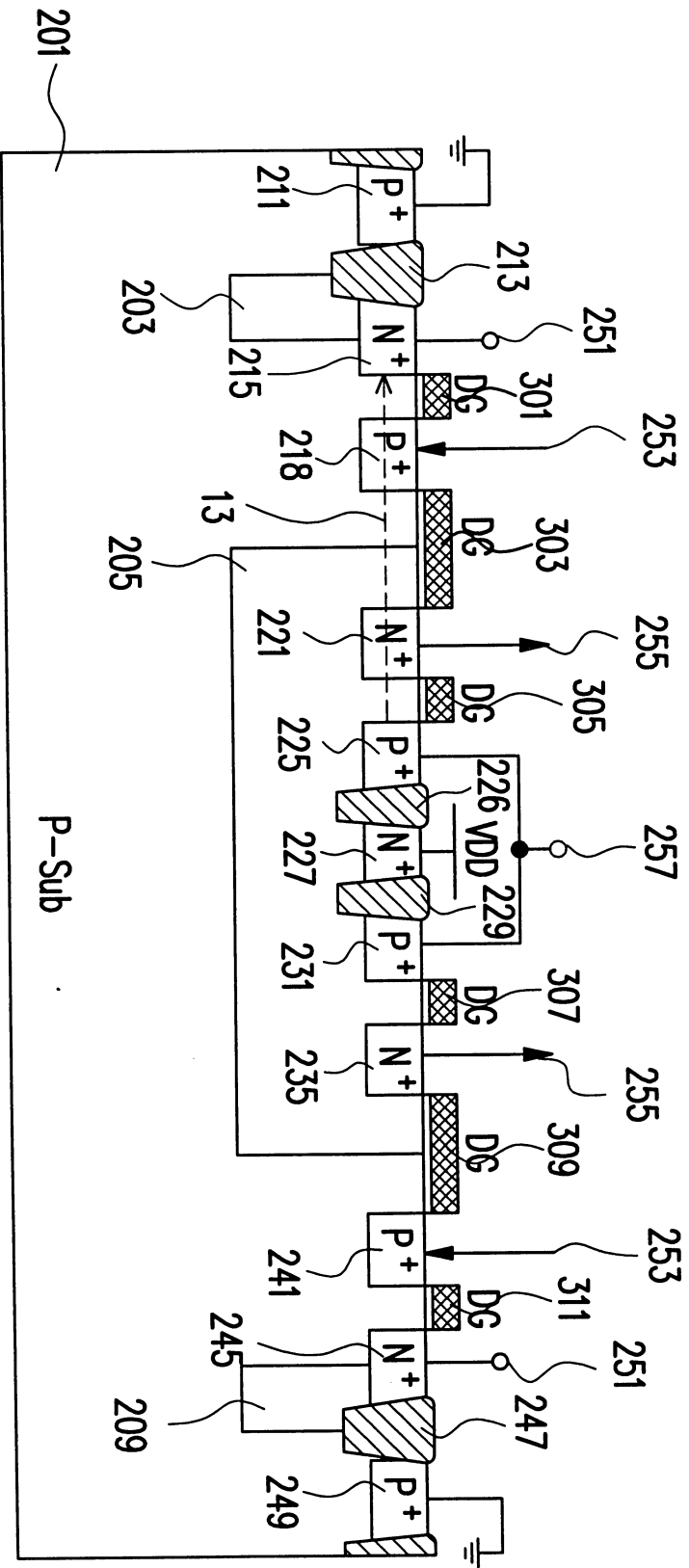
第1A圖



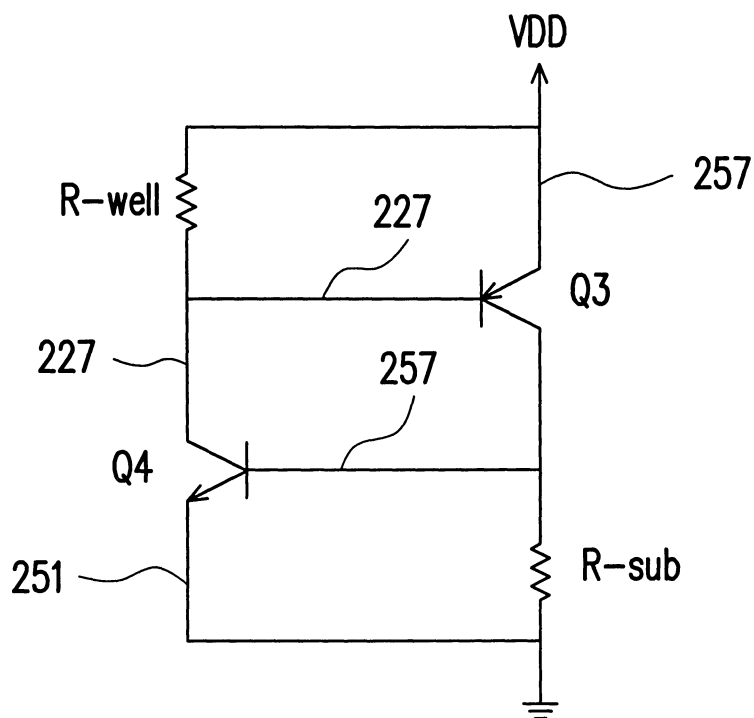
第1B圖



第 2A 圖

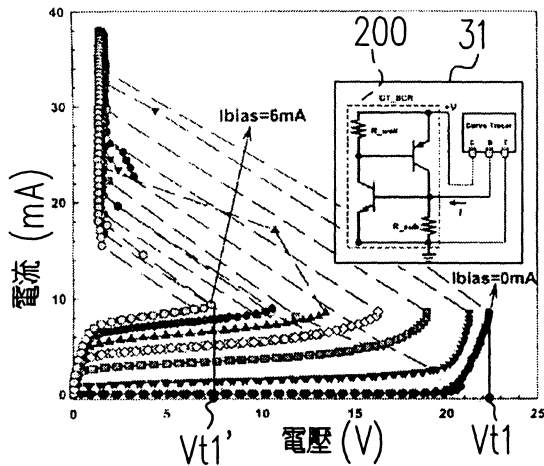


第2B圖

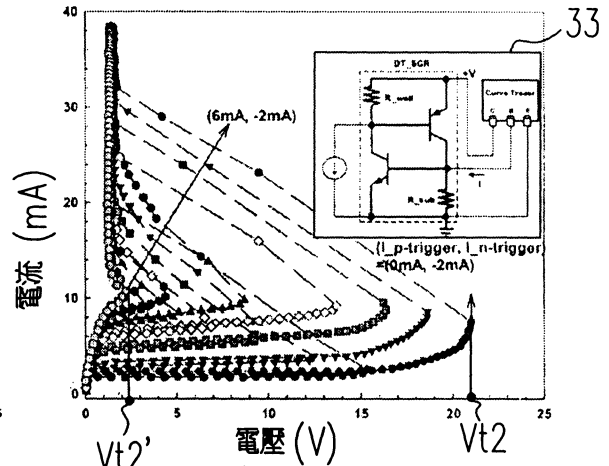


第 2C 圖

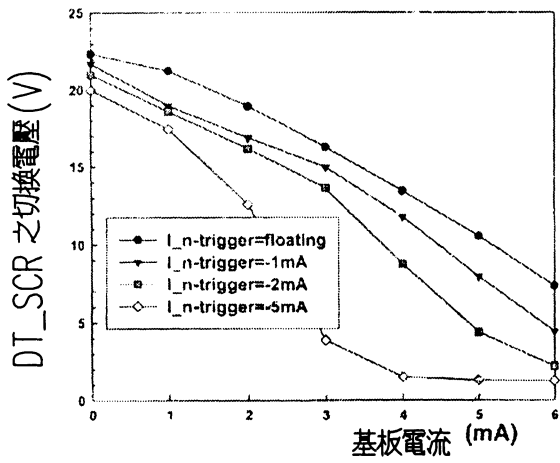
12053TW-I



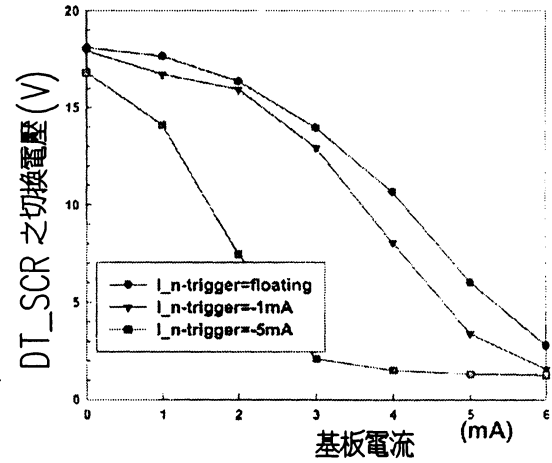
第3A圖



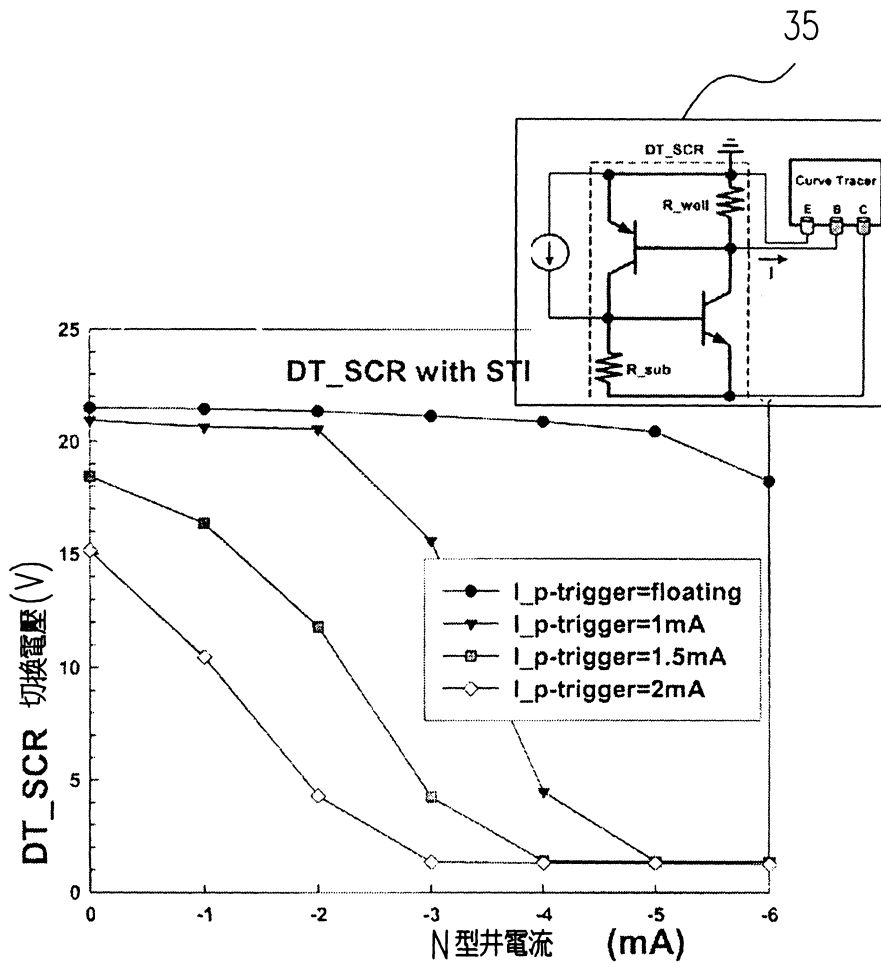
第3B圖



第3C圖

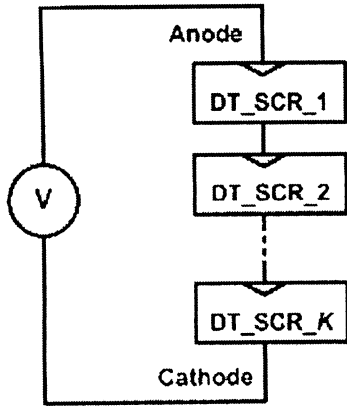


第3D圖

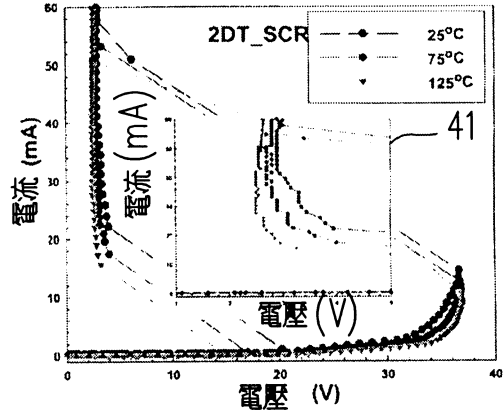


第3E圖

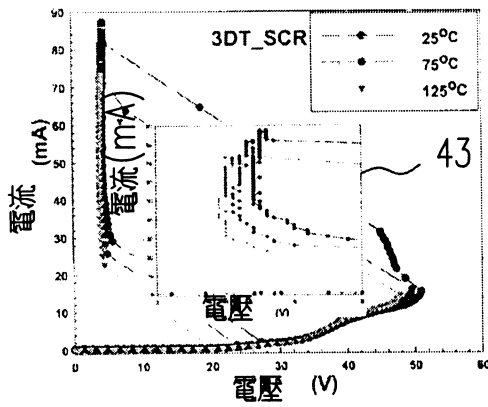
12053TW-I



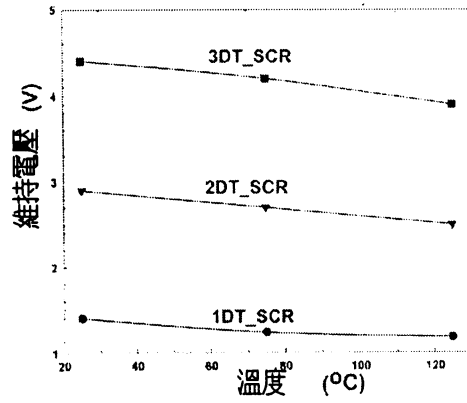
第4A圖



第4B圖

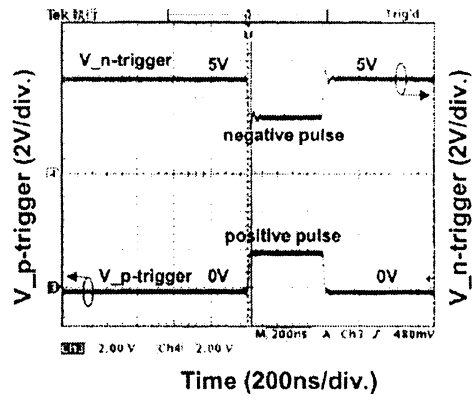
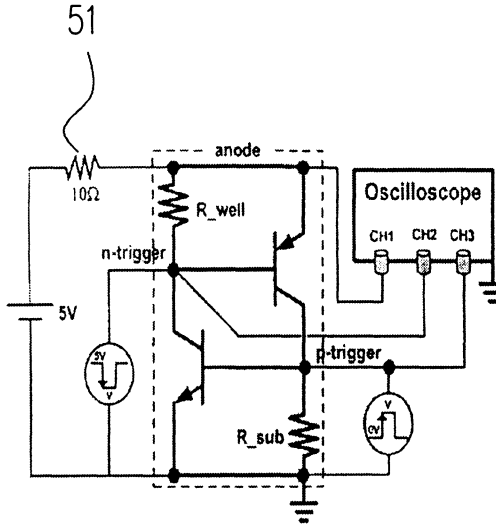


第4C圖



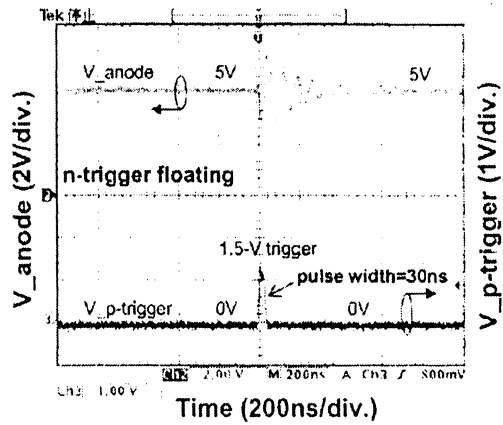
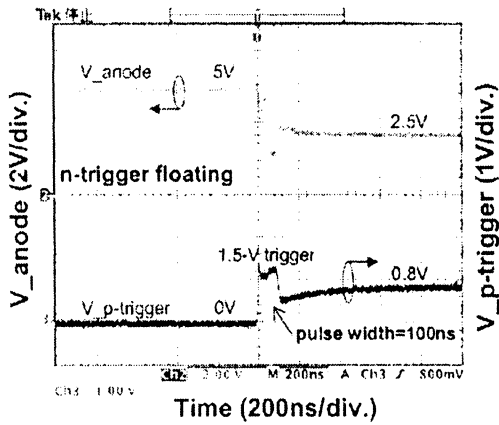
第4D圖

12053TW-I



第5A圖

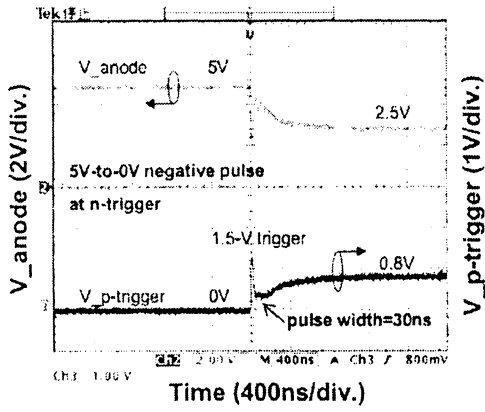
第5B圖



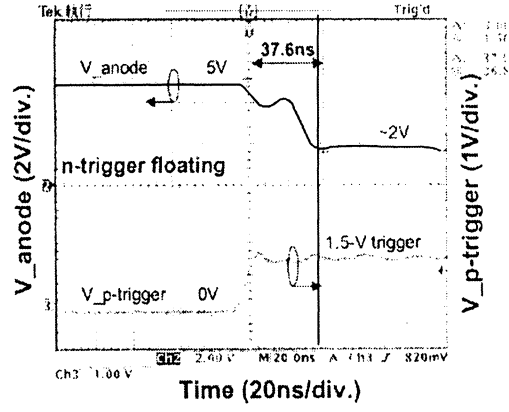
第5C圖

第5D圖

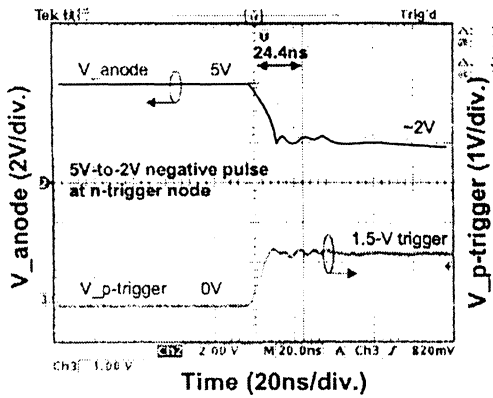
12053TW-I



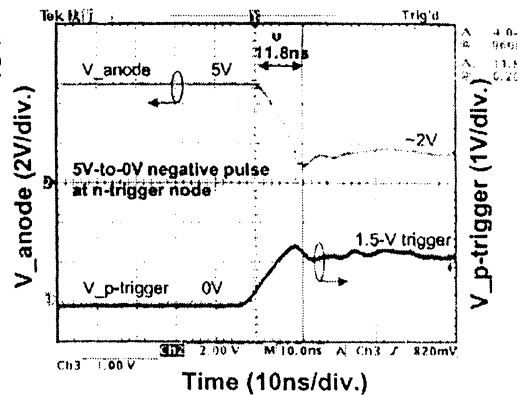
第5E圖



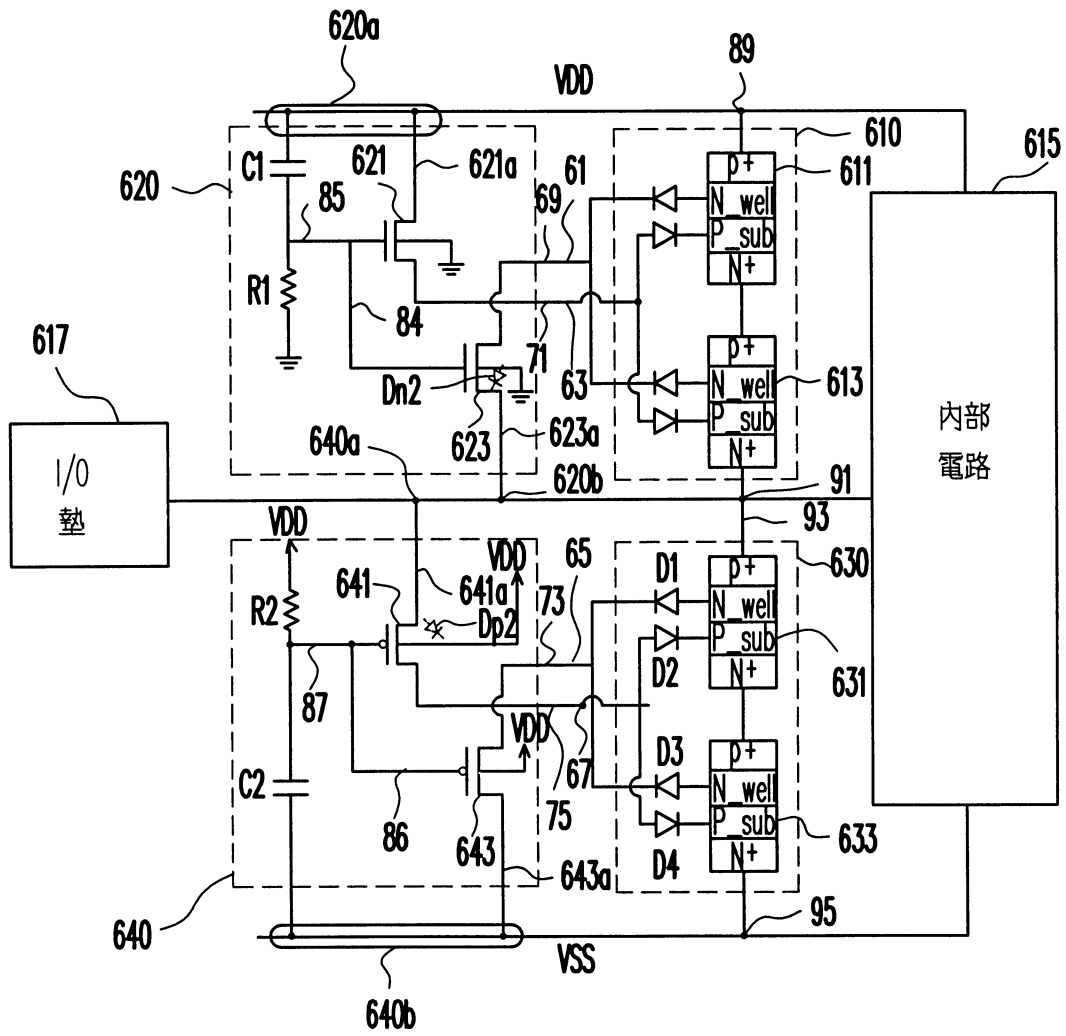
第5F圖



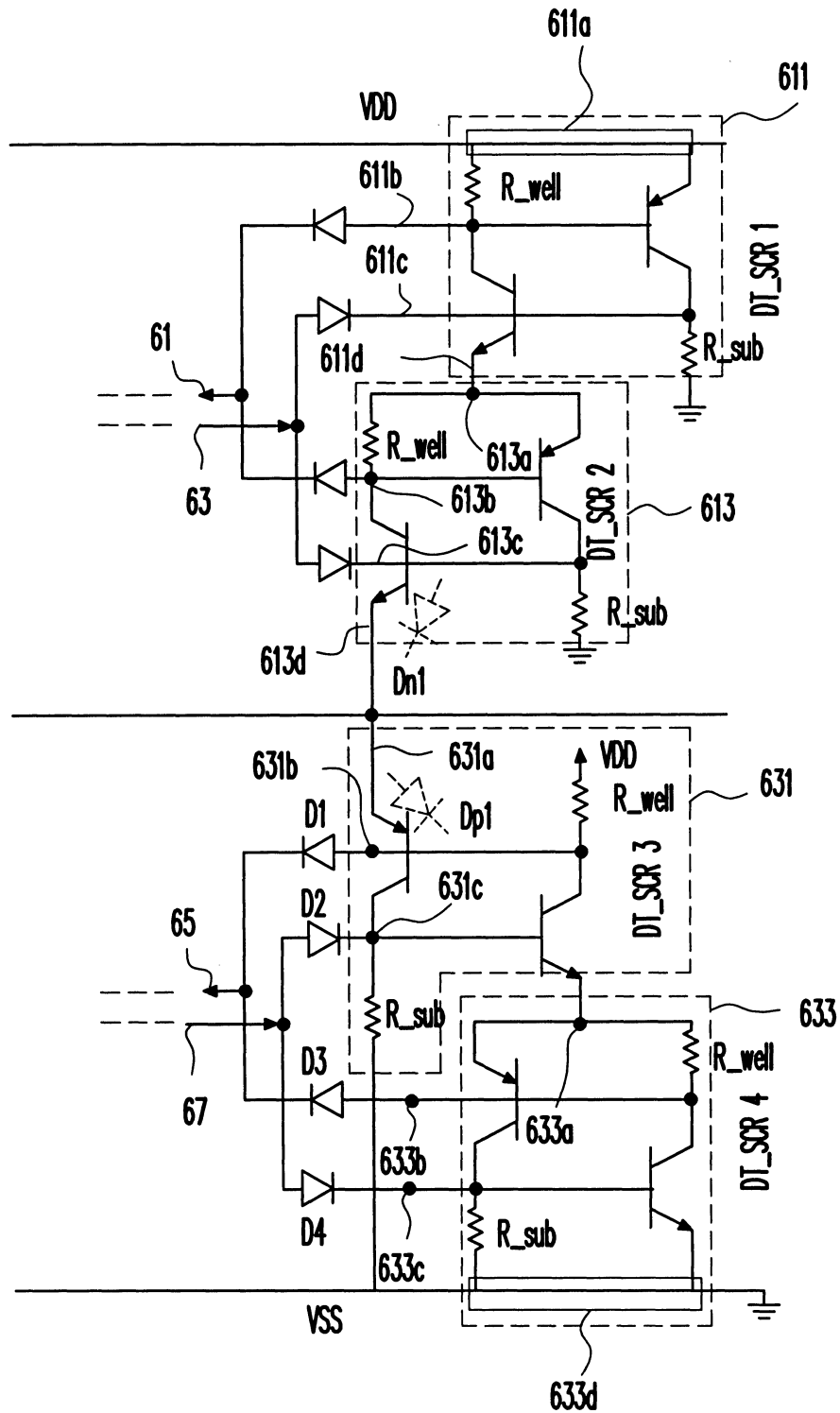
第5G圖



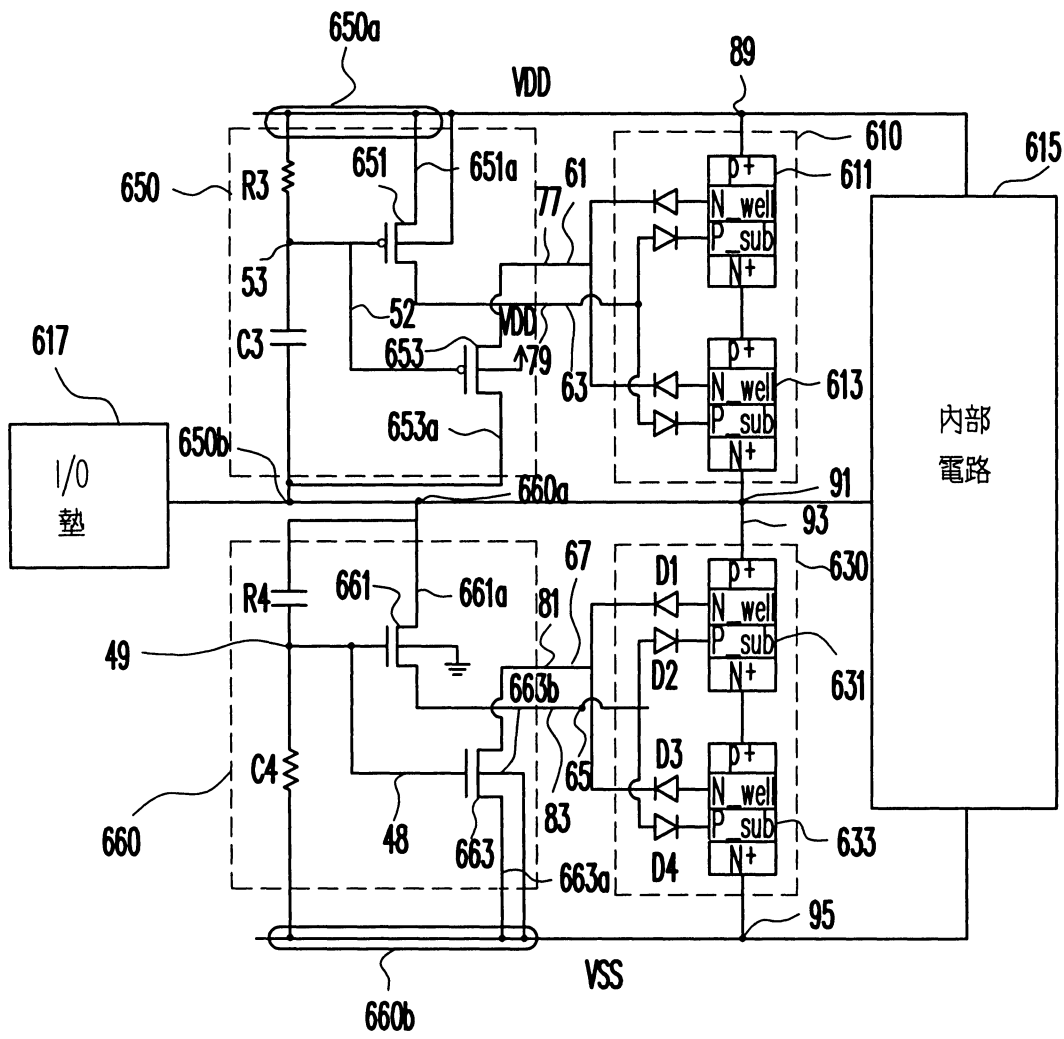
第5H圖



第6A圖



第 6B 圖



第 6C 圖