

# 公告本

93年7月5日  
修正本

年 月 日 修正

申請日期： 92.7.1

IPC分類

申請案號： 92117929

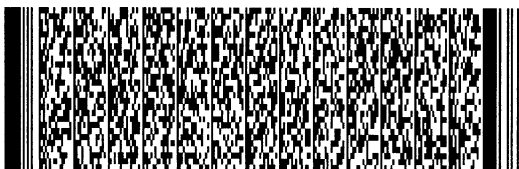
H01G21/203

(以上各欄由本局填註)

## 發明專利說明書

I222675

一、 發明名稱	中文	砷化鎳元件背面銅金屬化之製作方法
	英文	
二、 發明人 (共2人)	姓名 (中文)	1. 李承士 2. 張翼
	姓名 (英文)	1. 2.
	國籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW
	住居所 (中文)	1. 桃園縣龜山鄉萬壽路2段1176巷15號5樓 2. 新竹市湖濱二路38號
	住居所 (英文)	1. 2.
三、 申請人 (共1人)	名稱或姓名 (中文)	1. 國立交通大學
	名稱或姓名 (英文)	1.
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中文)	1. 新竹市大學路1001號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1.
	代表人 (中文)	1. 張俊彥
	代表人 (英文)	1.



## 一、本案已向

國家(地區)申請專利	申請日期	案號	主張專利法第二十四條第一項優先權
------------	------	----	------------------

無

二、主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間

日期：

四、有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

熟習該項技術者易於獲得,不須寄存。

## 四、中文發明摘要 (發明名稱：砷化鎵元件背面銅金屬化之製作方法)

本發明砷化鎵元件背面銅金屬化之製作方法，係將砷化鎵元件背面金屬化金屬由金改為銅，由於銅的阻值較低，且散熱與機械強度亦較金優異。因此，以銅作為金屬化金屬之元件，可改善元件的散熱、機械強度、導電度，更可增進元件的特性及可靠度。並藉由鎢(W)、氮化鎢(WN)、氮化鈦鎢(TiWN)等薄膜作為擴散阻障層，有效阻擋銅易擴散入砷化鎵基材而改變元件特性之問題。

## 五、英文發明摘要 (發明名稱：)



## 六、指定代表圖

五、(一)、本案代表圖為：第\_\_\_\_\_一\_\_\_\_\_圖

(二)、本案代表圖之元件代表符號簡單說明：

1 . . . . . 石英

2 . . . . . 蠟

3 . . . . . 晶片

4 . 擴散障礙層 / 銅



## 五、發明說明 (1)

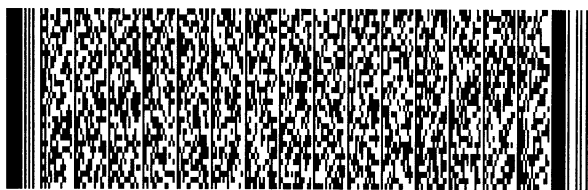
## 【發明所屬之技術領域】

本發明砷化鎵元件背面銅金屬化之製作方法，係將現有的砷化鎵 (GaAs) 元件之後段製程的金屬化部分，由現有的金為主的製程改為銅製程，由於銅的阻值較低且散熱也比金好，機械程度也較金為優異，且本發明使用擴散障礙層來阻擋銅的擴散，同時並具有良好的附著和阻擋能力，且良好的附著性及阻擋能力，可增加晶片的機械強度，使接下來後段製程中不至於碎裂。

## 【先前技術】

按，自從國際商業機器公司 (International Business Machines Corporation, IBM) 成功的將銅應用於矽積體電路 (IC) 的製程後，銅金屬化製程於矽積體電路 (IC) 製程即成為一個非常熱門的主題。以銅作為矽積體電路 (IC) 製程中金屬化之金屬，具有低電阻率與對電子遷移效應抵抗性較佳之優點，然而，銅會擴散至矽中，因此過去並不採用銅作為金屬化之金屬，在以鈹 (Ta) 與氮化鈹 (TaN) 等作為擴散障礙層解決銅擴散至矽之問題後，銅即取代鋁作為矽積體電路 (IC) 製程中金屬化之金屬。雖然目前於矽積體電路 (IC) 製程中使用銅作為金屬化金屬已非常熱門，但使用銅作為砷化鎵場效電晶體 (Field-Effect Transistors, FETs) 金屬化之金屬則尚未被使用。

砷化鎵場效電晶體 (Field-Effect Transistors,

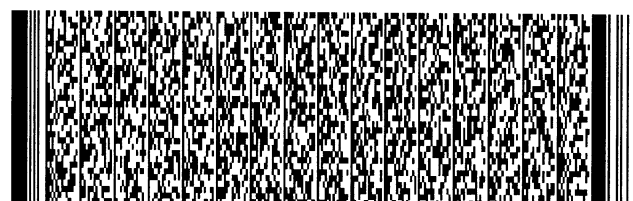
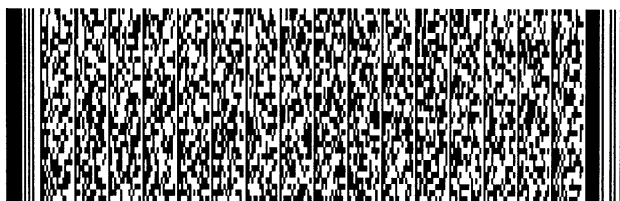


## 五、發明說明 (2)

FETs) 與單晶微波積體電路 (Monolithic Microwave Integrated Circuits, MMICs) 目前均以金 (Au) 作為金屬化之金屬，如用於電容、傳輸線與接地平面等，而傳輸線與接地平面所需金之厚度大於 $2-3 \mu\text{m}$ ，因此使用的金量極大，成本較高。且砷化鎵元件具有熱傳導性低與基材易碎等問題，特別像是需要放出大量熱的砷化鎵高頻功率元件 (Power FETs)，因此砷化鎵高頻功率元件之晶片厚度需薄至2到5mils以增加散熱效果，然而，如此一來會使得基材非常容易碎裂，若以銅作為砷化鎵元件之背面金屬化之金屬可提高機械強度且亦可增進散熱能力。

傳統的背面金屬化製程主要係在晶片研磨約至 $100 \mu\text{m}$ 厚度後，作穿孔 (Via hole) 製程，隨後再鍍上鈦化鎢 (TiW)，金 (Au) 等金屬，可增加散熱能力，作為接地金屬，並增加元件的機械性質，因為晶片此時的厚度極薄，背面鍍上一層金屬有助於幫助晶片的機械強度。金屬化材料需要有極佳的導熱與導電性，銅與金相比，具有較佳的機械強度，因此能使晶片有較佳的機械強度，且銅亦有較佳的導熱性與導電性，若以銅取代金，可使元件有較好的散熱特性與較佳的接地，因此使用銅取代金作為金屬化之金屬具有低電阻、高導熱性、便宜等優點。

然而，由於銅於砷化鎵之擴散效應極快，且銅會於砷化鎵中形成深層受體 (Deep Acceptor)，使得砷化鎵元件的電氣性質減低，因此於砷化鎵的產業上，過去一直無使用銅作為金屬化材料，如何將銅作為砷化鎵元件金屬化

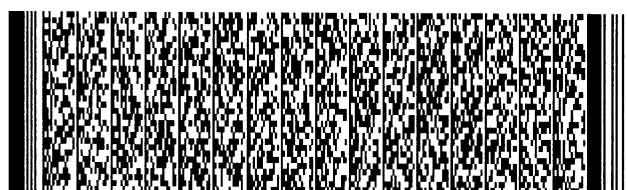
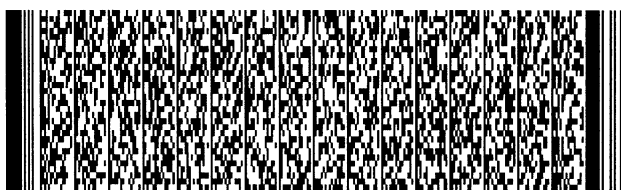


## 五、發明說明 (3)

之金屬則成為一個急待解決的問題。以下，將目前有關採用銅為金屬化金屬之專利作一分析。

中華民國專利公告號碼第465069號專利之「銅金屬之障壁」(2002/11/03)，此專利主要針對矽材料的前段製程之銅金屬化，係在一基材上依序使用鈹(Ta)、氮化鈹(TaN)、氮化鈦(TiN)等材料形成銅之障壁，可用於積體電路的前端(frontside)製程，因此，其基材上包含了需多不同深寬比的圖案，然而本發明所用的障壁只有單一層，且使用的材料亦不同，如此在製程上較為簡便，且阻擋銅金屬的擴散效果優異。此外第465069號專利主要係針對矽材料，而本發明乃適用於砷化鎵元件，且可適用於後端(backside)製程。

而，中華民國專利公告號碼第436995號專利之「銅製程之阻障層製作方法」(2001/05/03)，主要係為銅製程的阻障層製作方法，其使用之阻障層為鈦(Ti)、氮化鈦(TiN)，所採用形成阻障層的方式為離子化金屬電漿濺鍍製程或採用有機金屬氣相磊晶法(Metal Organic Vapor Epitax, MOCVD)。銅金屬使用離子化金屬電漿電鍍製程，所使用的無線電波頻率為13.56MHz，功率為0至300W之間，或是使用電鍍方法將銅鍍上，但是鍍銅之前需先鍍一層銅種子層。然，本發明之阻障層與此專利有明顯的不同，由於第436995號專利並非用於後端(backside)製程，因此若使用第436995號專利的阻障層製作方法，將無法使金屬完全鍍於穿孔(Via hole)的側壁上。



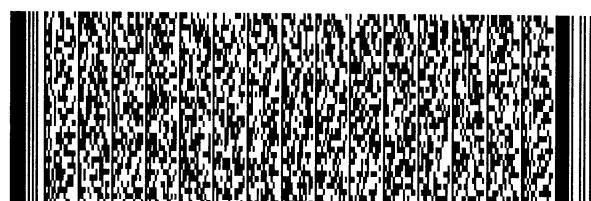
## 五、發明說明 (4)

又，中華民國專利公告號碼第280002號專利之「銅金屬化鈮氮化物擴散屏蔽製作方法」(1996/07/01)，主要係使用氮化鈮(TaN)作為銅金屬之阻障層，氮化鈮(TaN)的沉積方法係採用有機金屬氣相磊晶法(Metal Organic Vapor Epitax, MOCVD)的方法，而使用有機金屬氣相磊晶法(Metal Organic Vapor Epitax, MOCVD)方法鍍完後需將晶片取出，容易造成晶片的氧化或污染，製程上較為不便，然，本發明之阻障層乃是採用濺鍍方法，使用此方法不需將晶片破真空，即可直接鍍銅，因此更適用於產業製程上。

由於金的價格高，且導熱性與機械性質相對較差，無法有效改善晶片的機械性質及散熱效果，而銅金屬化極易擴散至砷化鎵基材，且銅金屬化製程無法適用於後端(backside)製程、製程不便種種問題尚待改進。因此本發明人遂竭其心智研究克服，進而研發出一種砷化鎵元件之背面銅金屬化製作方法，主要係將砷化鎵元件後段製程採用銅作為金屬化之金屬，藉由適當的擴散阻擋層阻擋銅，且使用傳統之濺鍍方法，不僅獲得較佳特性之晶片，且製程上更為便利，更適用於產業製程上。

## 【發明內容】

由是，本發明的主要目的，即在利用濺鍍、蒸鍍或電鍍的方式將銅作為砷化鎵元件背面金屬化金屬，並利用鎢(W)、氮化鎢(WN)、氮化鈦鎢(TiWN)等薄膜作為擴





## 五、發明說明 (5)

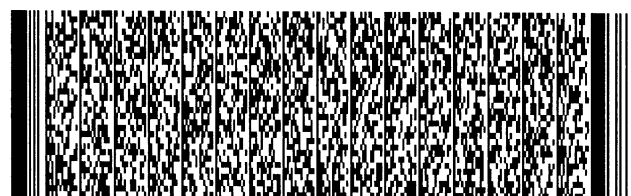
散阻障層，有效的阻擋銅擴散入砷化鎵基材，藉由銅作為金屬化金屬可改善元件散熱、機械強度、導電度及元件特性與可靠度，亦由於製程便利，可適用於產業上之利用。

為達上述目的，本發明是這樣實現的：一種砷化鎵元件背面銅金屬化之製作方法，係於基材背面上鍍上一層鎢（W）、氮化鎢（WN）、氮化鈦鎢（TiWN）等薄膜作為擴散阻障層，隨後鍍上一層銅作為金屬化金屬，藉由該擴散屏蔽層阻擋銅擴散入砷化鎵基材內，且由於銅之金屬特性可改善元件散熱、機械強度、導電度等特性。

## 【實施方式】

為使貴審查委員瞭解本發明之目的、特徵及功效，茲藉由下述具體之實施例，並配合所附之圖式，對本發明做一詳細說明，說明如后：

請參閱第一圖，係為本發明之側剖圖，如圖所示，首先，將晶片磨薄至 $100\ \mu\text{m}$ 的厚度之後，以感應耦合電漿（Inductively Coupled Plasma, ICP）乾式蝕刻的方式製作穿孔（via hole），孔洞需具有一傾斜度，以方便後續濺鍍或蒸鍍之金屬能夠完全填滿孔洞。將擴散障礙層以濺鍍或蒸鍍之方式鍍於晶片背面上，厚度約為 $40$ 至 $100\ \text{nm}$ ，隨後再鍍上一層約 $2-10\ \mu\text{m}$ 厚的銅，接著採用濺鍍或電鍍的方式將銅鍍到所需的厚度。此外，所採用的濺鍍機需要加裝準直器（Collimator），以使濺鍍金屬能夠完全覆蓋到洞的內壁，藉此可獲得第一圖之結構，係為石英1、蠟



## 五、發明說明 (6)

2、晶片3及擴散障礙層/銅4。

如砷化鎵金屬半導體場效電晶體

(Metal-Semiconductor Field Effect Transistor, MESFET), 鍍膜前需先清洗, 首先將砷化鎵基底分別置入煮沸的丙酮及異丙酮各五分鐘後, 浸入氫氟酸 (HF) : 過氧化氫 ( $H_2O_2$ ) : 水 ( $H_2O$ ) 為1 : 2 : 20的溶液20秒與鹽酸 (HCl) : 水 ( $H_2O$ ) 為1 : 4的溶液1分鐘。將40nm的氮化鈮 (TaN) 薄膜濺鍍於3-in (100) 的砷化鎵基底上, 接著在多靶磁控濺鍍系統 (multitarget magnetron sputtering system) 未破真空的情形下, 鍍上一層2-10nm的銅 (Cu) 薄膜與一層10nm的氮化鈮 (TaN) 薄膜於氮化鈮 (TaN) 薄膜之上, 頂層的氮化鈮 (TaN) 薄膜係用來防止銅 (Cu) 層氧化及防止高溫退火時氧滲透入薄膜。氮化鈮 (TaN) 薄膜皆藉著鈮 (Ta) 與氮/氬 ( $N_2/Ar$ ) 混合氣體 (20%  $N_2$  與80%  $Ar$ ) 所產生的反應濺鍍。此外, 未濺鍍前真空壓力為  $2.6 \times 10^{-5} Pa$ , 且薄膜濺鍍時總氣壓保持在0.8 Pa。最後置入氬 (Ar) 氣氛, 溫度400 °C至600 °C下進行30分鐘退火。

將氮化鈮/銅/氮化鈮/砷化鎵 (TaN/Cu/ TaN/GaAs) 進行X光繞射分析, 請參閱第二圖, 係為不同溫度退火後X光繞射分析圖, 如圖所示, 由下到上的分別為剛鍍完及400 °C、500 °C、550 °C與600 °C退火, 由第二圖可見氮化鈮 (TaN) 及銅 (Cu) 之繞射峰維持到550 °C仍然十分清楚, 表示銅/氮化鈮/砷化鎵 (Cu/ TaN/GaAs) 的結構之界面一

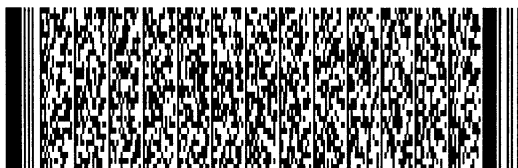


## 五、發明說明 (7)

直到550 °C 仍然十分穩定。經過600 °C 退火後，出現砷化鉭 (TaAs) 、銅鎵化合物 (Cu<sub>3</sub>Ga) 、砷化銅 (Cu<sub>2</sub>As) 之繞射峰，顯示鉭 (Ta) 與砷化鎵 (GaAs) 在600 °C 產生反應，然，經過600 °C 退火後氮化鉭 (TaN) 與銅 (Cu) 之繞射峰仍然存在，顯示反應與擴散並非全面性。

表一與表二係為銅金屬化與未經銅金屬化之150 μm 元件退火前後飽和汲源極電流 ( $I_{dss}$ ) 、跨導 ( $G_m$ ) 、夾止電壓 ( $V_p$ ) 之變化值與變化百分比， $I_{dss}$  於汲-源極電壓 ( $V_{ds}$ ) 為2V 下， $G_m$  於閘極偏壓 ( $V_{gs}$ ) 為0V 且  $V_{ds}$  為2 V 下進行測試，而  $V_p$  於  $I_{ds}$  為150mA 下進行測試。銅金屬化元件之飽和汲源極電流 ( $I_{dss}$ ) 、跨導 ( $G_m$ ) 、夾止電壓 ( $V_p$ ) 之變化百分比分別為1.60% 、0.73% 、1.35% ，與未經銅金屬化之飽和汲源極電流 ( $I_{dss}$ ) 、跨導 ( $G_m$ ) 、夾止電壓 ( $V_p$ ) 之變化百分比分別為3.93% 、3.03% 、3.00% 值相近，可知銅並未擴散至砷化鎵中破壞元件。

表一



## 五、發明說明 (8)

150 $\mu$ m 銅金屬化元件			
變化值		變化百分比 (%)	
$\Delta I_{dss}$ (Ma)	0.51	$\Delta I_{dss} / I_{dss}$	1.60
$\Delta G_m$ ( $V_{gs} = 0V$ ) (mS/mm)	0.75	$\Delta G_m / G_m$	0.73
$\Delta V_P$ (V)	0.04	$\Delta V_P / V_P$	1.35

表 二

150 $\mu$ m 未經銅金屬化元件			
變化值		變化百分比 (%)	
$\Delta I_{dss}$ (Ma)	0.91	$\Delta I_{dss} / I_{dss}$	3.93
$\Delta G_m$ ( $V_{gs} = 0V$ ) (mS/mm)	3.07	$\Delta G_m / G_m$	3.03
$\Delta V_P$ (V)	0.08	$\Delta V_P / V_P$	3.00

銅金屬化與未經銅金屬化元件之射頻特性 (RF characteristics) 進行熱穩定測試，如表三與表四所示



## 五、發明說明 (9)

，係以 $V_{ds}$ 為7V下，而 $I_{ds}$ 為100mA下進行測試， $1\mu\text{m} \times 10\text{mm}$ 之銅金屬化元件經過300°C、2個小時退火，最大振盪頻率( $f_{max}$ )，最大功率增益( $G_{max}$ )與單向功率增益( $U_G$ )的變化量分別為0.34GHz、0.38 dB與0.69 dB，而 $1\mu\text{m} \times 10\text{mm}$ 之未經銅金屬化元件經過300°C、2個小時退火，最大振盪頻率( $f_{max}$ )，最大功率增益( $G_{max}$ )與單向功率增益( $U_G$ )的變化量分別為-0.4GHz、0.1 dB與0.56 dB。於銅金屬化前後兩者變化量相近，因此電性變化乃由於元件本身受熱效應所引起，銅金屬化並不會破壞元件之性能。

表 三

1 $\mu\text{m} \times 10\text{mm}$ 之銅金屬化元件				
元件參數	退火前	退火後	變化值	
$f_{max}$ (GHz)	10.37	10.03	$\Delta f_{max}$ (GHz)	0.34
0.9GHz 下之 $G_{max}$ (dB)	17.24	16.86	0.9GHz 下之 $\Delta G_{max}$ (dB)	0.38
0.9GHz 下之 $U_G$ (dB)	19.00	18.31	0.9GHz 下之 $\Delta U_G$ (dB)	0.69

表 四



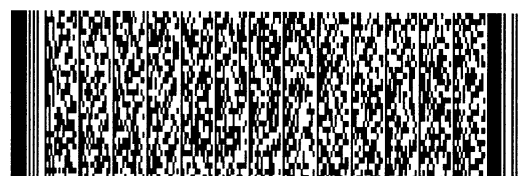
## 五、發明說明 (10)

1 $\mu$ m $\times$ 10mm 之銅金屬化元件				
元件參數	退火前	退火後	變化值	
$f_{\max}$ (GHz)	9.6	10	$\Delta f_{\max}$ (GHz)	-0.4
0.9GHz 下之 $G_{\max}$ (dB)	17.36	17.26	0.9GHz 下之 $\Delta G_{\max}$ (dB)	0.1
0.9GHz 下之 $U_G$ (dB)	19.86	19.30	0.9GHz 下之 $\Delta U_G$ (dB)	0.56

藉由本發明之砷化鎵元件背面銅金屬化之製作方法，可以構成以下之特點：

- 一、藉由銅作為背面金屬化之元件具有優良的熱傳導性與功率性質，可改善元件的散熱、機械強度及導電度，並增進元件的特性及可靠度，且由於銅之價格便宜，除提高元件特性外，更可降低成本。
- 二、藉由鎢 (W)、氮化鎢 (WN)、氮化鈦鎢 (TiWN) 等薄膜作為擴散阻障層，可有效阻擋銅易擴散入砷化鎵基材而改變元件特性之問題。
- 三、本發明僅需使用單一層障壁，在製程上較為簡便，且阻擋銅金屬的擴散效果優異。
- 四、本發明係可採用濺鍍方法，不需將晶片破真空，可直接鍍銅，更適於產業利用。

承前所述，本發明較習用技術創新，且具有前述之優點與便利及實用的價值，極具新穎性與進步性，符合發明



## 五、發明說明 (11)

專利之法定要件，爰依法提出發明專利申請。

雖本發明已一較佳實施例揭露如上，但並非用以限定本發明之實施之範圍，任何熟習此項技藝者，在不脫離本發明之精神與範圍內，當可做些許的變動與潤飾，及凡依本發明所作的均等變化與修飾，應以本發明之申請專利範圍所涵蓋，其界定應已申請專利範圍為準。



## 圖式簡單說明

第一圖係為本發明之側剖圖

第二圖係為不同溫度退火後X光繞射分析圖

圖號簡單說明：

1 . . . . . 石英

2 . . . . . 蠟

3 . . . . . 晶片

4 . 擴散障礙層 / 銅





## 六、申請專利範圍

1. 一種砷化鎵元件背面銅金屬化之製作方法，該方法係包括：
  - 一 基材於該基材上製作穿孔 (via hole) ；
  - 一 擴散屏蔽層形成於該基材背面；以及
  - 一 銅金屬層形成於該擴散屏蔽層之上。
2. 如申請專利範圍第1項之方法，其中該基材係由砷化鎵所構成。
3. 如申請專利範圍第1項之方法，其中可採用耦合電漿 (Inductively Coupled Plasma, ICP) 乾式蝕刻方式製作 via hole。
4. 如申請專利範圍第1項之方法，其中該擴散屏蔽層可以濺鍍方法形成於該基材背面。
5. 如申請專利範圍第1項之方法，其中該擴散屏蔽層可以蒸鍍方法形成於該基材背面。
6. 如申請專利範圍第1項之方法，其中該擴散屏蔽層厚度可為40至100nm。
7. 如申請專利範圍第1項之方法，其中該擴散屏蔽層可為鎢 (W) 薄膜。
8. 如申請專利範圍第1項之方法，其中該擴散屏蔽層可為氮化鎢 (WN) 薄膜。
9. 如申請專利範圍第1項之方法，其中該擴散屏蔽層可為氮化鈦鎢 (TiWN) 薄膜。
10. 如申請專利範圍第1項之方法，其中該銅金屬層可以濺



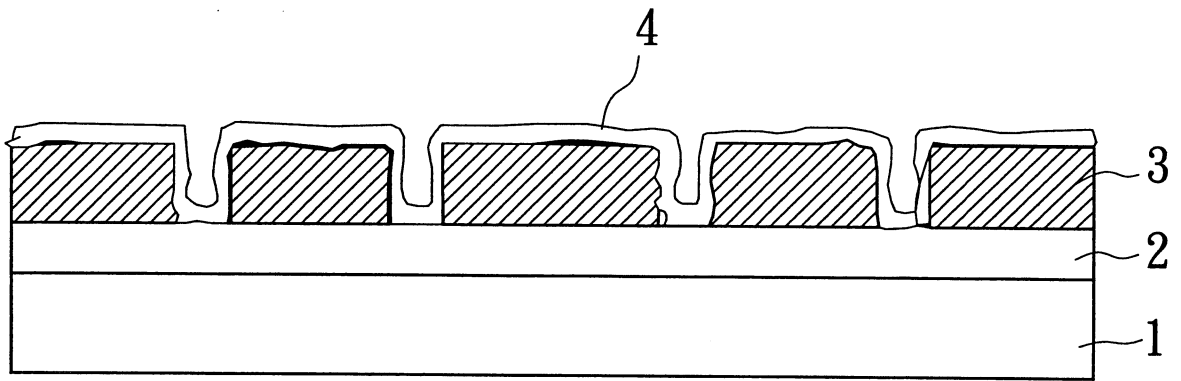
## 六、申請專利範圍

鍍方法形成於該擴散屏蔽層上。

11. 如申請專利範圍第1項之方法，其中該銅金屬層可以蒸鍍方法形成於該擴散屏蔽層上。
12. 如申請專利範圍第1項之方法，其中該銅金屬層可以電鍍方法形成於該擴散屏蔽層上。
13. 如申請專利範圍第1項之方法，其中該銅金屬層厚度可為2 - 10  $\mu\text{m}$ 。

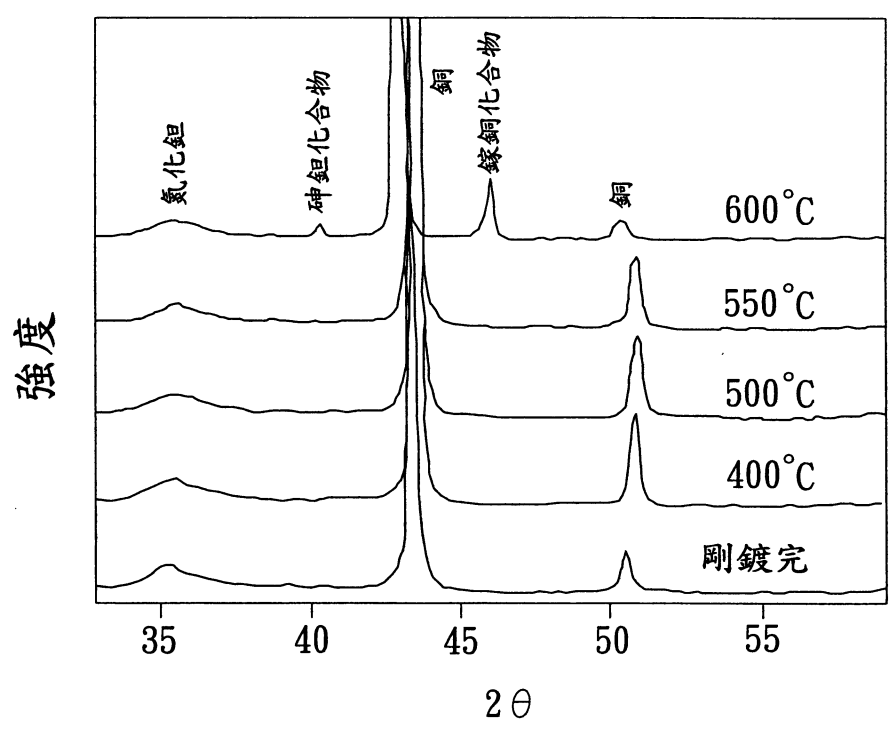


圖式



第一圖

圖式



第二圖