

公告本

發明專利說明書

I221009

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號： 92120502

※申請日期： 92.7.25

※IPC 分類： H01L 21/324

壹、發明名稱：(中文/英文)

在矽晶片上成長鍺薄膜之方法

A method for growing Ge epitaxial layers on Si substrate

貳、申請人：(共 1 人)

姓名或名稱：(中文/英文)

國立交通大學(National Chiao Tung University)

代表人：(中文/英文)

張俊彥(Chun-Yen Chang)

住居所或營業所地址：(中文/英文)

新竹市大學路 1001 號

國籍：(中文/英文)

中華民國

參、發明人：(共 4 人)

姓名：(中文/英文)

1. 羅廣禮 (Guangli Luo)

2. 楊宗熺 (Tsung-Hsi Yang)

3. 張俊彥 (Chun-Yen Chang)

4. 張翼 (Edward Y. Chang)

住居所地址：(中文/英文)

1. 新竹市交通大學電子資訊中心 414 室

2. 台中縣潭子鄉頭張路 2 段 70 巷 13 號 2F 之 1

3. 新竹市大學路 1003 巷 10 號 3F

4. 台北市民生東路 5 段 69 巷 3 弄 3 號 4F 之 1

國籍：(中文/英文)

1. 其他 (中國大陸) (P.R.C)

2. 中華民國 (Taiwan, R.O.C.)

3. 中華民國 (Taiwan, R.O.C.)

4. 中華民國 (Taiwan, R.O.C.)

肆、聲明事項：

本案係符合專利法第二十條第一項 第一款但書或 第二款但書規定之期間，其日期為： 年 月 日。

◎本案申請前已向下列國家（地區）申請專利 主張國際優先權：
【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1. 本案未在國外申請專利
- 2.
- 3.
- 4.
- 5.

主張國內優先權（專利法第二十五條之一）：
【格式請依：申請日；申請案號數 順序註記】

- 1.
- 2.

主張專利法第二十六條微生物：

國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

熟習該項技術者易於獲得，不須寄存。

伍、中文發明摘要：

本發明藉由超高真空化學氣相磊晶法 (UHVCVD) 及即時高溫退火技術等之結合，以提供於矽晶片上成長銻磊晶之方法。

本發明之方法藉由將差排缺陷侷限化並利用應變界面阻擋該缺陷之技術從而降低銻磊晶層之厚度、缺陷密度及表面粗糙度等之缺點。

首先，利用標準清洗步驟以潔淨矽晶片，再以 10% HF 溶液浸濕及高溫預烘以去除表面之氧化層，隨後以超高真空化學氣相磊晶法 (UHVCVD)，於一特定之操作條件下，在矽晶片上成長一層高銻含量之矽銻磊晶層（如 0.8 微米之 $\text{Si}_{0.1}\text{Ge}_{0.9}$ ）。

接著後續之步驟，進一步地成長第二或視需要第三層之矽銻磊晶層（如 0.8 微米之 $\text{Si}_{0.05}\text{Ge}_{0.95}$ 、 $\text{Si}_{0.02}\text{Ge}_{0.98}$ ），以利用各層之間形成之應變界面有效地阻擋未湮滅掉而傳遞上去之線差排。最後於該矽銻磊晶層上成長一層銻薄膜。

陸、英文發明摘要：

This invention provides a method for growing Ge epitaxial layers on Si substrate using a combination of ultimate high vacuum chemical vapor deposition (UHVCVD) and in-situ high temperature annealing process.

This invention also provides a method, based on the principles of strained interfaces blocking the threading dislocation generated from the first epitaxial layer, to reduce the total thickness, dislocation density and surface roughness on the Ge epitaxial layers.

Firstly, precleaning the Si substrate in a standard cleaning procedure, dipping it with 10% HF solution and prebaking to remove its native oxidized layer. Subsequently, growing a high Ge-containing epitaxial layer, such as $\text{Si}_{0.1}\text{Ge}_{0.9}$ in a thickness of $0.8 \mu\text{m}$ on said Si substrate using ultra-high vacuum chemical vapor deposition under certain conditions. During the period of growing, many dislocations generated and located near the interface and in the low part of $\text{Si}_{0.1}\text{Ge}_{0.9}$ due to the large mismatch between this layer and Si substrate.

Furthermore, a subsequent $0.8 \mu\text{m}$ $\text{Si}_{0.05}\text{Ge}_{0.95}$ layers, and optionally a further $0.8 \mu\text{m}$ $\text{Si}_{0.02}\text{Ge}_{0.98}$ layer, are grown. The formed strained interfaces of said layers can bend and terminate the propagated upward dislocation very effectively. Finally a Ge film is grown on said layer.

柒、指定代表圖：

(一)本案指定代表圖為：第 (1) 圖。

(二)本代表圖之元件代表符號簡單說明：

無。

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

玖、發明說明：

(一)發明所屬之技術領域

本發明係關於在矽晶片上成長高品質鍺薄膜之方法，該方法結合各相關技術及觀念之改良，其運用了超高真空化學氣相磊晶(UHVCVD)與配合即時高溫退火技術等，以成長矽鍺磊晶並獲得高品質之鍺薄膜。

本發明亦關於一種能在矽晶片上成長高品質鍺薄膜之方法，該方法藉由將差排缺陷侷限化並利用應變界面(strained interfaces)阻擋該缺陷之傳遞而具有大幅降低磊晶層之厚度、減少缺陷密度，及解決了表面粗糙度問題等優點。由於這些優點使本發明之技術具有成本低廉、方法簡單及產能高等特性，故本發明對於製作IV族高速元件、光學元件以及整合III-IV族積體電路之技術而言，非常具有競爭力及產業上之利用價值與潛力。

(二)先前技術

在矽表面上直接磊晶鍺層的缺點是，兩種晶體之晶格常數(lattice constant)約有4.1%之晶格失配(mismatch)，及矽與鍺因熱傳導係數不同之熱失配等問題，其使得矽鍺界面存在極高之缺陷密度及表面粗糙度。其中極高之缺陷密度會增加電子元件之漏電流或抵銷光學元件之效率；極高之表面粗糙度會造成製程中整合之困難度。

以往在矽晶片上進行鍺磊晶之方法，大致上包括了鍺薄膜直接在矽上成長技術、在矽晶片上使先具有SiO₂窗口圖案再進行鍺成長之技術，以及利用鍺組成漸變緩衝層之技

術。類似技術所成長之矽鍺磊晶層分別存在缺陷密度過高或磊晶層太厚，或表面粗糙度過大甚或龜裂等問題。

舉例而言，美國專利 US 5259918 揭示採取鍺薄膜直接成長技術，即直接在矽晶片上進行鍺的成長，其爲了降低鍺在矽磊晶所生之線差排問題，其採用真空氣相磊晶法，並於矽鍺磊晶進行即時高溫退火。然而，此種技術所獲得之鍺磊晶層其線差排密度大於 $10^6/\text{cm}^2$ ，超過應用價值，故並不利於元件之製作。

另外，E.A.Fitzgerald 等人在其發表之文獻 "High quality Ge on Si by epitaxial necking" (Applied Physics Letters, Vol.76, No.25, 19 June 2000)，以及 L.C.Kimerling 等人所發表之文獻 "High quality Ge epilayers on Si with low threading-dislocation densities" (Applied Physics Letters, Vol.75, No.19, 8 Nov.1999) 中曾提議在具有 SiO_2 圖案的矽晶片上之鍺磊晶層之成長技術，其利用 SiO_2 所形成之窗口以抑制線差排之傳遞，從而達到降低線差排密度之目的，但此種方法成長出來之鍺磊晶層只有於窗口上方的部分單晶品質較佳，對於 SiO_2 上方的鍺層則會變成複晶或形成晶粒間隙，故這種方法之實用性及實施結果並不佳。

目前主要以採用鍺組成漸變緩衝層之技術 (Ge graded $\text{Si}_{1-x}\text{Ge}_x$ buffer)，例如特別以 E.A.Fitzgerald 等人登載於美國專利 US 6291321、6107653 所揭示者，及見於其歷年所發表之相關文獻 "Novel dislocation structure and

surface morphology effects in relaxed Ge/Si-Ge(graded)/Si structures”(J. Appl. Phys. 81(7), 1 April 1997)、”Controlling threading dislocation densities in Ge on Si using graded SiGe layers and chemical-mechanical polishing”(Applied Physics Letters, Vol. 72, No. 14, 6 April 1998), 亦即利用銻含量漸變式矽銻磊晶法(graded SiGe), 銻含量從零漸增至高值後再成長為銻薄膜, 而此方法之銻含量變化梯度不能過大, 以使銻與矽晶片之失配慢慢地過渡, 從而達到降低線缺陷密度之目的, 但其結果也因此使磊晶層之厚度高達十微米以上。

此外, 上述資料中亦揭示出由於磊晶層內之缺陷堆積(pile-up), 銻薄膜表面不可避免地形成井狀圖案, 因此會造成過大之表面粗糙度, 例如相對成長於偏角 6° 矽晶片上之銻薄膜, 其表面粗糙度為 150\AA 以上; 而相對成長於無偏角矽晶片上之銻薄膜, 其表面粗糙度為 450\AA 以上。其中, 磊晶層厚度過大及因井狀圖案而產生過大之表面粗糙度, 均會增加磊晶之製造成本及元件之製造難度。

關於井狀圖案之去除技術, 上述之文獻及專利中亦提出了以化學機械研磨法(CMP)加以解決, 但其實質上亦額外地增加了製程之成本及複雜性。

(三)發明內容

本發明之目的在於解決先前技術中有關於矽晶片上進行銻磊晶所面臨之問題, 包括如何降低銻薄膜之厚度、解決高銻含量磊晶層過大之表面粗糙度、及降低因為晶格失配

所形成高缺陷密度等問題。

E.A.Fitzgerald 等人之相關文獻與專利所揭示之半導體磊晶構造，係為一銻含量漸變緩衝層加上銻含量均勻磊晶覆蓋層，差排密度低，然而總磊晶層厚度卻達十微米以上。其揭示之製造方法為於矽晶片上，以分子束磊晶法（MBE）或超高真空化學氣相磊晶（UHVCVD）成長含有銻含量漸變緩衝層為第一層，通常以每微米 10% 銻含量之漸變速率（grading rate），漸增至 50% 銻含量後，接著利用 CMP 技術平坦化該層表面，此時第一層之厚度約 5 微米；然後再成長第二層，銻含量由 50% 增至 75%，接著再用 CMP 技術平坦化該第二層表面，此時第二層之厚度約 2.5 微米；第三層後之高銻含量磊晶層，改變其磊晶條件，包括調降成長溫度及成長氣體分壓，此時之厚度約 2.5 微米以上。故根據上述方法最佳實施例所製得之樣品為：表面無龜裂、線差排密度約 $10^6/\text{cm}^2$ 、表面粒狀物密度約 $150/\text{cm}^2$ 、粗糙度 24 奈米及總磊晶厚度至少 10 微米以上之磊晶層。

本發明方法特點之一為，首先在矽晶片上成長一層高銻含量之矽銻磊晶層（如 0.5 至 0.8 微米之 $\text{Si}_{0.1}\text{Ge}_{0.9}$ ），由於本層與矽晶片存在之大的晶格失配，大量之線差排會產生於界面處與本層之內。接著成長二至三層更高銻含量之矽銻磊晶層（如 0.5 至 0.8 微米之 $\text{Si}_{0.05}\text{Ge}_{0.95}$ 、 $\text{Si}_{0.02}\text{Ge}_{0.98}$ ），利用各層之間因應力所形成的應變界面，以進一步阻擋在第一層未湮滅掉而傳遞上去之線差排，最後成長為總磊晶厚度僅數微米之銻薄膜磊晶層，例如 3 微米以下。

在上述成長過程中，對每一單層作即時之高溫退火處理，即於 650 至 800°C 下進行 15 至 30 分鐘，以進一步提高鍺薄膜之單晶品質。

與 E.A.Fitzgerald 等人之研究相較，本發明係採取高含量鍺，例如 $\text{Si}_{0.1}\text{Ge}_{0.9}$ 為起始第一層之矽鍺磊晶，然後成長更高鍺含量磊晶層，例如 $\text{Si}_{0.05}\text{Ge}_{0.95}$ 、或視需要增加成長第三 $\text{Si}_{0.02}\text{Ge}_{0.98}$ 磊晶層，其目的係利用成長具有特定厚度之第一層，使大量之晶格失配缺陷發生在該層內，然後再成長第二或第三層，利用各層之間形成之應變界面阻擋第一層之向上層傳遞的線差排，故本發明顯然相對於採每微米漸增 5% 或 10% 鍺含量的成長方式係為截然不同之技術觀念，若依前者之漸變速率至 100%，則其矽鍺磊晶層厚度無法降低至 10 微米以下，而本發明總磊晶層之厚度可降低至約 3 微米以下。

其次，本發明之另一特點為，本發明之方法採用超高真空化學氣相磊晶技術，在磊晶溫度 350 至 650°C 範圍，以高純度之 SiH_4 或 Si_2H_6 、 GeH_4 為成長氣體、成長氣體壓力 20 至 100 毫托下，進行矽鍺磊晶之成長，其不論第一磊晶層、第二層或視需要之第三層之高鍺含量成長均維持在特定之操作條件下，僅改變成長氣體中矽或鍺其中之一的比例。低溫之成長係避免磊晶過程形成島狀成長 (island forming) 因而降低磊晶品質，而壓力因素則控制著磊晶的成長速率，惟溫度與壓力兩者條件皆宜保持穩定。然而，習知之鍺含量漸變技術，為達成特定之鍺含量漸變要求卻

必須小心地控制其銻含量漸增之速率，例如爲了降低線差排密度，則選擇較低之銻含量漸增速率，但卻造成總磊晶層厚度過高；但是如果選擇較高之銻含量漸變梯度，例如每微米漸增 10% 銻含量以上，則其線差排密度會增加。低銻含量之漸變梯度磊晶層中上述現象尙不明顯，但是達到高銻含量磊晶層，例如 $\text{Si}_{0.25}\text{Ge}_{0.75}$ 以上時，以超高真空化學氣相磊晶技術於初期如 750°C 下成長，進入高銻含量後需降低成長溫度，例如 550°C ，及更低之分壓，例如 3 毫托來緩和。然而，本發明所採用之超高真空化學氣相磊晶技術中，並不需改變其溫度條件及明顯之壓力變化，但仍可成長高品質之銻磊晶。

習知技術中更包括於每一層磊晶層成長階段之平坦化步驟，例如以化學機械研磨 (CMP) 消除其表面粗糙度並續行其後一層之漸變成長；然而本發明可省卻 CMP 複雜之工序，特別係從提供具有平整表面之矽晶片，及在每一磊晶層成長階段間之即時高溫退火著手，以達到同樣甚或更佳之效果。本發明中具有平整表面之矽晶片之提供，先以標準清洗步驟潔淨，再於 10% 氫氟酸溶液中浸濕，然後去離子水清洗，最後再於 800°C 下進行預烘處理以去除俱生氧化層；至於每一磊晶層成長階段間之即時高溫退火處理，係在 750°C 下進行 0.25 至 1 小時，以進一步降低差排密度提高單晶品質。

本發明之又一特點在於透過本發明之方法，可製作 IV 族高速元件、光學元件以及整合 IV 族與 III-IV 族積體電路

之技術。IV族高速元件/光學元件，例如為銻金氧半場效電晶體(Ge MOSFET)、銻光感測器(Ge photodetector)之IV族材料高頻元件/光學元件；III-IV族之應用包括，例如利用銻與砷化銻晶格匹配，在銻為緩衝層下以成長高品質之砷化銻材料，其可作為III-IV族材料之晶片以及作為整合III-IV族與IV族之整合晶片。上述之III-IV族材料其應用包括作為異質接面雙極電晶體(HBT)、金半電晶體(MESFET)、高電子遷移電晶體(HEMET)、發光二極體(LED)、雷射(Laser)等結構之磊晶晶片。

(四)實施方式

本發明揭示如下列之實施例，但不受該實施例所侷限。

實施例

首先，利用標準清洗步驟潔淨矽晶片，該潔淨處理包括將矽晶片浸置於 $H_2O_2:H_2SO_4$ 比例為1:4之溶液中約10分鐘，然後取出以去離子水(D.I. water)清洗10分鐘後，再以10% HF溶液浸濕約30秒並隨之以去離子水清洗之，隨後馬上送進UHVCVD系中。進行成長以前先於 $800^{\circ}C$ 下作預烘(prebaking)約10分鐘以去除表面氧化層，再緩降溫度至 $400^{\circ}C$ ，待溫度穩定後立即成長磊晶層。該超高真空化學氣相磊晶系統為具有加熱裝置之石英爐管，背景真空可用分子幫浦抽至 5×10^{-8} 托(torr)以下。成長使用氣體為 SiH_4 、 GeH_4 ，由質流控制器(MFC)控制成長流量，其中 SiH_4 之流量保持固定，每次僅調整 GeH_4 之供應流量，在特定之操作條件下，包括：

- (1) 磊晶溫度範圍：350 至 650°C，較佳為 400°C；
- (2) 成長氣體壓力範圍：20 至 100 毫托，較佳為 20 毫托；
- (3) 成長氣體種類：高純度之 SiH_4 、 GeH_4 氣體；

其次，更進一步地成長第二或第三層之更高銻含量之矽銻磊晶層（每層厚度至少 0.1 微米以上，較佳為 0.5 至 0.8 微米，特佳為 0.8 微米之 $\text{Si}_{0.05}\text{Ge}_{0.95}$ 、 $\text{Si}_{0.02}\text{Ge}_{0.98}$ ）以利用所形成之應變界面更能阻擋在第一層未湮滅掉而傳遞上去之線差排，最後成長為一定厚度之銻薄膜。

上述該成長過程中，每一單層應作即時（in-situ）高溫退火，即於 650 至 800°C，較佳為 750°C 下進行 0.25 至 1 小時、退火之氛圍為氫氣、壓力範圍為 5 至 20 毫托，以進一步提高銻薄膜之單晶品質。

有關第一層之銻含量至少大於 70%，較佳為 70% 至 90% 之間，特佳為 90%；其次第二層之銻含量為 80% 至 98% 之間，較佳為 95%；可視需要地進行第三層磊晶之成長，選擇之銻含量介於第二層與純銻之間；最外層之銻含量為 100%。

有關本發明最佳之矽銻磊晶成長結果，其中以銻含量為 90% 之 $\text{Si}_{0.1}\text{Ge}_{0.9}$ 作為起始第一層之矽銻磊晶，在成長溫度 400°C、成長氣體壓力為 20 毫托下，成長厚度約 0.8 微米，然後於 750°C 下退火 15 分鐘；接著以銻含量為 95% 之 $\text{Si}_{0.05}\text{Ge}_{0.95}$ 作為第二層之矽銻磊晶，在成長溫度 400°C、成長氣體壓力為 20 毫托下，成長厚度約 0.8 微米，隨即於

750℃ 下退火 15 分鐘；最後以 100% 之純鍺作為最頂層，在成長溫度 400℃、成長氣體壓力為 20 毫托下，成長厚度約 1.0 微米，然後於 750℃ 下退火 15 分鐘。

(五) 圖式簡單說明

第 1 圖為本發明之線差排控制機制示意圖，其顯示鍺成長機制及表現出線差排的侷限化與應變界面阻擋差排之機制。

第 2 圖及第 3 圖為依據本發明實施樣品之穿透式電子顯微鏡影像，包括橫截面及表面，所獲得之鍺磊晶層總厚度約 2.6 微米、線差排密度約 $3 \times 10^6 / \text{cm}^2$ ；亦即表示該鍺磊晶層厚度薄、線差排密度低。

第 4 圖依據本發明實施樣品之原子力顯微鏡分析其表面粗造度，其表面經觀察得知非常平整，表面粗糙度僅為 3.2 奈米。

主要部分之代表符號

- 1 矽基板
- 2 即時退火處理
- 3 線差排區

拾、申請專利範圍：

1. 一種於矽晶片上成長銻磊晶之方法，包括：

- (1) 提供一潔淨平坦之矽晶片；
 - (2) 成長具有特定厚度之第一矽銻磊晶層，使其容納大量因晶格失配所產生的線差排於該底部及界面處；
 - (3) 進行第一矽銻磊晶層之即時即時高溫退火，以進一步降低線差排密度；
 - (4) 成長第二及視需要之第三矽銻磊晶層，使其產生之應變界面阻擋第一磊晶層之向上傳遞之線差排，並於兩次成長期間進行即時即時高溫退火；
 - (5) 最後步驟，成長一純銻薄膜作為頂層；
- 其中，磊晶係於 350 至 650°C、成長氣體壓力 20 至 100 毫托下，以超高真空化學氣相磊晶法進行成長；又，即時高溫退火處理係在 650 至 800°C 下進行 0.25 至 1 小時。

2. 如申請專利範圍第 1 項之方法，其中步驟 (1) 矽晶片係以標準清洗步驟潔淨，經 10% 氫氟酸溶液浸濕，並於 800°C 下預烘 10 分鐘以去除俱生氧化層。

3. 如申請專利範圍第 1 項之方法，其中第一矽銻磊晶層為至少 0.1 微米以上之 $\text{Si}_{0.1}\text{Ge}_{0.9}$ 。

4. 如申請專利範圍第 1 或 3 項之方法，其中第一矽銻磊晶層為 0.5 至 0.8 微米之 $\text{Si}_{0.1}\text{Ge}_{0.9}$ 。

5. 如申請專利範圍第 1 項之方法，其中第二矽銻磊晶層為

至少 0.1 微米以上之 $\text{Si}_{0.05}\text{Ge}_{0.95}$ 。

6. 如申請專利範圍第 1 或 5 項之方法，其中第二矽鍺磊晶層為 0.5 至 0.8 微米之 $\text{Si}_{0.05}\text{Ge}_{0.95}$ 。
7. 如申請專利範圍第 1 項之方法，其中視需要之第三矽鍺磊晶層為至少 0.1 微米以上之 $\text{Si}_{0.02}\text{Ge}_{0.98}$ 。
8. 如申請專利範圍第 1 或 7 項之方法，其中視需要之第三矽鍺磊晶層為 0.5 至 0.8 微米之 $\text{Si}_{0.02}\text{Ge}_{0.98}$ 。
9. 如申請專利範圍第 1 項之方法，其中第一矽鍺磊晶層之鍺含量可為 70 至 90%。
10. 如申請專利範圍第 1 項之方法，其中第二矽鍺磊晶層之鍺含量可為 80 至 95%。
11. 如申請專利範圍第 1 項之方法，其中磊晶成長溫度係於 400°C 下進行。
12. 如申請專利範圍第 1 項之方法，其中即時高溫退火係於 750°C 下進行至少 15 分鐘。
13. 如申請專利範圍第 1 或 12 項之方法，其中即時高溫退火之氛圍為氫氣、退火之氣體壓力為 20 毫托。
14. 一種於矽晶片上成長鍺磊晶之方法，包括：
 - (1) 提供一潔淨平坦之矽晶片；
 - (2) 成長具有特定厚度且鍺含量至少 70% 以上之第一矽鍺磊晶層；
 - (3) 進行第一矽鍺磊晶層之即時即時高溫退火；
 - (4) 成長鍺含量更高之第二矽鍺磊晶層及視需要之第三矽鍺磊晶層，並於兩次成長期間進行即時高溫退火；

(5) 於最上層磊晶表面，成長一純鍺薄膜；

其中，磊晶層之鍺含量由第一矽鍺磊晶層、第二矽鍺磊晶層、視需要之第三矽鍺磊晶層至最上層之純鍺薄膜，係呈階梯式增加，係於 350 至 650°C、成長氣體壓力 20 至 100 毫托下，以超高真空化學氣相磊晶法進行成長；又，即時高溫退火處理係在 650 至 800°C 下進行 0.25 至 1 小時。

15. 如申請專利範圍第 14 項之方法，其中步驟 (1) 矽晶片係以標準清洗步驟潔淨，經 10% 氫氟酸溶液浸濕，並於 800°C 下預烘 10 分鐘以去除俱生氧化層。
16. 如申請專利範圍第 14 項之方法，其中第一矽鍺磊晶層為至少 0.1 微米以上之 $\text{Si}_{0.1}\text{Ge}_{0.9}$ 。
17. 如申請專利範圍第 14 或 16 項之方法，其中第一矽鍺磊晶層為 0.5 至 0.8 微米之 $\text{Si}_{0.1}\text{Ge}_{0.9}$ 。
18. 如申請專利範圍第 14 項之方法，其中第二矽鍺磊晶層為至少 0.1 微米以上之 $\text{Si}_{0.05}\text{Ge}_{0.95}$ 。
19. 如申請專利範圍第 14 或 18 項之方法，其中第二矽鍺磊晶層為 0.5 至 0.8 微米之 $\text{Si}_{0.05}\text{Ge}_{0.95}$ 。
20. 如申請專利範圍第 14 項之方法，其中視需要之第三矽鍺磊晶層為至少 0.1 微米以上之 $\text{Si}_{0.02}\text{Ge}_{0.98}$ 。
21. 如申請專利範圍第 14 或 20 項之方法，其中視需要之第三矽鍺磊晶層為 0.5 至 0.8 微米之 $\text{Si}_{0.02}\text{Ge}_{0.98}$ 。
22. 如申請專利範圍第 14 項之方法，其中第一矽鍺磊晶層之鍺含量可為 70 至 90%。

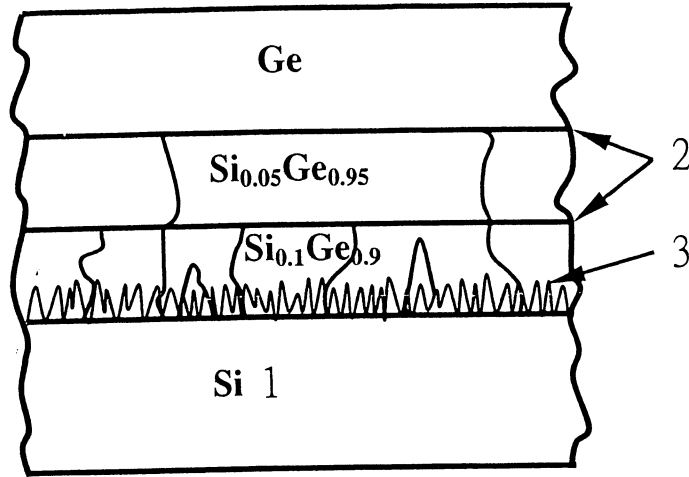
23. 如申請專利範圍第 14 項之方法，其中第二矽鍺磊晶層之鍺含量可為 80 至 95%。
24. 如申請專利範圍第 14 項之方法，其中磊晶成長溫度係於 400°C 下進行。
25. 如申請專利範圍第 14 項之方法，其中即時高溫退火係於 750°C 下進行至少 5 分鐘。
26. 如申請專利範圍第 14 或 25 項之方法，其中即時高溫退火之氛圍為氫氣、退火之氣體壓力為 20 毫托。
27. 一種矽鍺磊晶半導體構造，包含一矽晶片，一鍺含量至少 70% 之第一矽鍺磊晶層，一較高鍺含量之第二矽鍺磊晶層，及視需要之第三矽鍺磊晶層且其鍺含量比第二矽鍺磊晶層更高，最上層為純鍺之薄膜，其特徵在於：第一矽鍺磊晶層可容納大量因晶格失配而產生之線差排於該層底部及界面，而第二矽鍺磊晶層及視需要之第三矽鍺磊晶層可利用其應變界面阻擋該第一矽鍺磊晶層線差排之往上傳遞。
28. 一種矽鍺磊晶半導體構造，包含一矽晶片，一鍺含量至少 70% 之第一矽鍺磊晶層，一較高鍺含量之第二矽鍺磊晶層，及視需要之第三矽鍺磊晶層且其鍺含量比第二矽鍺磊晶層更高，最上層為純鍺之薄膜，其特徵在於：總磊晶層厚度可控制不大於 3.0 微米，且表面平整度俱佳而無須利用 CMP 進行表面平坦化。
29. 一種矽鍺磊晶半導體構造，包含一矽晶片，一鍺含量至少 70% 之第一矽鍺磊晶層，一較高鍺含量之第二矽鍺磊

晶層，及視需要之第三矽鍺磊晶層且其鍺含量比第二矽鍺磊晶層更高，最上層為純鍺之薄膜，其特徵在於：利用申請專利範圍第 1 或 14 項之方法，線差排密度可控制不大於 $10^6 / \text{cm}^2$ 。

30. 一種製作砷化鎵材料之方法，係於得自申請專利範圍第 1 或 14 項之方法的矽鍺磊晶，以該鍺層作為緩衝層，利用鍺與砷化鎵晶格匹配的特性，繼續成長一砷化鎵層。
31. 如申請專利範圍第 30 項之方法，其中砷化鎵材料可作為高頻元件及光學元件。
32. 如申請專利範圍第 30 項之方法，其中砷化鎵材料另可作為 III-IV 族材料之晶片及作為整合 III-IV 族與 IV 族之整合晶片。

93年6月4日
修正本

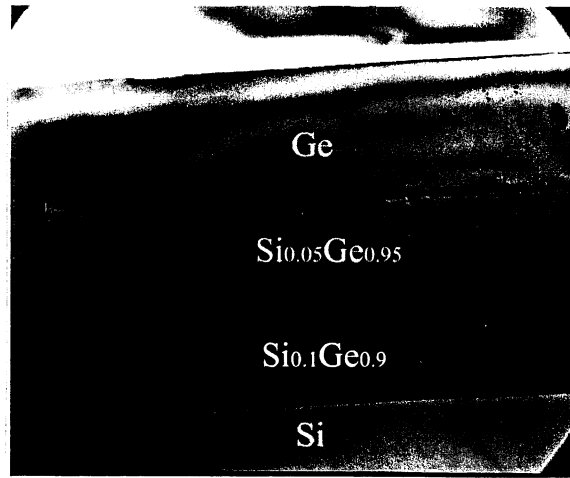
拾壹、圖式：



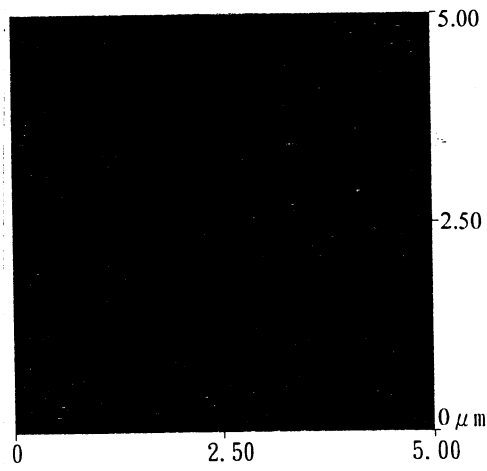
第 1 圖



第 2 圖



第 3 圖



第 4 圖