

# 公告本

申請日期： 92.6.20	IPC分類	595117
申請案號： 92116744		H03M13/00

(以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中文	用於記憶體為基礎之維特比解碼器的演算法
	英文	
二、 發明人 (共3人)	姓名 (中文)	1. 李鎮宜 2. 林建青 3. 吳家徽
	姓名 (英文)	1. 2. 3.
	國籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW 3. 中華民國 TW
	住居所 (中文)	1. 新竹市園後街84號4樓 2. 嘉義縣水上鄉南和村4-1號 3. 桃園縣平鎮市莊敬里日星街48巷10弄2號
	住居所 (英文)	1. 2. 3.
三、 申請人 (共1人)	名稱或姓名 (中文)	1. 國立交通大學
	名稱或姓名 (英文)	1.
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中文)	1. 新竹市大學路1001號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1.
	代表人 (中文)	1. 張俊彥
代表人 (英文)	1.	



## 一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間

日期：

四、有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

熟習該項技術者易於獲得,不須寄存。

四、中文發明摘要 (發明名稱：用於記憶體為基礎之維特比解碼器的演算法)

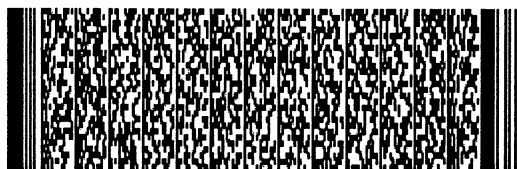
本發明係揭露一種用於記憶體為基礎之維特比解碼器的演算法。利用回溯路徑的相依性質可以發現前後兩個回溯路徑隨著愈低的資料錯誤率會有更高的相似度。因此本發明之演算法將前一次的回溯路徑存至暫存器中，當目前之回溯路徑與前一次路徑相同時，即可得到欲求之路徑，並可停止記憶體讀取的動作，以大幅降低讀取記憶體所消耗之功率；且在回溯路徑之前，係可利用最小的路徑權值與路徑必為連續之特性來進行路徑預測的動作。本發明係利用路徑匹配與路徑預測機制可以降低記憶體存取次數與功率消耗。

(一)、本案代表圖為：第二圖

(二)、本案代表圖之元件代表符號簡單說明：

22	維特比解碼器	24	狀態轉換計量單元
26	加-比較-選擇單元	28	殘存路徑記憶體單元
30	路徑權值記憶單元	32	比較器

六、英文發明摘要 (發明名稱：)



四、中文發明摘要 (發明名稱：用於記憶體為基礎之維特比解碼器的演算法)

34 解碼器

36 路徑預測

六、英文發明摘要 (發明名稱：)



## 五、發明說明 (1)

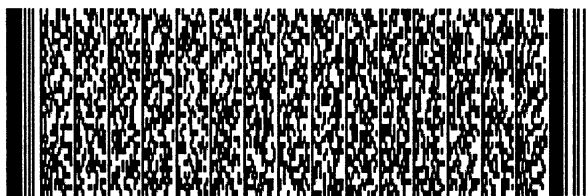
## 一、【發明所屬之技術領域】

本發明係有關一種用於記憶體為基礎之維特比解碼器 (Viterbi decoder) 的演算法，特別是關於一種使用路徑匹配與路徑預測機制之維特解碼器的演算法。

## 二、【先前技術】

按，在提供數位化資訊與通訊的技術中，為了確保傳輸資料的正確性，通常數位化的資料都還要加入錯誤更正碼，因此錯誤更正碼扮演著核心之一的角色。錯誤更正碼大致上可分為兩類，一種是區塊碼 (block code)，此種碼係使用一種方式一次編碼一個區塊資料，區塊之間無相關性，也就是不具有時間相關性；另一種則是迴旋碼 (convolutional code)，其編碼過程係具有時間相關性的。

就迴旋碼而言，迴旋碼的解碼器最普遍的方法是應用維特比演算法 (Viterbi algorithm) 以得到最佳的解碼效果，此種演算法乃是迴旋碼的最有效率解碼演算法，而採用該演算法之解碼器則稱之為維特比解碼器。在解碼過程中，既有架構不論資料的正確度，皆需要解碼一段固定長度才能得到一筆資料，這段長度稱為回溯長度，且在解碼過程中亦需要大量的記憶體頻寬與存取次數；而在實際應用上，在大部分之情況下只需要小於該回溯長度的解碼即可判斷出正確的資料，所以造成許多無謂的功率消耗在記憶體存取的消耗上。



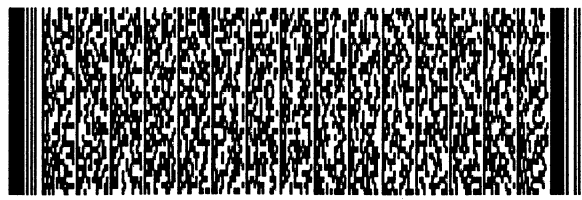
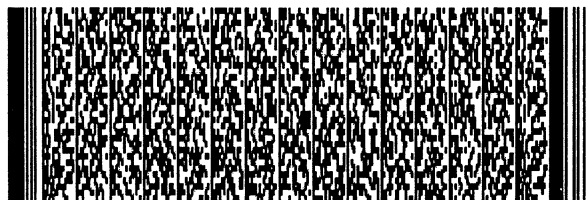
## 五、發明說明 (2)

如美國專利US 5,208,816係提出高速維特比解碼器的記憶體演算法，其係利用傳送同位元檢查碼來檢驗維特比解碼器解出資料的可靠性，當不可靠資料被檢驗出來時，可進行第二次的維特比評估或重傳，以增加資料的正確性；此種方法僅適用於低速傳輸，且傳統的維特比解碼器需要大量記憶體頻寬，難以達到低功率的要求。另一美國專利US 4,905,317則揭露在進行路徑回溯將狀態在時間軸上加以壓縮合成，達到跳躍回溯的效果，如此可以減少記憶體存取與增加解碼速度；然而在解碼速度上還是無法達到目前應用的要求，而且跳躍過的路徑在下一次解碼時還是必須再算一次，此乃因這些路徑的資料有很大的機率是在下一次必須解的資料，所以會有很多不必要的計算與記憶體讀取。

因此，本發明係提出一種用於記憶體為基礎之維特比解碼器的演算法，其係使用路徑匹配與路徑預測機制，降低記憶體存取次數與功率消耗，以改善存在於先前技術中的該等缺失。

## 三、【發明內容】

本發明之主要目的係在提供一種用於記憶體為基礎之維特比解碼器的演算法，其係在計算路徑的同時可以先預測可能正確的路徑，使後續的解碼過程可以降低記憶體存取次數，並可根據不同的錯誤率動態調整解碼所需的回溯長度搭配預測路徑機制，以降低解碼過程中記憶體存取



## 五、發明說明 (3)

所造成的功率消耗。

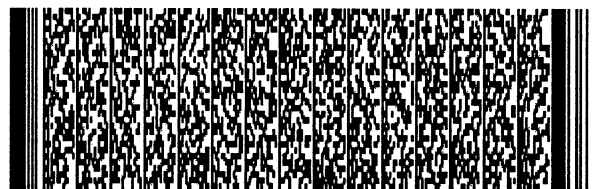
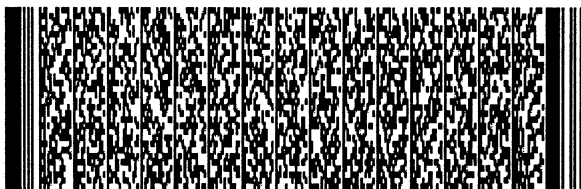
本發明之另一目的係在提供一種用於記憶體為基礎之維特比解碼器的演算法，其係根據收到資料的狀況動態調整解碼過程中所需之記憶體存取量，以便在錯誤更正電路中，利用所接受字碼資料之特性，摒除實際應用上所造成的多餘運算，以有效降低電路在實際操作上的功率消耗。

本發明之再一目的係在提供一種用於記憶體為基礎之維特比解碼器的演算法，其係可大幅降低記憶體讀取的要求，進而在高速應用領域中達到低功率之目的者。

本發明之又一目的係在提供一種以最簡單的方法達到低功率的要求，以兼具成本與實用上的競爭潛力。

本發明之演算法係包含：根據輸入資料先計算出各路徑值；再運算各路徑之權值，並比較出最小之路徑權值，以找出最小路徑權值的狀態值；當該最小路徑權值的狀態值係位於一連續路徑上，即表示此連續路徑為預測之回溯路徑；在進行路徑回溯時，再根據此預測之回溯路徑尋找一合併點進行解碼，以得到一解碼信號。

在前述之路徑預測步驟中，更包含：先找出在時刻 $t$ 之最小路徑權值的狀態值；若此時刻 $t-1$ 到時刻 $t$ 的狀態轉換順序係位於格子圖 (trellis) 中，此時將時刻 $t$ 之最小路徑權值的狀態值儲存至一暫存器中；然後進行時刻 $t+1$ 的預測，並將其計算出之狀態值儲存至暫存器中並與時刻 $t$ 之狀態值合併，直至確認此些合併後之最小路徑權值的狀態值係位於一連續路徑上為止。其中，若該暫存器內儲



#### 五、發明說明 (4)

存之路徑為正確者，則解碼過程係以存取暫存器為主。

再者，在進行路徑回溯之步驟時，更可同時進行路徑匹配步驟，其係包括：將前一時刻之回溯路徑儲存至暫存器中；接著再比較目前之回溯路徑與前一時刻之回溯路徑，當此二路徑重合在一起時，即可在暫存器中得到欲求之路徑，並使後續之解碼過程以存取暫存器為主。

底下藉由具體實施例配合所附的圖式詳加說明，當更容易瞭解本發明之目的、技術內容、特點及其所達成之功效。

#### 四、【實施方式】

路徑回溯的方法非常適用於狀態數多與低功率消耗的維特比解碼器 (Viterbi decoder) 架構；但是隨著更高解碼速度的要求，整個記憶體所需要的頻寬相對變大，造成記憶體存取的功率消耗相對增加。利用回溯路徑的相依性質可以發現前後兩個回溯路徑隨著越低的資料錯誤率會有更高之相似度；在實際應用上，輸入資料的位元錯誤率 (BER) 約在 $10^{-2}$ 左右，此時95%的回溯路徑是相同的。因此，本發明即在利用此特性並搭配使用路徑匹配與路徑預測機制，以省去75%的記憶體存取次數並降低功率消耗。

第一圖為維特比解碼器應用於IEEE 802.11a無線區域網路的架構示意圖，如圖所示，射頻接收器10接收到射頻信號之後，依序經過同步器12之同步處理、正交頻率多工調變 (OFDM) 解調器14之調變信號、通道校正器16之調





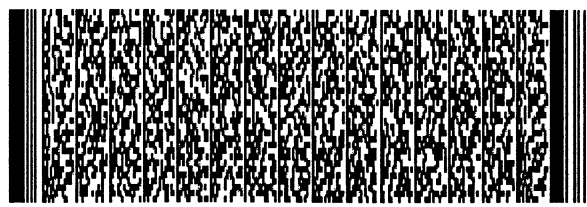
## 五、發明說明 (5)

校、解對映器18之解對映每個實際格式碼，以及利用解交錯器20將原本交錯到不同封包的資料恢復回原來地方，最後再傳送至一維特比解碼器22來解迴旋碼，以更正傳輸過程所造成的資料錯誤。

而在維特比解碼器的迴旋碼解碼過程中，在大部份的情況下只需要小於回溯長度的解碼即可判斷出正確的資料，所以本發明在記憶體為基礎的架構中，在計算路徑的同時可以先預測可能正確的路徑，使之後的解碼過程可以降低記憶體存取次數。

第二圖為本發明所使用之維特比解碼器的架構示意圖，係藉由此圖式來說明應用於記憶體為基礎之維特比解碼器22的演算法所包含之詳細步驟，如圖所示，一狀態轉換計量單元 (transition metric unit, TMU) 24根據輸入資料計算出一路徑值，並將此路徑值傳送至一加-比較-選擇單元 (ACSU) 26進行運算，將所得之路徑存於殘存路徑記憶體單元 (survivor memory unit, SMU) 28內；再藉由一路徑權值記憶單元 (path metric, PM) 30取得各路徑的路徑權值，經比較器32之比較後得到一路徑回溯起始點傳送至一解碼器34，使解碼器34可據此進行路徑回溯由殘存路徑記憶體單元28內讀取所需的資料進行解碼。

在前述計算路徑之同時，係可進行路徑預測36，其係根據該些路徑權值，先找出最小路徑權值的狀態值；然後判斷該最小路徑權值的狀態值是否位於一連續路徑上，為確認狀態值是否位於一連續路徑上，須先找出在時刻 $t$ 之



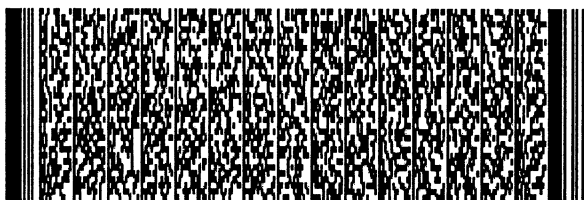
## 五、發明說明 (6)

最小路徑權值的狀態值；當時刻 $t-1$ 到時刻 $t$ 的狀態轉換順序係位於格子圖 (trellis) 中，將此時刻 $t$ 之最小路徑權值的狀態值儲存至一暫存器38內，暫存器38係配置於殘存路徑記憶體單元28內，以調整解碼過程的記憶體存取；接著進行時刻 $t+1$ 的預測，並將其狀態值儲存至暫存器38中並與時刻 $t$ 之狀態值合併，可連續對相鄰時間點進行預測，若此些最小路徑權值的狀態值係位於一連續路徑上，即表示該連續路徑為所求之回溯路徑，若非位於一連續路徑上，則停止此預測；在預測到此回溯路徑後，解碼器34根據此回溯路徑尋找一合併點直接進行解碼，而無須再解碼至該回溯長度，即可得到解碼信號。

其中，若預測到該回溯路徑之後，表示暫存器38內儲存之路徑為正確者，則解碼過程將以存取暫存器38為主。

再者，本發明除了進行前述路徑預測36之外，更可同時或單獨進行路徑匹配步驟，其係先將前一時刻運算出之回溯路徑儲存至暫存器38中，且再運算此時刻的回溯路徑，並比較目前之回溯路徑與前一時刻的回溯路徑，當該二路徑相互重合時，即可得到欲求之路徑。

本發明之演算法係可用軟體、多用途處理器或數位訊號處理器等方式來實現。由於本發明提出之方法係將維特比演算法在路徑回溯本身具有的特性與輸入資料的可靠性加以結合，將回溯的路徑存於暫存器，下一次的回溯過程有很大的機會直接取用暫存器之路徑，故可省略大部分的記憶體讀取。再者，本發明將視輸入資料的可靠度決定記



## 五、發明說明 (7)

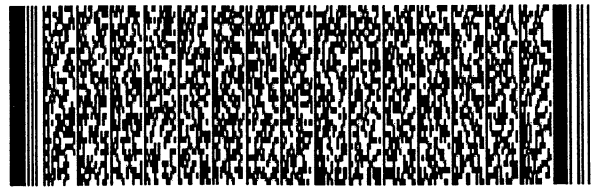
憶體的讀取，使記憶體寫入與讀取所需的頻寬可以達到接近1:1；且根據輸入資料的正確性做解碼運算的適當調整將使維特比解碼器更有效率。

因此，本發明係根據收到資料的狀況動態調整解碼過程中所需之記憶體存取量，以便在錯誤更正電路中，利用所接受字碼資料之特性，摒除實際應用上所造成的多餘運算，以有效降低電路在實際操作上的記憶體存取次數與功率消耗，進而在高速應用領域中達到低功率之目的者。職是，本發明係以最簡單的方法達到低功率的要求，以同時兼具成本與實用上的競爭潛力。

以上所述之實施例僅係為說明本發明之技術思想及特點，其目的在使熟習此項技藝之人士能夠瞭解本發明之內容並據以實施，當不能以之限定本發明之專利範圍，即大凡依本發明所揭示之精神所作之均等變化或修飾，仍應涵蓋在本發明之專利範圍內。

圖號說明：

10	射頻接收器	12	同步器
14	解調器	16	通道校正器
18	解對映器	20	解交錯器
22	維特比解碼器	24	狀態轉換計量單元
26	加-比較-選擇單元	28	殘存路徑記憶體單元
30	路徑權值記憶單元	32	比較器
34	解碼器	36	路徑預測
38	暫存器		



圖式簡單說明

第一圖為維特比解碼器應用於無線區域網路的架構示意圖。

第二圖為本發明所使用之維特比解碼器的架構示意圖。



## 六、申請專利範圍

1、一種用於記憶體為基礎之維特比解碼器的演算法，包括下列步驟：

根據輸入資料計算出路徑值；

運算各路徑之權值，並比較出最小之路徑權值，以找出該最小路徑權值的狀態值；

判斷該最小路徑權值的狀態值是否位於一連續路徑上，若是，表示該連續路徑即為預測之回溯路徑，若否，則停止該預測；以及

進行路徑回溯步驟時，根據該預測之回溯路徑尋找一合併點進行解碼，以得到解碼信號。

2、如申請專利範圍第1項所述之維特比解碼器的演算法，其中在計算路徑的同時，係可利用該最小路徑權值來進行該路徑之預測。

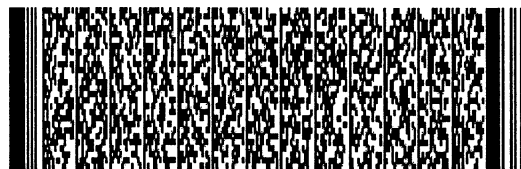
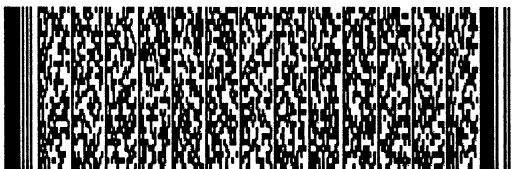
3、如申請專利範圍第1項所述之維特比解碼器的演算法，其中對該預測之回溯路徑進行解碼時，其長度係小於一回溯長度的解碼。

4、如申請專利範圍第1項所述之維特比解碼器的演算法，其中在判斷該最小路徑權值的狀態值是否位於一連續路徑上的預測步驟中，更包括下列步驟：

找出在時刻 $t$ 之該最小路徑權值的狀態值；

若在時刻 $t-1$ 到時刻 $t$ 的狀態轉換順序係位於格子圖中，將該時刻 $t$ 之最小路徑權值的狀態值儲存至一暫存器中；以及

進行時刻 $t+1$ 的預測，並將其狀態值儲存至該暫存器中



#### 六、申請專利範圍

並與該時刻 $t$ 之狀態值合併，直至確認該最小路徑權值的狀態值係位於一連續路徑上為止。

5、如申請專利範圍第4項所述之維特比解碼器的演算法，其中若該暫存器內儲存之路徑為正確者，則解碼過程以存取暫存器為主。

6、如申請專利範圍第1項所述之維特比解碼器的演算法，其中在進行該預測路徑之步驟時，更可同時進行路徑匹配步驟，其係包括下列步驟：

將前一時刻之回溯路徑儲存至一暫存器中；以及

比較目前之回溯路徑與該前一回溯路徑，當該二路徑重合時，即可得到欲求之路徑。

7、如申請專利範圍第6項所述之維特比解碼器的演算法，其中若該暫存器內儲存之路徑為正確者，則解碼過程以存取暫存器為主。

8、如申請專利範圍第4或第6項所述之維特比解碼器的演算法，其中該暫存器係配置於該維特比解碼器之殘餘記憶體單元內，以調整解碼過程的記憶體存取。

9、如申請專利範圍第1項所述之維特比解碼器的演算法，其中該演算法係可用軟體、多用途處理器或數位訊號處理器來實現。

10、一種用於記憶體為基礎之維特比解碼器的演算法，包括下列步驟：

根據輸入資料計算出一路徑值；

運算該路徑值，並比較出最小之路徑權值，以找出該最



## 六、申請專利範圍

小路徑權值的狀態值；

判斷該最小路徑權值的狀態值是否位於一連續路徑上，若是，表示該連續路徑即為預測之回溯路徑，若否，則停止該預測；

將此時刻之該回溯路徑儲存至一暫存器中；

進行路徑回溯步驟時，根據該預測之回溯路徑尋找一合併點進行解碼，以得到一解碼信號；以及

繼續計算出目前之回溯路徑，並比較該目前回溯路徑與前一該回溯路徑，當該二路徑重合時，即可得到欲求之路徑，以進行後續之解碼步驟。

11、如申請專利範圍第10項所述之維特比解碼器的演算法，其中在計算路徑的同時，係可利用該最小路徑權值來進行該路徑之預測。

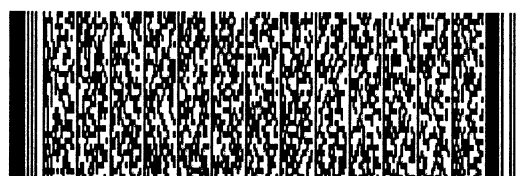
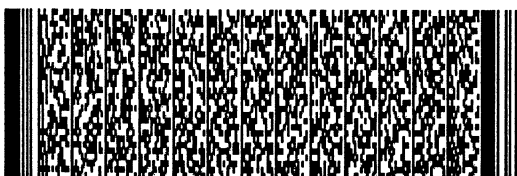
12、如申請專利範圍第10項所述之維特比解碼器的演算法，其中對該預測之回溯路徑進行解碼時，其長度係小於一回溯長度的解碼。

13、如申請專利範圍第10項所述之維特比解碼器的演算法，其中在判斷該最小路徑權值的狀態值是否位於一連續路徑上的預測步驟中，更包括下列步驟：

找出在時刻 $t$ 之該最小路徑權值的狀態值；

若在時刻 $t-1$ 到時刻 $t$ 的狀態轉換順序係位於格子圖中，將該時刻 $t$ 之最小路徑權值的狀態值儲存至該暫存器中；以及

進行時刻 $t+1$ 的預測，並將其狀態值儲存至該暫存器中



#### 六、申請專利範圍

並與該時刻 $t$ 之狀態值合併，直至確認該最小路徑權值的狀態值係位於一連續路徑上為止。

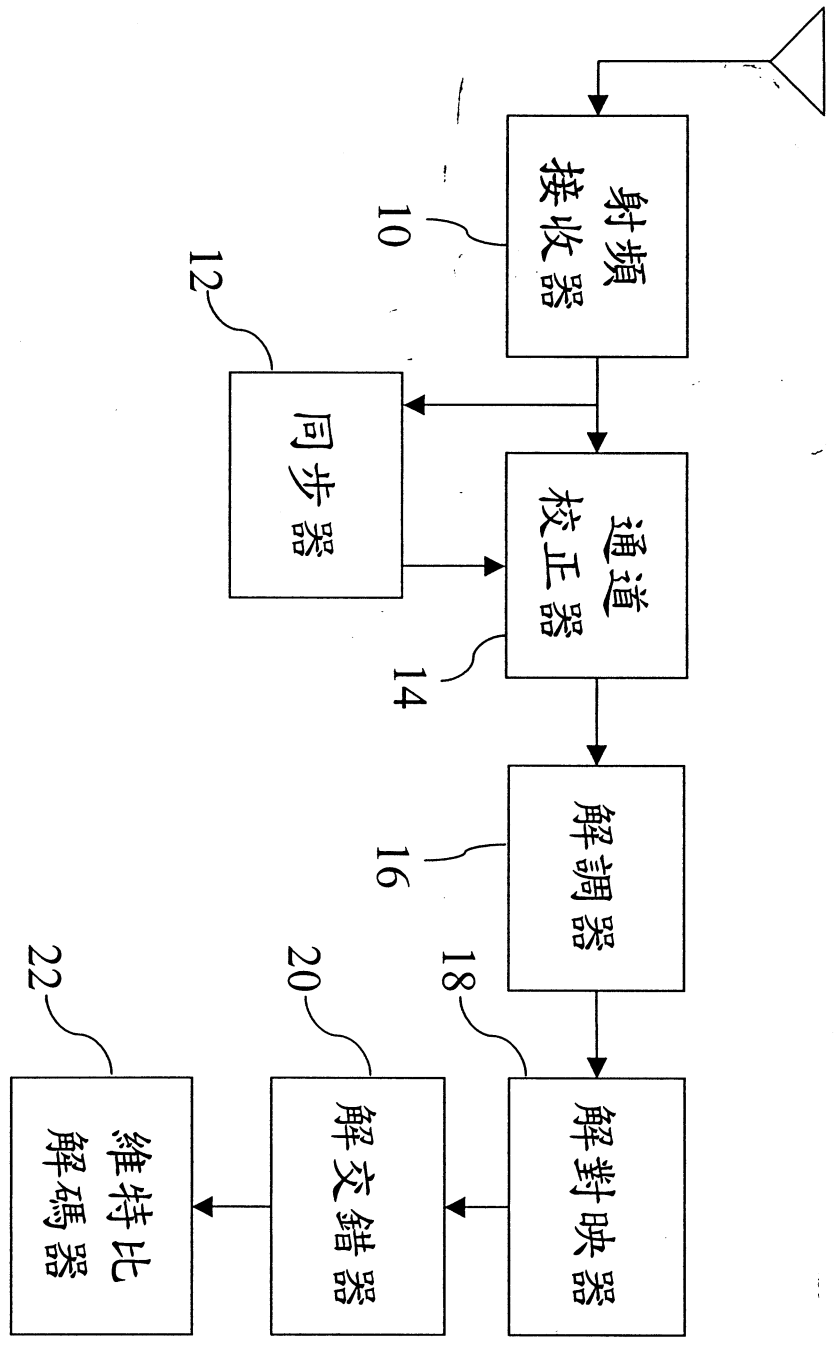
14、如申請專利範圍第10或第13項所述之維特比解碼器的演算法，其中若該暫存器內儲存之路徑為正確者，則解碼過程以存取暫存器為主。

15、如申請專利範圍第10項所述之維特比解碼器的演算法，其中該暫存器係配置於該維特比解碼器之殘餘記憶體單元內，以調整解碼過程的記憶體存取。

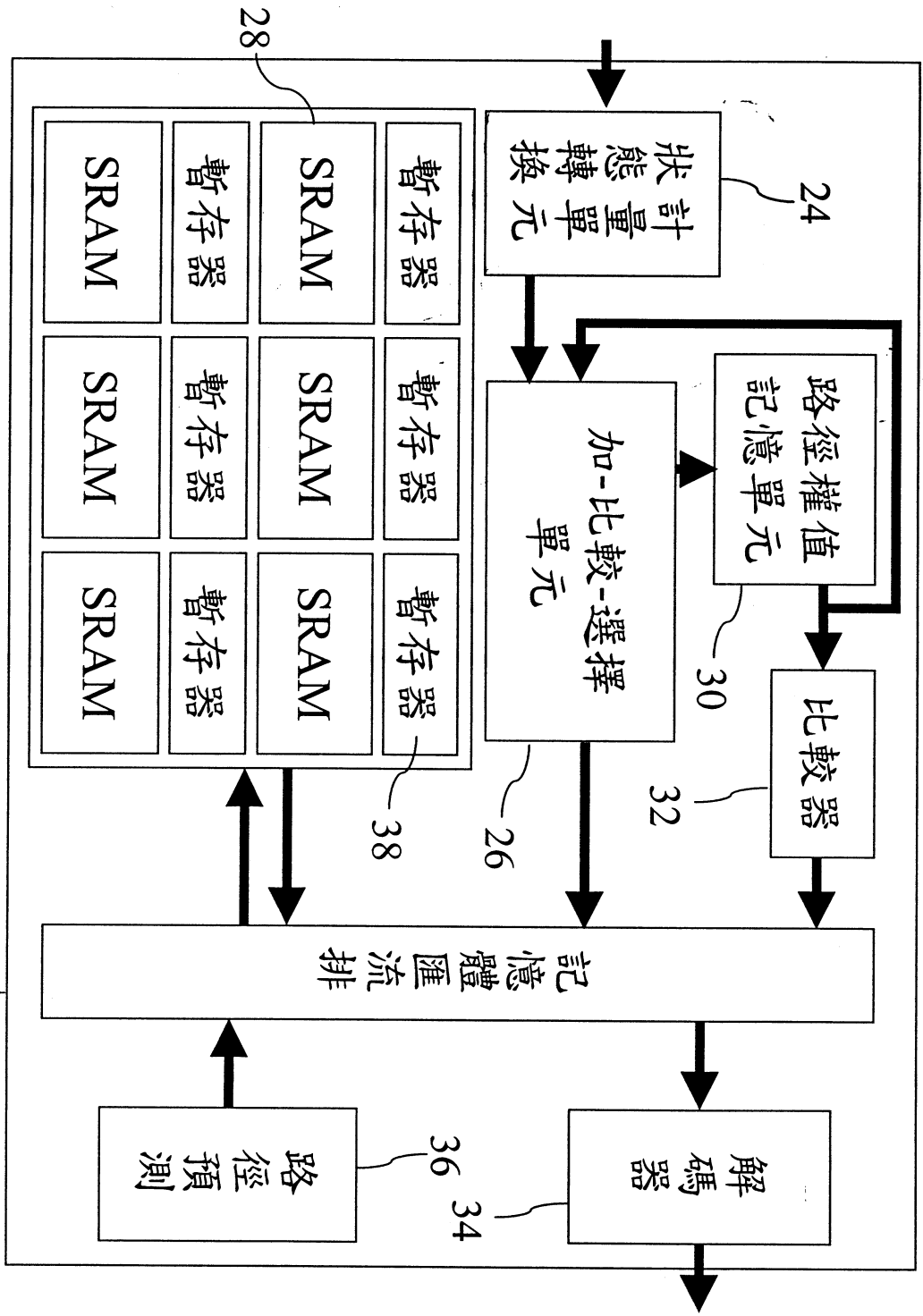
16、如申請專利範圍第10項所述之維特比解碼器的演算法，其中該演算法係可用軟體、多用途處理器或數位訊號處理器來實現。







第一圖



第二圖

22