

公告本

申請日期： <u>12-1-7</u>	IPC分類
申請案號： <u>92100294</u>	<u>H01621/302</u>

(以上各欄由本局填註)

發明專利說明書

580734

一、發明名稱	中文	以表面微加工技術製作垂直式梳狀致動器之方法
	英文	

二、發明人 (共3人)	姓名 (中文)	1. 徐文祥 2. 鍾君煒 3. 廖挺欣
	姓名 (英文)	1. Wensyang Hsu 2. Junwei Chung 3. Tingsin Liao
	國籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW 3. 中華民國 TW
	住居所 (中文)	1. 新竹市大學路1001號國立交通大學機械系 2. 高雄縣六龜鄉新寮村三民路12-1號 3. 台北縣深坑鄉埔新村北深路2段43巷3號4樓
	住居所 (英文)	1. 2. 3.

三、申請人 (共1人)	名稱或姓名 (中文)	1. 國立交通大學
	名稱或姓名 (英文)	1.
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中文)	1. 新竹市大學路1001號 (本地址與前向貴局申請者不同)
	住居所 (營業所) (英文)	1.
	代表人 (中文)	1. 張俊彥
代表人 (英文)	1.	



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間

日期： 2002/07/05

四、有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

熟習該項技術者易於獲得，不須寄存。

四、中文發明摘要 (發明名稱：以表面微加工技術製作垂直式梳狀致動器之方法)

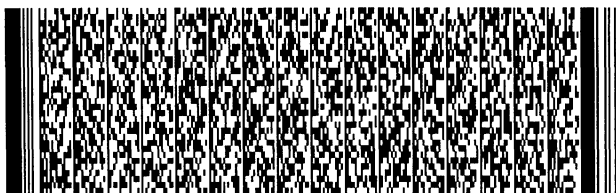
本發明垂直式梳狀致動器之製法，係於基材上以電鑄形成第一犧牲層後，並於該第一犧牲層上以電鑄形成下梳狀電極，再於該下梳狀電極上電鑄形成第二犧牲層，然後在第二犧牲層上先後以沈積法形成第三犧牲層及上梳狀電極，最後蝕刻上述各犧牲層而得到垂直式梳狀致動器。藉此解決習知技術致動效果不佳、致動行程受限、基底材料受限，或上、下電極之側向間距受限於對準精度而造成控制不佳的問題，相對可達到降低致動電壓、增大行程及適用各種基材的功效。

五、(一)、本案代表圖為：第十三圖

(二)、本案代表圖之元件代表符號簡單說明：

5 基材

六、英文發明摘要 (發明名稱：)



四、中文發明摘要 (發明名稱：以表面微加工技術製作垂直式梳狀致動器之方法)

- 5 4 . . 下梳狀電極結構
- 5 5 . . 上梳狀電極結構
- 5 5 1 可動板

六、英文發明摘要 (發明名稱：)



五、發明說明 (1)

< 發明所屬之技術領域 >

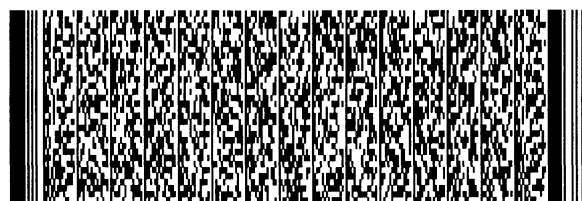
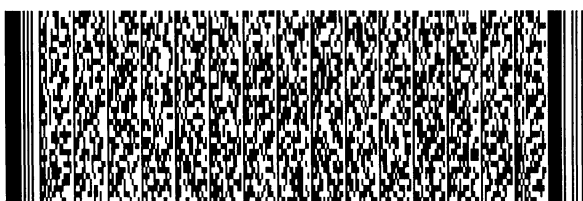
本發明係有關一種梳狀致動器之製法，尤指一種應用表面式微加工技術 (Surface micromachining) 而製造之垂直式梳狀致動器。

< 先前技術 >

按，垂直式梳狀致動器 (Vertical Comb Drive, VCD) 係將一梳狀電極固定在基材 (substrate)，並令另一梳狀電極由扭臂懸浮，以靜電原理驅動此兩互相交錯之梳狀電極。由於垂直梳狀致動器在致動過程中始終保持固定電極間隙，使其可維持等量之靜電力，與傳統的平行電極板致動器相比，垂直梳狀致動器可擁有更大的位移。

習知之垂直梳狀致動器多以深反應離子蝕刻 (Deep Reactive Ion Etching, DRIE) 及 / 或體蝕刻等來製造上下位置互異，或垂直厚度互異之兩梳狀電極結構，達成垂直致動效果。或以深反應離子蝕刻分別製作上下兩梳狀電極，再利用例如晶片接合、加入電壓、塗敷玻璃膜或氧化膜等使用接著劑、鍍錫或焊接方法之接合技術，以將上下梳狀電極結構予以接合。

一般而言，習知之垂直式梳狀致動器係令其上梳狀電極以彈性體支持而下梳狀電極固定，加入電壓後即產生靜電力，當間隙縮短及彈性體伸長時將產生復原力，令復原力與靜電力平衡時，運動靜止 (達到平衡點)，因此時之間隙縮短而使復原力呈比例放大，所以，必須對其運動性及

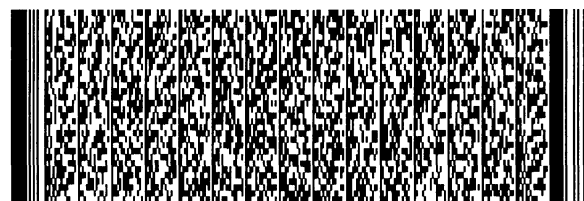


五、發明說明 (2)

安定範圍之外的電極間隙作控制，以確保其作動。

其中，垂直梳狀致動器之相關技術可參考美國專利第 2002/0005971A1 號案、或 Lee 等人之論文 "Design and fabrication of scanning mirror for laser display", Sensors and Actuators A, Vol. 96, 2002, pp. 233-230、或 Xie 等人之論文 "Vertical comb-finger capacitive actuation and sensing for CMOS-MEMS", Sensors and Actuators A, Vol. 95, 2002, pp. 212-221、Selvakumar 等人之論文 "Vertical Comb Array Microactuators", MEMS '95, Proceedings, 1995, pp. 43-48、或 Jeong 等人之論文 "Milli-scale mirror actuator with bulk micromachined vertical combs", Transducers '99, Sendai, 1999, pp. 1006-1009、或 Hsieh 等人之論文 "Using extended BELST process in fabricating vertical comb actuator for optical application", IEEE/LEOS International Conference on Optical MEMS, 2002, pp. 133-134。

惟，前揭之習知垂直梳狀致動器常受結構型態之限制，而迫使必須加以更高的電壓，以達足夠的致動變位。或在製作上受限於基底材料 { 例如 (111) 晶片 } 之選用。或需要以諸如晶片接合之接合技術，並必須控制兩梳狀電極間之間隙大小。由於接合時必須精確對準，使得兩梳狀電極之側向間距受此限制，因此造成動作範圍受限制，且



五、發明說明 (3)

過大間距將導致兩梳狀電極間所能產生之電容或靜電力降低。

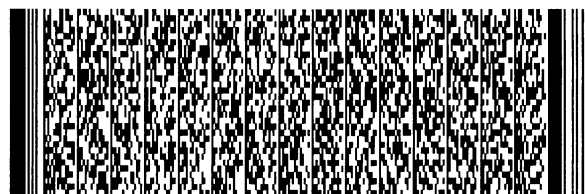
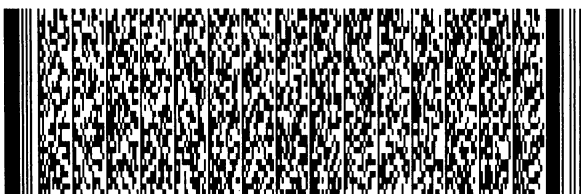
再者，習知垂直梳狀致動器之兩梳狀電極間之間隙大小必須非常精密，通常必須控制在 1 至 2 μm 之間，若超過初始設定之間隙時，將使效能大打折扣。以下配合圖式說明之：

請參閱第一圖及第二圖，其係提出具有以絕緣膜層隔開之第一及第二導電層之多層結構，並在該多層結構以深反應離子蝕刻技術蝕刻上圖案、絕緣膜層以定義第二及第一梳狀電極，而得到如第二圖所示之上下位置互異之梳狀結構 1 a、1 b，當施予電壓差 V 時，該梳狀結構 1 a、1 b 可做垂直式致動。惟，該梳狀結構 1 a、1 b 之起始位置互相錯開而未能互相疊合 (overlap)，因此將失去梳狀致動器線性致動之優點，並導致更高的致動電壓。

請參閱第三圖，其係利用平面梳狀結構 2 a、2 b 在垂直厚度上之差異以達成垂直致動，然而，其缺點在於驅動力不佳，而且其致動行程受限於半導體後段製程之膜層數及厚度。

請參閱第四圖，其係利用反應離子蝕刻及體蝕刻來製造兩組上下位置互異的梳狀結構 3 a、3 b，然而其缺點為梳狀結構 3 a、3 b 之厚度受制於離子摻雜之深度，而造成其所能致動之行程限制。或利用例如 (111) 晶片為基材進行製作，其缺點為受限於基材材料之選擇。

請參閱第五圖、第六圖及第七圖，其係利用深反應離



五、發明說明 (4)

子蝕刻技術，分別製作出上下兩個梳狀電極 4 a 及 4 b，然後再加以接合。由於必須精確對準方能控制上下兩個梳狀電極之側向間距，因此接合精準度之限制將造成過大之間距而導致上下電極所能產生之電容或靜電力降低，且製程困難。

< 發明內容 >

本發明係有鑑於上述習知技術之缺點而設計者，其主要目的即在於提供一種不用晶片接合之垂直式梳狀致動器之製法，藉以提供不需任何的組裝程序之垂直式梳狀致動器。

本發明之次一目的乃在於提供一種可輕易做出上、下電極之相同間距的垂直式梳狀致動器之製法，藉以精準控制垂直式梳狀致動器之電極間隙大小者。

本發明之另一目的乃在於提供一種可降低驅動電壓、增大行程之垂直式梳狀致動器之製法。

本發明之又一目的乃在於提供一種可適用於多種不同基材的垂直式梳狀致動器之製法，不需因採用深反應離子蝕刻技術而犧牲基材材料，提供更多與積體電路的整合空間。

本發明之再一目的乃在於提供一種低溫(低於 150°C)之垂直式梳狀致動器之製法，使其易於和積體電路進行整合。

為達上述目的，本發明是這樣實現的：一種以表面微



五、發明說明 (5)

加工技術製作垂直式梳狀致動器之方法，係包括下列步驟：

於基材上以電鑄形成第一犧牲層，提供致動行程所需之高度空間；

於基材上以電鑄形成下梳狀電極結構；

於下梳狀電極結構上以電鑄形成第二犧牲層，提供制動行程所需之高度空間；

於基材上以沉積法形成第三犧牲層，提供上、下梳狀電極結構間的側向間隙；

於該第三犧牲層上以沉積法形成上梳狀電極結構；以及移除前述各犧牲層，而得到垂直式梳狀致動器。

其中，於該基材上可先形成一電鑄起始層，同時以曝光及顯影之方法形成電鑄模 (mold)。

再者，該等犧牲層與該等梳狀電極結構為不同材料所形成，因此於進行蝕刻時可提供良好之蝕刻選擇比，以蝕刻液將該等犧牲層除去，得到所要之電極結構，而沉積法所採用之方法可為電鑄、化學氣相沉積、物理氣相沉積或其他半導體積體電路常用製程。

同時，由於本發明之垂直式梳狀致動器之製法係以結合微影、精密電鑄及沉積技術製作出犧牲層及上、下梳狀電極結構，且該等犧牲層與該等梳狀電極之材質不同，調整各犧牲層之厚度可分別控制電極之側向間隙以及垂直式梳狀致動器之可容許運動行程。

藉由上述構成，本發明之垂直式梳狀致動器之製法可



五、發明說明 (6)

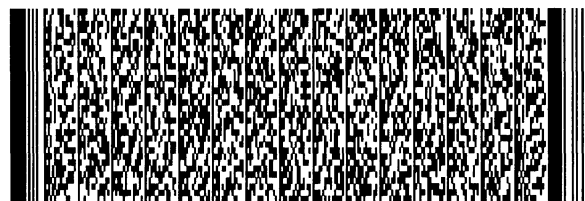
提供不需任何的組裝程序之垂直式梳狀致動器，並同時保持上下梳狀電極之間之良好間隙，俾達到降低驅動電壓、增大行程之功效。

< 實施方法 >

為使貴審查委員瞭解本發明之目的、特徵及功效，茲藉由下述具體之實施例，並配合所附之圖式，對本發明做一詳細說明，說明如后。

請參閱第八至第十三圖，其依序繪示依照本發明製造垂直式梳狀致動器方法之較佳實施例流程示意圖。

請參閱第八圖，首先，在基材 5 上沉積二氧化矽層（或氮化矽層）以提供電隔離，以及沉積一層電鑄起始層 5 1，並同時利用光阻劑搭配曝光、微影之方法形成第一電鑄模 5 2 1，以及電鑄形成第一犧牲層 (sacrificial layer) 5 3 1，該第一犧牲層 5 3 1 係用以提供致動行程所需要之空間，隨後並將該第一電鑄模 5 2 1 予以移除。詳言之，該基材 5 之材質不限致，而二氧化矽之厚度可為例如 $1 \mu\text{m}$ 。於該二氧化矽層上塗佈光阻並圖案化，經烘烤後再予以曝光及顯影，並於其上以電子束蒸鍍沉積兩層金屬層，該兩金屬層可分別例如為金及鈦，以鈦金屬形成電鑄起始層 5 1，並蒸鍍於基材 5 與金之間以增加黏著力。隨後將基材 5 浸於丙酮中用超音波震動，以剝除在光阻上的金屬，殘留的金屬可作為導電的線路和接墊（由於電子束蒸鍍法所沉積之鈦金屬層與金金屬層之階梯覆



五、發明說明 (7)

蓋 (step coverage) 不佳，因此在此採用此法，在剝除製程中，這比在氧化物層上撕除之製程更有助於移除蒸鍍在該光阻上之鈦金屬層與金金屬層。隨後再於該基材5上沉積兩層金屬層以作為種子層，該兩金屬層可分別例如之為鎳及鉻，該鉻金屬層亦蒸鍍於該基材5與該鎳金屬層之間以增加黏著力。於種子層上將光阻劑層圖案化選擇性的開口以定義該電鑄區域。在電鑄之前不進行硬烘烤以避免該光阻模變形，之後再以銅金屬進行第一犧牲層531之電鑄，後以丙酮移除該光阻模。

請參閱第九圖，利用光阻劑搭配曝光、微影之方法形成選擇性開口之第二電鑄模522以定義電鑄區域，並於定義之電鑄區域以不同於第一犧牲層531之金屬材質電鑄形成固定的下梳狀電極結構54。

其中，使用光罩將光阻劑圖案化以形成第二電鑄模522後，係將基材5 (晶圓) 固定於陰極，以純鎳片以為陽極。在50°C之溫度下進行鎳電鑄，通以100mA之電流時，在該模中長成鎳層以填補縫隙，因此形成固定的下梳狀電極結構54。

請參閱第十圖，利用相同之第二電鑄模522，於其定義電鑄區域之下梳狀電極結構54上電鑄形成第二犧牲層532，以提供致動行程所需之空間，隨後並將該第二電鑄模522予以移除。

其中，下梳狀電極結構54上以銅金屬電鑄第二犧牲層532，係作為在梳狀電極結構與可動板 (movable



五、發明說明 (8)

plate) 之間的空間。在電鑄完成後，以丙酮移除光阻層。

請參閱第十一圖，利用光阻劑圖案化一第三電鑄模，以在基材 5 表面除了錨接區域以外之所有區域（包含第一犧牲層 5 3 1、第二犧牲層 5 3 2 及下梳狀電極結構 5 4 表面）沉積第三犧牲層 5 3 3，以提供上梳狀電極結構（圖未示）與下梳狀電極結構 5 4 之側向間隙。

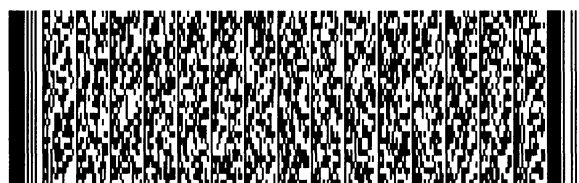
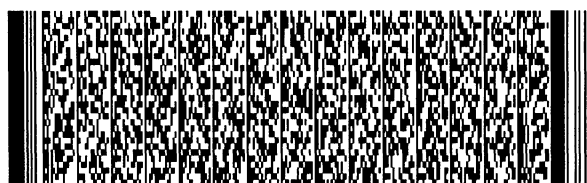
其中，該第三犧牲層 5 3 3 為薄銅層，係作為犧牲空間以將上梳狀電極（圖未示）與下梳狀電極 5 4 分開。

請參閱第十二圖，利用光阻劑圖案化一第四電鑄模，以在第三犧牲層 5 3 3 上之定義區域沉積上梳狀電極結構 5 5 及可動板 5 5 1 (movable plate)。

其中，梳狀電極結構 5 5 及可動板 5 5 1 係以鎳金屬結構形成。在電鑄最後的鎳結構之前，再以光阻劑圖案化，而鎳之電鑄路徑仍控制在 50°C 之溫度下。當供應直流電時，該鎳層在未受覆蓋的犧牲層及種子層上長出，以形成垂直式梳狀致動器之上梳狀電極結構 5 5 及可動板 5 5 1，此鎳電鑄在該第三犧牲層 5 3 3 之表面及所有側壁上長出。當該長出之鎳層彼此接觸時，則完成電鑄。

請參閱第十三圖，經以蝕刻液將前述之第一、第二及第三犧牲層 5 3 1、5 3 2、5 3 3 予以移除，而獲得可垂直制動之梳狀致動器。

其中，係將基材 5（晶圓）置於蝕刻劑 " $\text{NH}_4\text{OH} + \text{H}_2\text{O}_2$ " 中釋出以在 1 至 1.5 個小時內移除所有的銅犧牲層，此逐



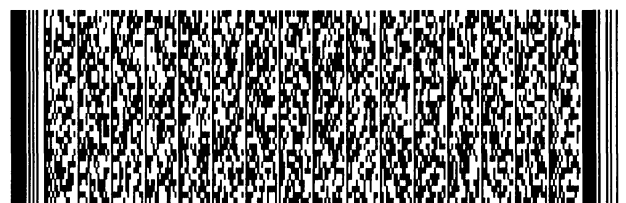
五、發明說明 (9)

時控制蝕刻釋出該上梳狀電極結構 5 5 以及可動板 5 5 1。該鍍結構可承受 " $\text{NH}_4\text{OH} + \text{H}_2\text{O}_2$ " 蝕刻而不致受到任何結構或化學損傷。接著，將基材 5 (晶圓) 浸在經稀釋的 H_2SO_4 (H_2SO_4 稀釋之比例為 3 比 1) 及鉻光罩蝕刻劑 (CR-7T) 40 至 60 秒，以分別移除鍍種子層及鉻黏著層，並在接墊及個別裝置之間提供隔離。

前述之沉積方法，可為電鑄、化學氣相沉積、物理氣相沉積等半導體積體電路製程常用之方法，但並不以此為限。

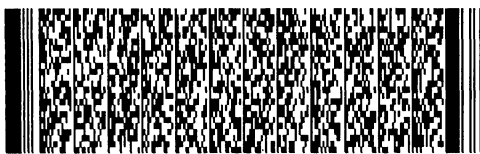
由前實施例說明可知，由於本發明垂直式梳狀致動器之製法，係利用微電鑄技術、光學微影圖刻技術及表面微犧牲加工技術，製作出金屬結構之垂直式梳狀致動器。因犧牲層與上下電極為具有良好蝕刻選擇比之不同金屬，故可採用電鑄方法依序沉積，不需用到晶片接合技術來結合上下電極結構，並能精確地控制梳狀電極間之側向間隙大小。因此不但解決習知技術結構型態不佳、對基材造成蝕刻及基材材料受限的問題。同時也解決習知技術在採用上、下電極結構接合時所產生的對準問題，相對可達到降低致動電壓、增大行程的功效，並保持原有梳狀致動器之優點。並且，利用調整各犧牲層之厚度可分別控制電極之側向間隙以及垂直式梳狀致動器之可容許運動行程。

綜上所述，誠可見本發明之垂直式梳狀致動器之製法，確已改善習知技術之致動電壓過高、致動行程受限、基材材料受限、需額外接合以及間距過大而降低所能產生電



五、發明說明 (10)

容或靜電力等問題，實屬一項重大之突破設計，而此項手段運用亦屬前所未見，故本發明理應符合發明專利之新穎、進步要件及高度產業利用價值，惟祈鈞局惠予詳審並賜准專利為禱。



圖式簡單說明

第一圖為習知垂直式梳狀致動器之構造示意圖。

第二圖為沿第一圖A-A剖線之習知垂直式梳狀致動器(一)剖視示意圖。

第三圖為習知垂直式梳狀致動器(二)剖視示意圖。

第四圖為習知垂直式梳狀致動器(三)剖視示意圖。

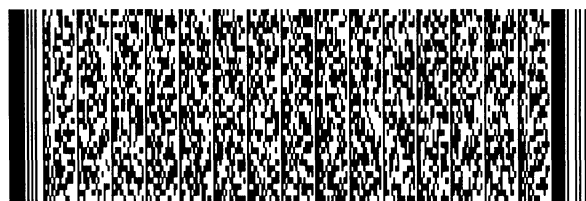
第五圖為習知垂直式梳狀致動器(四)構造示意圖。

第六、七圖為沿第五圖B-B剖線之習知垂直式梳狀致動器(四)其上、下梳狀電極之接合步驟剖視示意圖。

第八至第十三圖係依序繪示依照本發明製造垂直式梳狀致動器方法之較佳實施例流程示意圖。

圖號簡單說明：

1 a、1 b	· · 梳狀結構	2 a、2 b	· · 梳狀結構
3 a、3 b	· · 梳狀結構	4 a、4 b	· · 梳狀電極
5	· · · · · 基材	5 1	· · · · 電鍍起始層
5 2 1	· · · 第一電鍍模	5 2 2	· · · 第二電鍍模
5 3 1	· · · 第一犧牲層	5 3 2	· · · 第二犧牲層
5 3 3	· · · 第三犧牲層	5 4	· · 下梳狀電極結構
5 5	· · 上梳狀電極結構	5 5 1	· · · · · 可動板



六、申請專利範圍

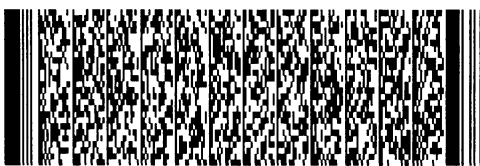
1. 一種以表面微加工技術製作垂直式梳狀致動器之方法，係包括下列步驟：
於基材上以電鑄形成第一犧牲層，提供致動行程所需之高度空間；
於基材上以電鑄形成下梳狀電極結構；
於下梳狀電極結構上電鑄形成第二犧牲層，提供致動行程所需之高度空間；
於基材上以沉積法形成第三犧牲層，提供上、下梳狀電極結構間的側向間隙；
於該第三犧牲層上以沉積法形成上梳狀電極結構；以及
移除前述各犧牲層，而得到垂直式梳狀致動器。
2. 如申請專利範圍第1項所述之方法，其中各犧牲層之材料係不同於梳狀電極結構。
3. 如申請專利範圍第1項所述之方法，其中各犧牲層係選取銅金屬。
4. 如申請專利範圍第1項所述之方法，其中梳狀電極結構係選取具導電性材料。
5. 如申請專利範圍第4項所述之方法，其中具導電性材料係選取鎳金屬。
6. 如申請專利範圍第1項所述之方法，其中於基材上形成第一犧牲層前，係預先於基材上形成絕緣層與電鑄起始層。
7. 如申請專利範圍第6項所述之方法，其中絕緣層係選



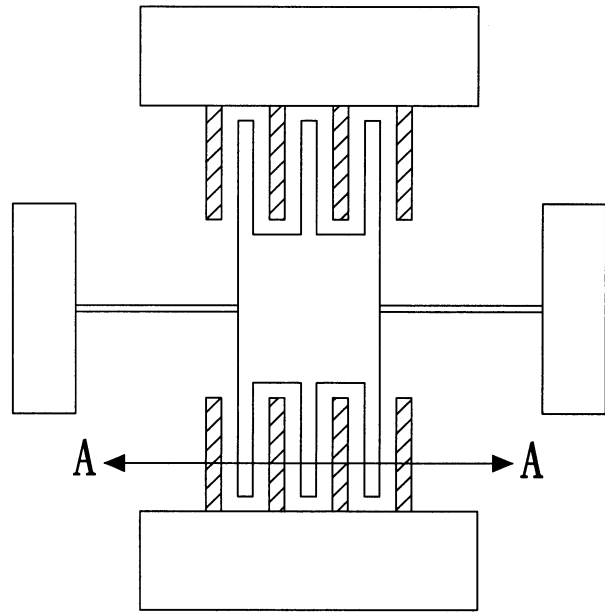
六、申請專利範圍

自二氧化矽層或氮化矽層之一。

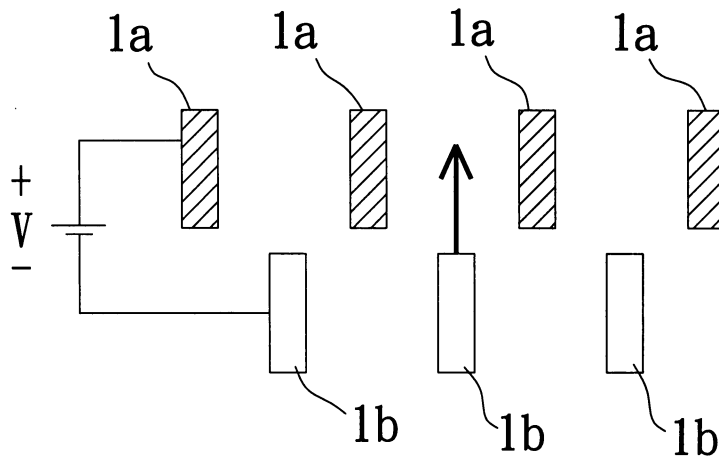
8. 如申請專利範圍第6項所述之方法，其中於電鑄起始層上，以曝光及顯影之方法形成電鑄模（mold）。
9. 如申請專利範圍第1項所述之方法，其中第三犧牲層係沉積於基材上包含第一犧牲層、第二犧牲層及下梳狀電極結構表面。



圖式

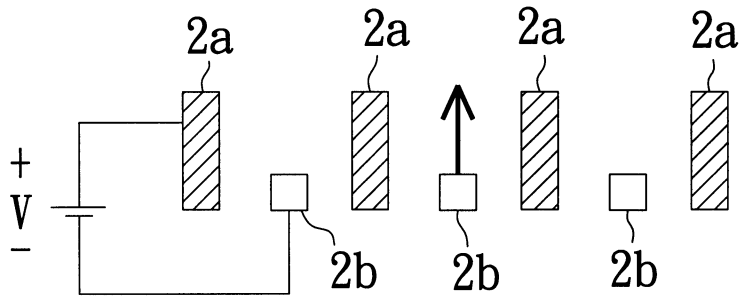


第一圖

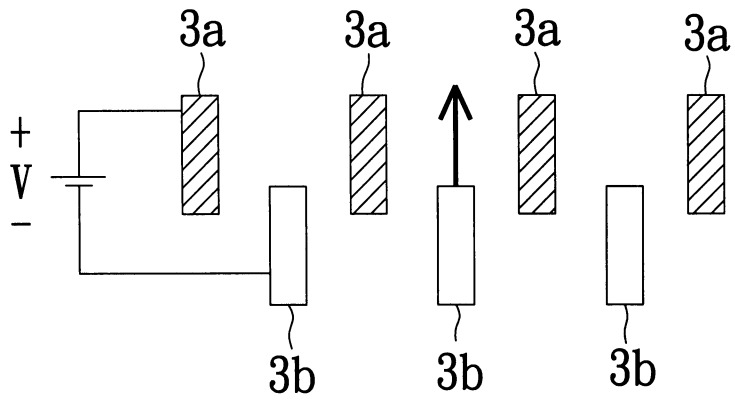


第二圖

圖式

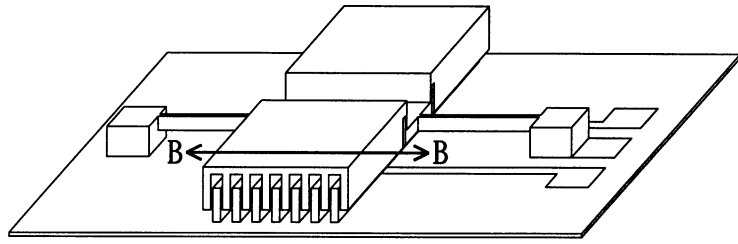


第三圖

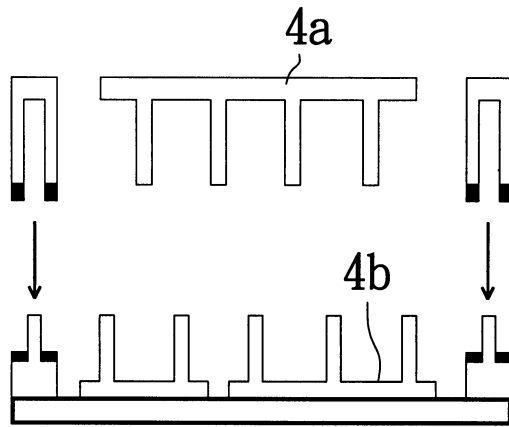


第四圖

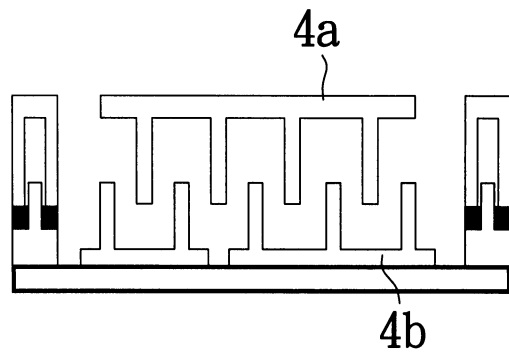
圖式



第五圖

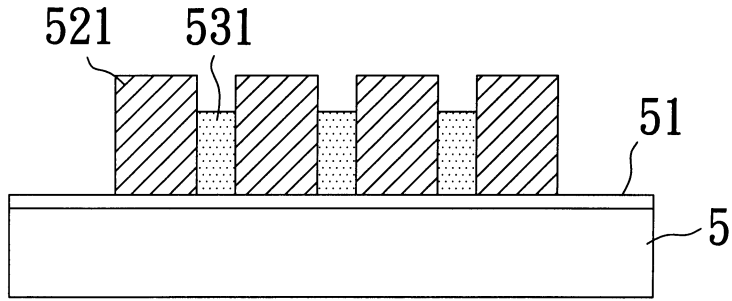


第六圖

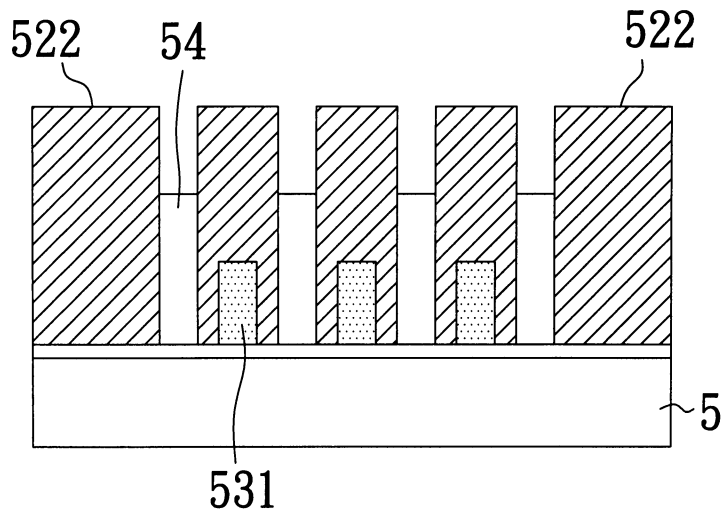


第七圖

圖式

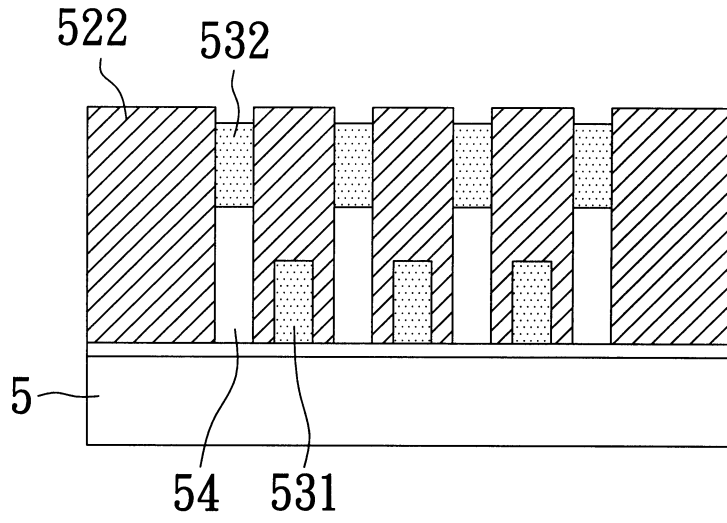


第八圖

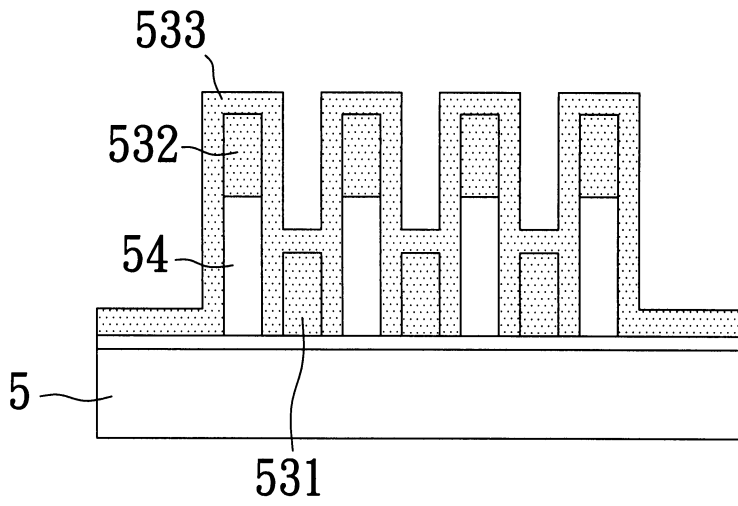


第九圖

圖式

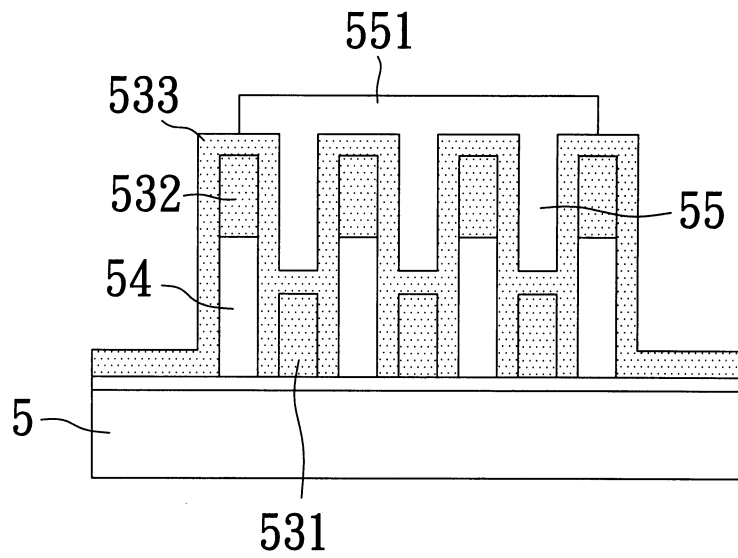


第十圖

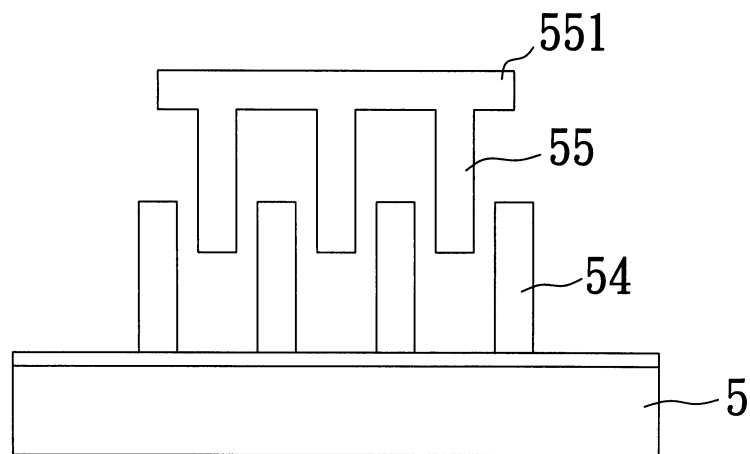


第十一圖

圖式



第十二圖



第十三圖