

發明專利說明書

578363

(填寫本書件時請先行詳閱申請書後之申請須知，作※記號部分請勿填寫)

※ 申請案號：092101485 ※IPC分類：H03D 3/22

※ 申請日期：92-1-23

壹、發明名稱

(中文) 窄控脈衝式相頻偵測器

(英文) _____

貳、發明人 (共 2 人)

發明人 1 (如發明人超過一人，請填說明書發明人續頁)

姓名：(中文) 李鎮宜

(英文) Chen-Yi Lee

住居所地址：(中文) 新竹市博愛街 75 之 1 號

(英文) _____

國籍：(中文) 中華民國 (英文) R.O.C.

參、申請人 (共 1 人)

申請人 1 (如發明人超過一人，請填說明書申請人續頁)

姓名或名稱：(中文) 國立交通大學

(英文) National Chiao Tung University

住居所或營業所地址：(中文) 新竹市大學路 1001 號

(英文) _____

國籍：(中文) 中華民國 (英文) R.O.C.

代表人：(中文) 張俊彥

(英文) Chang, C. Y.

續發明人或申請人續頁 (發明人或申請人欄位不敷使用時，請註記並使用續頁)

發明人 2

姓名：(中文) 陳寶龍

(英文) Pao-Lung Chen

住居所地址：(中文) 新竹縣新豐鄉青埔村 2 鄰 32 號

(英文)

國籍：(中文) 中華民國

(英文) R.O.C.

發明人 3

姓名：(中文)

(英文)

住居所地址：(中文)

(英文)

國籍：(中文)

(英文)

發明人 4

姓名：(中文)

(英文)

住居所地址：(中文)

(英文)

國籍：(中文)

(英文)

發明人 5

姓名：(中文)

(英文)

住居所地址：(中文)

(英文)

國籍：(中文)

(英文)

發明人 6

姓名：(中文)

(英文)

住居所地址：(中文)

(英文)

國籍：(中文)

(英文)

捌、聲明事項

本案係符合專利法第二十條第一項 第一款但書或 第二款但書規定之期間，其日期為：_____

本案已向下列國家（地區）申請專利，申請日期及案號資料如下：

【格式請依：申請國家（地區）；申請日期；申請案號 順序註記】

1. _____
2. _____
3. _____

主張專利法第二十四條第一項優先權：

【格式請依：受理國家（地區）；日期；案號 順序註記】

1. _____
2. _____
3. _____
4. _____
5. _____
6. _____
7. _____
8. _____
9. _____
10. _____

主張專利法第二十五條之一第一項優先權：

【格式請依：申請日；申請案號 順序註記】

1. _____
2. _____
3. _____

主張專利法第二十六條微生物：

國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

1. _____
2. _____
3. _____

國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

1. _____
2. _____
3. _____

熟習該項技術者易於獲得，不須寄存。

肆、中文發明摘要

一種窄控脈衝式相頻偵測器，主要包含有兩個實質上相等的窄控脈衝式相位栓鎖器，和一個重置信號產生單元。每個窄控脈衝式相位栓鎖器各有一時脈輸入端和信號輸出端，並與重置信號產生單元連結，根據時脈輸入的先後，決定對應之窄控脈衝式相位栓鎖器的該信號輸出端的邏輯值。重置信號產生單元根據該信號輸出端的邏輯值，決定是否產生重置信號，並輸出至每一窄控脈衝式相位栓鎖器。本發明可以精簡的電路來實施。相對於使用 RS 反及閘栓鎖，和主僕式 D 型正反器之相頻偵測器，速度較快，而且省電，同時晶片面積較小。相對於動態栓鎖的相頻偵測器而言，儲存在節點的值，由於有回授電路，不致因漏電而消失，而能工作較寬的頻率範圍。

伍、英文發明摘要

陸、(一)、本案指定代表圖為：第 5 圖

(二)、本代表圖之元件代表符號簡單說明：

501 窄控脈衝產生單元

503 路徑單元

505 回授開關

507 儲存清除單元

509 回授輸出單元

柒、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

玖、發明說明

【發明所屬之技術領域】

本發明係關於窄控脈衝(narrow control pulse)式相頻偵測器(phase frequency detector, PFD)，特別是一種利用窄控脈衝式相位栓鎖的相頻偵測器，可用於高速、低功率以及較寬的工作頻率範圍，如需高速的數位鎖相迴路(phase-locked loop, PLL)、寬頻的頻率合成器(frequency synthesizer)中。

【先前技術】

鎖相迴路是普遍應用在通信、中央處理器與網路方面的各種晶片中，以達成同步化計時(clock)信號。一般鎖相迴路主要包含一個相頻偵測器、一個電荷幫浦(charge pump)，一個電壓控制振盪器(voltage controlled oscillator, VCO)，和迴路濾波器(loop filter)，其中之相頻偵測器主要用來偵測相位和頻率的差異。

圖1為一種傳統的三態相頻偵測器。參考圖1，此相頻偵測器提供一個表示在參考輸入信號REF (reference signal)的計時脈波，和一個電壓控制振盪器的計時脈波間之相位差異的控制信號VCO，並以兩個正反器101和103，以及一個外加的及閘(AND gate)所組成。此正反器中將D接VDD，REF接CLK。此外加的及閘是一個非同步狀態的機械裝置，正反器可用主僕式D型正反器(master-slave D flip-flop)、RS反及閘栓鎖或動態栓鎖(dynamic latch)等來實

☐ 續次頁

現。圖2a~圖2c分別為在圖1中使用主僕式D型正反器、RS反及閘栓鎖和動態栓鎖的相頻偵測器。

圖2a中，此相頻偵測器使用正緣觸發(positive-edge trigger)的主僕式D型正反器並備有一重置(Reset)信號，並且將D輸入端接至邏輯1(logic one)的VDD，REF接至CLK。

圖2b中，此相頻偵測器是利用一般雙RS反及閘栓鎖(Dual RS NAND latches)來實現，也就是以兩個反及閘為架構，而用反及閘方式交叉耦合(crossed-coupled)構成，栓鎖1(即反及閘A1和B1)之latch_1與栓鎖2(即反及閘A2和B2)之latch_2之個別反應參考輸入信號和重置信號Reset的下降邊緣，此種以反及閘為架構的RS栓鎖是一種會經由內部狀態改變而損失的非同步電路，在反應參考輸入信號及產生重置信號時會花費很長的延遲時間(delay time)，不適合作為低功率和高速的相頻偵測器。

圖2c中，此相頻偵測器為已揭露在美國專利6,157,263的一種動態栓鎖相頻偵測器，係用內部的節點來記憶它的運作狀態，此內部節點的儲存電荷會因不適合寬頻範圍的漏電流(leakage current)而遭受損失。

當相頻偵測器參考輸入信號的計時脈波增加時，鎖相迴路的性能要求會變得更為嚴苛。引起高性能的鎖相迴路

的不穩定有兩個主因：一為供應的雜訊可能意外地改變電壓控制振盪器的頻率，而導致鎖相迴路之輸出計時脈波的不穩定；另一為由低準確度的相頻偵測器所引起的不穩定。典型的相頻偵測器備有一個大的可增加其不穩定之最小可偵測的相位差，或稱之為死帶寬度(dead zone)。而傳統之含有靜態邏輯閘的相頻偵測器會因透過多個邏輯閘階段的傳遞延遲，產生速度的極限，此速度的極限在高頻運轉下造成死帶寬度的增加，因而增加相頻偵測器的不穩定度。

【發明內容】

本發明克服上述傳統相頻偵測器的缺點，其主要目的之一為利用靜態電路，提供一種窄控脈衝式相頻偵測器。此相頻偵測器主要包含有兩個實質上相等的窄控脈衝式相位栓鎖器，和一個重置信號產生單元。

根據本發明，每個窄控脈衝式相位栓鎖器各有一時脈輸入端和信號輸出端，並與重置信號產生單元連結，根據時脈輸入的先後，決定對應之窄控脈衝式相位栓鎖器的該信號輸出端的邏輯值。重置信號產生單元根據該信號輸出端的邏輯值，決定是否產生重置信號，並輸出至每一窄控脈衝式相位栓鎖器。

每個窄控脈衝式相位栓鎖器更包含一窄控脈衝產生單元、一路徑單元、一回授開關、一儲存清除單元，和一回

續次頁

授輸出單元。此窄控脈衝式相位栓鎖器採用正緣或負緣觸發，其輸出端的邏輯值結果是一樣的。

本發明之窄控脈衝式相位栓鎖器的較佳實施例中有三種實施的等效電路。此等效電路設計有兩個主要標的，一為減少傳統具重置功能之主僕式D型正反器的閘數(gate count)，另一為縮短窄控脈衝式相位栓鎖器的設定時間(setup time)。

本發明的窄控脈衝式相位栓鎖器的閘數約為傳統具重置功能之主僕式D型正反器的閘數的二分之一。本發明並透過使用窄控脈衝和正回授機制，縮短了窄控脈衝式相位栓鎖器的設定時間。由於有正回授機制，速度也比動態栓鎖的相頻偵測器來得快。

茲配合下列圖式、實施例之詳細說明及專利申請範圍，將上述及本發明之其他目的與優點詳述於后。

【實施方式】

圖3為根據本發明之窄控脈衝式相頻偵測器的方塊示意圖。參考圖3，此相頻偵測器包含有兩個實質上相等的窄控脈衝式相位栓鎖器301和303，以及一個重置信號產生單元305。窄控脈衝式相位栓鎖器301和303各有一時脈輸入端和信號輸出端，並與重置信號產生單元連結。窄控脈衝式

ⓧ 續次頁

相位栓鎖器301之時脈輸出端稱之為時脈_1，信號輸出端為Up；窄控脈衝式相位栓鎖器303之時脈輸入端稱之為時脈_2，信號輸出端為Dn。根據時脈輸入的先後，決定對應之窄控脈衝式相位栓鎖器的該信號輸出端的邏輯值。重置信號產生單元305根據該信號輸出端的邏輯值，決定是否產生重置信號，並輸出至窄控脈衝式相位栓鎖器301和303。

圖4為說明圖3運作的時序圖，採用正緣觸發。參考圖4，當時脈_1領先時脈_2時，窄控脈衝式相位栓鎖器301之信號輸出端Up的值為邏輯1。當時脈_2領先時脈_1時，窄控脈衝式相位栓鎖器303之信號輸出端Dn的值為邏輯1。當兩窄控脈衝式相位栓鎖器301和303之輸出端的邏輯值皆為1時，重置信號產生單元305決定產生重置信號，並輸出至脈衝式相位栓鎖器301和303。

根據本發明，窄控脈衝式相位栓鎖器採用正緣或負緣觸發，其輸出端的邏輯值的結果是一樣的。

圖5為根據本發明之窄控脈衝式相位栓鎖器的方塊示意圖。參考圖5，每個窄控脈衝式相位栓鎖器更包含一窄控脈衝產生單元501、一路徑單元503、一回授開關505、一儲存清除單元507，和一回授輸出單元509。路徑單元503備有一固定準位信號的輸入端。

☒ 續次頁

根據本發明，當固定準位信號為邏輯1時(亦即與VDD端連接)，路徑單元503以P型金氧半導體(P-MOS)來實現，並且回授開關505以N型金氧半導體(N-MOS)來實現。窄控脈衝產生單元501則產生一低電位窄控脈衝，此低電位脈衝控制路徑單元503將固定準位信號傳送到A點，並且此低電位脈衝同時用來關閉回授開關505，以便讓固定準位信號進入儲存清除單元507。若重置信號沒有致能(enable)，則固定準位信號進而被傳送到回授輸出單元509。

當固定準位信號為邏輯0時(亦即與地端連接)，路徑單元503則以N型金氧半導體(N-MOS)來實現，並且回授開關505以P型金氧半導體(P-MOS)來實現。窄控脈衝產生單元501則產生一高電位窄控脈衝，此高電位脈衝控制路徑單元503和回授開關505，其將固定準位信號傳送到A點，此A點信號為GND，並且用來關閉回授開關505，以便讓固定準位信號進入儲存清除單元507。如前所述，若重置信號沒有致能，則固定準位信號進而被傳送到回授輸出單元509。

圖6為實現圖5之窄控脈衝式相位栓鎖器的一種電路，此脈衝式相位栓鎖器係以負緣觸發。參考圖6，此窄控脈衝式相位栓鎖器包括4個反向器(inverter)，INV1~INV4，兩個P-MOS，兩個N-MOS和一個反及閘ND1。此實施例中，窄控脈衝產生單元601是以三個反向器產生反向延遲信號CLKB，當該輸入端的時脈CLK與該反向延遲信號CLKB同

X 續次頁

時為低電位時，形成一低電位窄控脈衝，回授開關603是以兩個N-MOS來實現，路徑開關單元605是以兩個P-MOS來實現，儲存清除單元607是以一個反及閘來實現，回授輸出單元609是以一個反向器來實現。

此實施例運作的原理主要是利用輸入端的時脈CLK與該反向延遲信號CLKB同時為低電位時來控制兩個P-MOS和兩個N-MOS，讓固定準位信號進入A點。若重置信號沒有致能，則將固定準位信號輸出到Q點，此脈衝同時關閉回授開關。當脈衝結束，回授繼續進行，使A點信號一直穩定。不像動態栓鎖有漏電的可能，而使A點信號消失。若重置信號致能，則A點信號無法發揮作用，因而清除Q值。以下參考圖6和圖7再詳細說明。

如圖6所示，三個反向器INV1~INV3一個連接一個，用來產生一個反向延遲CLKB信號。再參考圖7，圖7說明圖6之電路的電路的重疊時間 T_{setup} 。如圖7所示，CLKB信號是時脈CLK信號的反向延遲信號，在低電位重疊時兩個P-MOS被打開，P1和P2，同時關閉兩個N-MOS，N1和N2。CLK信號用三個反向器INV1~INV3產生CLKB信號，利用CLK信號及CLKB信號產生一個同時打開P1和P2的重疊時間 T_{setup} (overlapping time)。值得注意的是，本發明中此重疊時間為窄控脈衝式相位栓鎖器的設定時間(setup time)。P1的源極連接到邏輯1(亦即與VDD端連接)，P1的閘極則由

續次頁

CLKB信號控制。而P2的閘極則由CLK信號控制。

藉由利用重疊時間 T_{setup} ，邏輯1可通過P1和P2，之後進入A節點，也就是反及閘之輸入端內的邏輯1。在重疊時間 T_{setup} 週期的期間，N1和N2是被關閉的。當反及閘的另一個輸入端是邏輯1時，反及閘形同一個反向器。所以，邏輯1的信號透過另一個反向器INV4被輸出到節點Q。在重疊時間 T_{setup} 的週期過後，N1和N2被開啟。依此，形成出一個儲存邏輯1的正回饋(positive feedback)機制。因此解決了動態栓鎖內漏電流(leakage)的問題。相較於傳統單一栓鎖D型正反器，此法也不會在A節點裡有臨界電壓降(threshold voltage drop)的問題。

此實施例中，本發明之窄控脈衝式相頻偵測器在窄控脈衝式相位栓鎖器中提供了重置功能(reset function)。此重置操作(reset operation)是透過使用一個反及閘，而不是使用一個反向器。若重置信號為邏輯0，則輸出信號Q就會被拉下降為邏輯0。

接下來分析本發明之窄控脈衝式相位栓鎖器的速率和設定時間，並與傳統使用主僕式D型正反器的設定時間比對。

參考圖2a之傳統之主僕式D型正反器的設定時間如下：

□ 續次頁

$$T_{MS-setup} = T_{Tm1} + T_{NAND1} + T_{inv1} + T_{Tm2} + T_{fight} \quad (1)$$

其中，參數 T_{Tm1} 、 T_{NAND1} 、 T_{inv1} 和 T_{Tm2} 分別為傳輸閘 (transmission gate) $Tm1$ 、反及閘 $nd1$ 、反向器 $INV1$ 和傳輸閘 $Tm2$ 的延遲時間。而 T_{fight} 為當先前儲存數據不同於新數據時的戰鬥時間(fighting time)。

相對比下，本發明之圖6的實施例中窄控脈衝式相位栓鎖器的設定時間為

$$T_{setup} = 2\sim3 T_{inv} \quad (2)$$

其中， T_{inv} 為反向器 $INV1$ 的延遲時間。

比較式(1)和式(2)的設定時間，本發明之窄控脈衝式相頻偵測器比傳統之主僕式D型正反器快。

上述實施例中，本發明之窄控脈衝式相頻偵測器係由兩個窄控脈衝式相位栓鎖器和一個反及閘所組成的。此兩個脈衝式相位栓鎖器的輸入時脈接腳分別連結至REF與VCO信號。當REF從邏輯1切換至邏輯0時，邏輯1被鎖入脈衝式相位栓鎖器。然後 Up 的信號正被拉升(邏輯1)。當 Up 和 Dn 的信號皆為邏輯1時，一個重置信號被產生以清除相頻偵測器的狀態。當重置信號為致能時， Up 和 Dn 的信號皆

X 續次頁

為邏輯0。

所以，本發明的窄控脈衝式相位栓鎖器的設定時間很短，如同高速動態電路。因為本發明縮短窄控脈衝式相位栓鎖器的設定時間，並且使用正回饋迴路(positive feedback loop)來加速被栓鎖於其內的資料，所以本發明之相頻偵測器的速率會比其他傳統的相頻偵測器和動態栓鎖相頻偵測器還要快速。

除了圖6之電路外，本發明之窄控脈衝式相位栓鎖器可用更精簡的電路來實施。以下圖8和圖9是固定準位分別為邏輯1和邏輯0時，本發明之窄控脈衝式相位栓鎖器的精簡電路。

圖8為圖5之窄控脈衝式相位栓鎖器在固定準位為邏輯1時的另一種精簡的電路。參考圖8，此實施例中，窄控脈衝產生單元801是以一個反及閘和一個反向器來實現，回授開關803是以一個N-MOS來實現，路徑開關單元805是以一個P-MOS來實現，儲存清除單元607是以一個反及閘來實現，回授輸出單元609是以一個反向器來實現。

當窄控脈衝產生單元801有一低電位窄控脈衝產生時，固定準位信號進入A點，並和重置信號作用。當固定準位信號為邏輯1時，重置信號為致能。重置信號產生單元

續次頁

若取Q輸出，則使用反及閘(NAND gate)，若取QB輸出，則使用或閘(OR gate)。

圖9為圖5之窄控脈衝式相位栓鎖器在固定準位為邏輯0時的另一種精簡的電路。參考圖9，此實施例中，窄控脈衝產生單元901是以一個及閘和一個反向器來實現，回授開關903是以一個P-MOS來實現，路徑開關單元905是以一個N-MOS來實現，儲存清除單元907是以一個反及閘來實現，回授輸出單元909是以兩個反向器來實現。

當窄控脈衝產生單元901有一高電位窄控脈衝產生時，固定準位信號進入A點，並和重置信號作用。當固定準位信號為邏輯0時，重置信號沒有致能。重置信號產生單元若取Q輸出，則使用及閘(AND gate)，若取QB輸出，則使用反或閘(NOR gate)。

以下用圖10~12來說明本發明之相頻偵測器的優點。

圖10為本發明、動態栓鎖、RS反及閘栓鎖，和主僕式D型正反器的相頻偵測器的最大運作頻率的模擬圖，其中橫軸代表使用電壓(單位為伏特)，縱軸代表相頻偵測器的最大運作頻率。參考圖10，實線為本發明之相頻偵測器的最大運作頻率。長橫線為動態栓鎖相頻偵測器的最大運作

續次頁

頻率。橫點線為RS反及閘栓鎖之相頻偵測器的最大運作頻率。短橫線為主僕式D型正反器之相頻偵測器的最大運作頻率。由圖10可知，本發明之相頻偵測器是這些相頻偵測器中運作最快速的，而主僕式D型正反器之相頻偵測器則是這些相頻偵測器中運作最慢的。

圖11說明本發明和RS反及閘栓鎖之相頻偵測器的死帶寬度，其中橫軸代表頻率，縱軸代表死帶寬度。參考圖11，實線為本發明之相頻偵測器的死帶寬度。橫線為傳統RS反及閘栓鎖之相頻偵測器的死帶寬度。由圖11可知，本發明之相頻偵測器的死帶寬度小於10ps(10^{-12} 秒)，而傳統RS反及閘栓鎖之相頻偵測器的死帶寬度至少為200ps。

圖12說明本發明和RS反及閘栓鎖之相頻偵測器的相位特徵(phase characteristics)，其中VDD為3.3伏特，工作頻率為200MHz，橫軸代表相位，縱軸代表相位靈敏度(sensitivity)，單位為角速度。參考圖12，實線為本發明之相頻偵測器的相位特徵。虛線為傳統RS反及閘之相頻偵測器的相位特徵。由圖12可知，相較於傳統RS反及閘之相頻偵測器的相位特徵，本發明之相頻偵測器的相位特徵有較佳的線性(linearity)特徵。

綜上所述，本發明之窄控脈衝式相頻偵測器可以一精簡的電路來實施。相對於使用RS反及閘栓鎖，和主僕式D

型正反器之相頻偵測器，速度較快，而且省電，同時晶片面積較小。相對於動態栓鎖的相頻偵測器而言，儲存在節點的值，由於有回授電路，不致因漏電而消失，而能工作較寬的頻率範圍。

【圖式簡單說明】

圖1為一種傳統的三態相頻偵測器。

圖2a為在圖1中使用主僕式D型正反器的相頻偵測器。

圖2b為在圖1中使用RS反及閘栓鎖的相頻偵測器。

圖2c分別為在圖1中使用動態栓鎖的相頻偵測器。

圖3為根據本發明之窄控脈衝式相頻偵測器的方塊示意圖。

圖4為說明圖3之運作的時序圖。

圖5為根據本發明之窄控脈衝式相位栓鎖器的方塊示意圖。

圖6為實現圖5之窄控脈衝式相位栓鎖器的一種電路。

圖7說明圖6之電路的重疊時間 T_{setup} 。

圖8為圖5之窄控脈衝式相位栓鎖器在固定準位為邏輯1時的另一種精簡的電路。

圖9為圖5之脈衝式相位栓鎖器在固定準位為邏輯0時的精簡電路。

圖10為本發明、動態栓鎖、RS反及閘栓鎖，和主僕式D型正反器的相頻偵測器的最大運作頻率的模擬圖。

圖11說明本發明和RS反及閘栓鎖之相頻偵測器的死帶寬度。

圖12說明本發明和RS反及閘栓鎖之相頻偵測器的相位特徵。

圖號說明

101和103 正反器

301和303 窄控脈衝式相位栓鎖器

305 重置信號產生單元

501 窄控脈衝生單元

503 路徑單元

505 回授開關

507 儲存清除單元

509 回授輸出單元

801 窄控脈衝產生單元

803 回授開關

805 路徑開關單元

901 窄控脈衝產生單元

903 回授開關

905 路徑開關單元

907 儲存清除單元

909 回授輸出單元

申請專利範圍

1. 一種窄控脈衝式相頻偵測器，包含有：

兩個實質上相等的窄控脈衝式相位栓鎖器，每一窄控脈衝式相位栓鎖器各有一時脈輸入端和一信號輸出端；以及

一個重置信號產生單元，與該窄控脈衝式相位栓鎖器連結，根據該信號輸出端的邏輯值，該重置信號產生單元決定是否產生一重置信號，並將該重置信號輸出至每一窄控脈衝式相位栓鎖器；

其中每一窄控脈衝式相位栓鎖器更包含：

一窄控脈衝產生單元，接收來自該時脈輸入端的時脈，並產生一電位脈衝；

一路徑單元，備有一固定準位信號的輸入端，並接收該電位脈衝；

一回授開關，接收該電位脈衝；

一儲存清除單元；以及

一回授輸出單元；

其中該電位脈衝控制該路徑單元將該固定準位信號送出，並同時用來關閉該回授開關，以便讓該固定準位信號進入該儲存清除單元，若該重置信號沒有致能，則該固定準位信號進而被傳送到該回授輸出單元。

2. 如申請專利範圍第1項所述之窄控脈衝式相頻偵測器，其中若一脈衝式相位栓鎖器的輸入時脈領先於另一脈衝式相位栓鎖器的輸入時脈時，則該領先的脈衝式相位栓鎖器的輸出信號為邏輯1。
3. 如申請專利範圍第2項所述之窄控脈衝式相頻偵測器，其中當該兩窄控脈衝式相位栓鎖器之輸出端的邏輯值皆為1時，該重置信號產生單元決定產生該重置信號，並輸出至每一窄控脈衝式相位栓鎖器。
4. 如申請專利範圍第1項所述之窄控脈衝式相頻偵測器，其中當該固定準位信號為邏輯1時，該路徑單元以P型金氧半導體來實現，並且該回授開關以N型金氧半導體來實現。
5. 如申請專利範圍第1項所述之窄控脈衝式相頻偵測器，其中當該固定準位信號為邏輯0時，該路徑單元以N型金氧半導體來實現，並且該回授開關以P型金氧半導體來實現。
6. 如申請專利範圍第1項所述之窄控脈衝式相頻偵測器，其中該脈衝式相位栓鎖器包括4個反向器，兩個P

型金氧半導體，兩個N型金氧半導體和一個反及閘。

7. 如申請專利範圍第6項所述之窄控脈衝式相頻偵測器，其中該窄控脈衝產生單元是以三個反向器一個連接一個來產生一個延遲信號，該延遲信號是該輸入端的時脈的反向延遲信號，當該輸入端的時脈與該反向延遲信號同時為低電位時，形成一低電位窄控脈衝，該回授開關是以兩個N型金氧半導體N1和N2來實現，該路徑開關單元是以兩個P型金氧半導體P1和P2來實現，該儲存清除單元是以一個反及閘來實現，該回授輸出單元是以一個反向器來實現。
8. 如申請專利範圍第7項所述之窄控脈衝式相頻偵測器，其中該低電位窄控脈衝係用來打開該路徑開關單元，同時關閉該回授開關。
9. 如申請專利範圍第8項所述之窄控脈衝式相頻偵測器，其中該低電位窄控脈衝產生一個打開該路徑開關單元的重疊時間 T_{setup} ，該 P1 的源極連接到邏輯 1，該 P1 的閘極則由該反向延遲信號控制，而該 P2 的閘極則由該輸入時脈的信號控制。

10. 如申請專利範圍第1項所述之窄控脈衝式相頻偵測器，其中當該固定準位信號為邏輯1時，該脈衝產生單元是以一個反及閘和一個反向器來實現，該回授開關是以一個N型金氧半導體來實現，該路徑開關單元是以一個P型金氧半導體來實現，該儲存清除單元是以一個反及閘來實現，該回授輸出單元是以一個反向器來實現。

11. 如申請專利範圍第1項所述之窄控脈衝式相頻偵測器，其中當該固定準位信號為邏輯0時，該脈衝產生單元是以一個及閘和一個反向器來實現，該回授開關是以一個P型金氧半導體來實現，該路徑開關單元是以一個N型金氧半導體來實現，該儲存清除單元是以一個反及閘來實現，該回授輸出單元是以兩個反向器來實現。

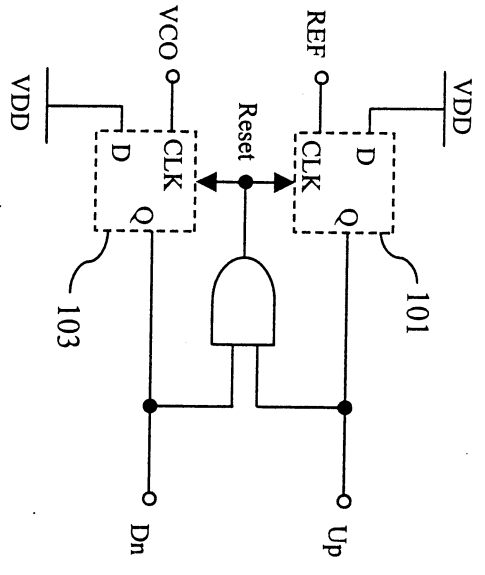


圖 1

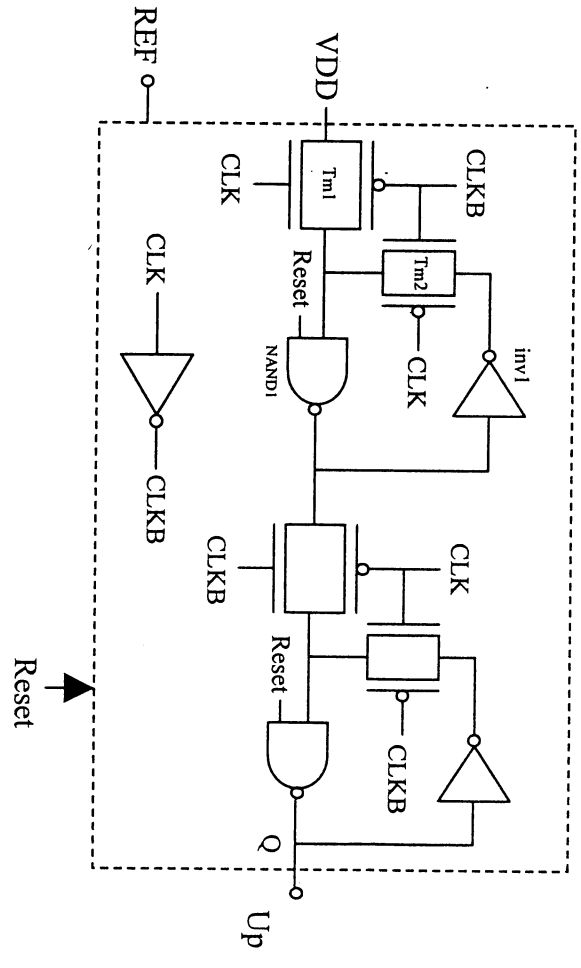


圖 2a

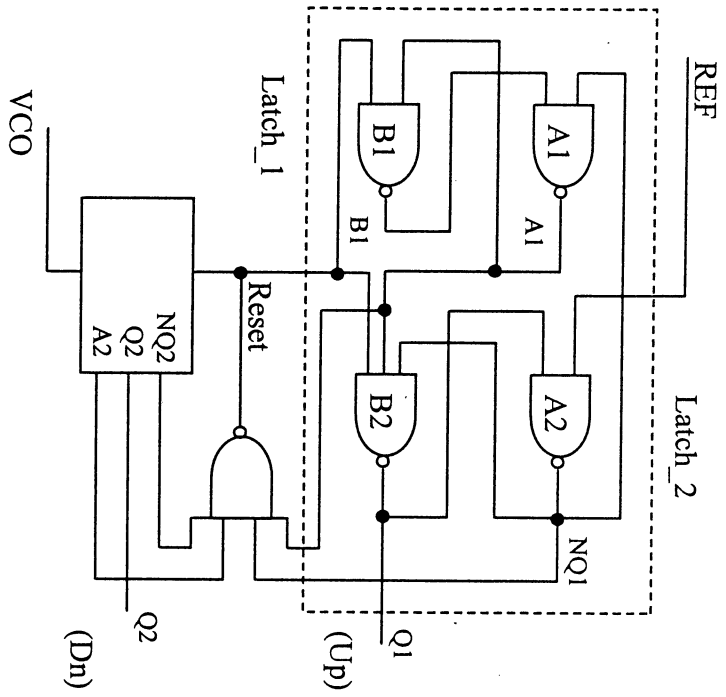


圖 2b

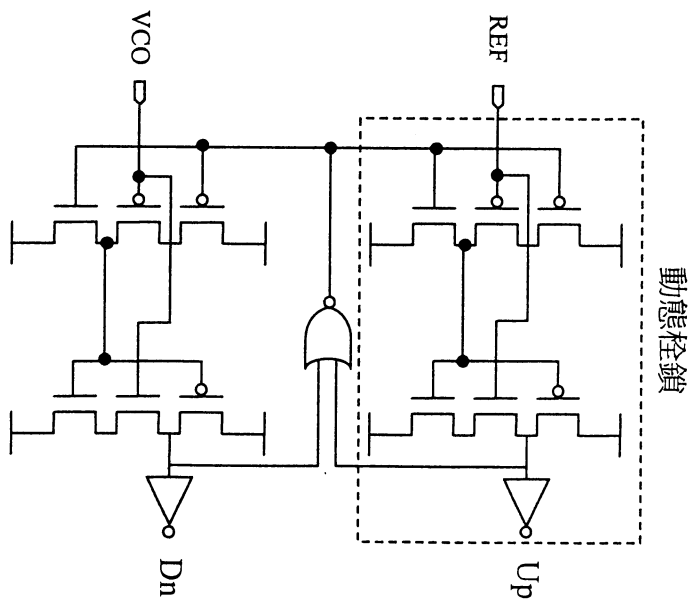


圖 2c

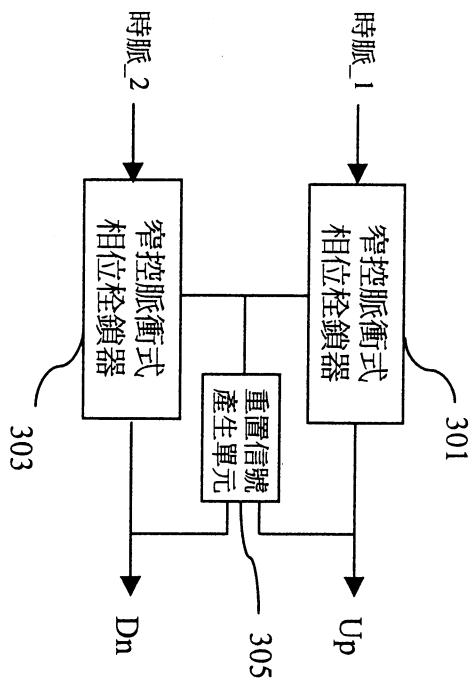


圖 3

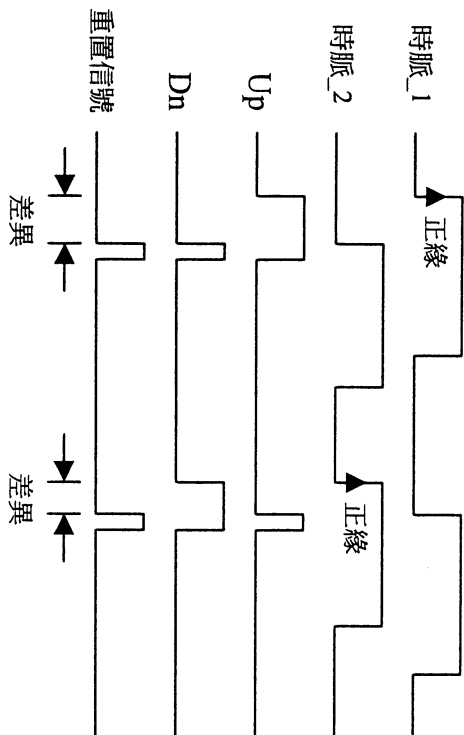


圖 4

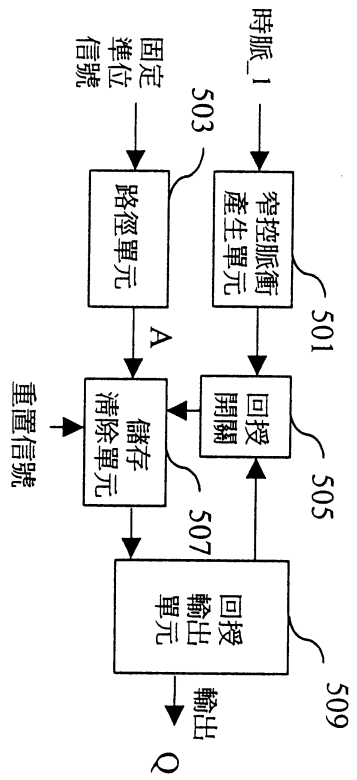


圖 5

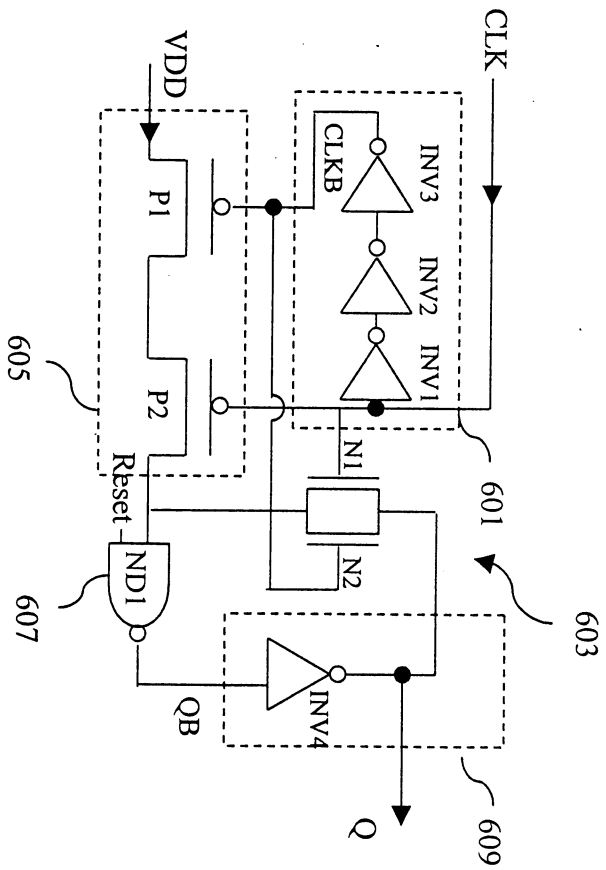


圖 6

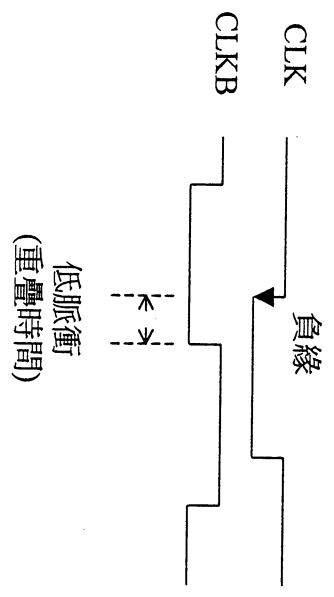


圖 7

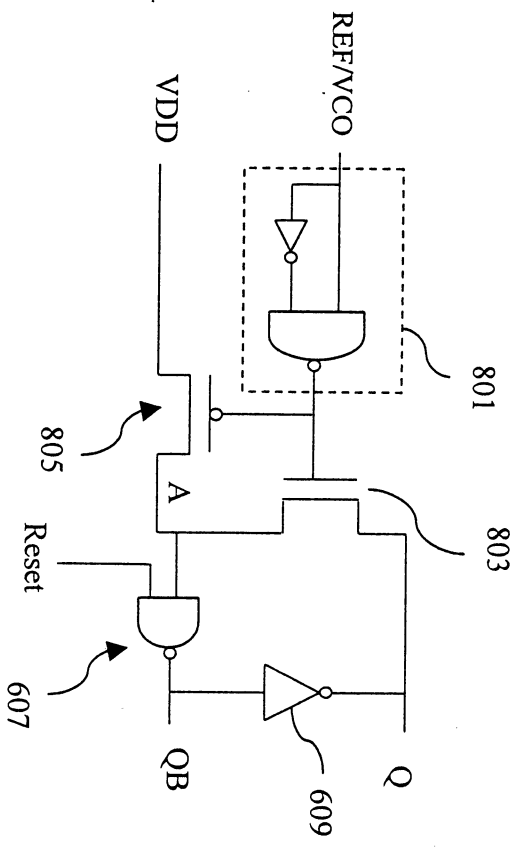


圖 8

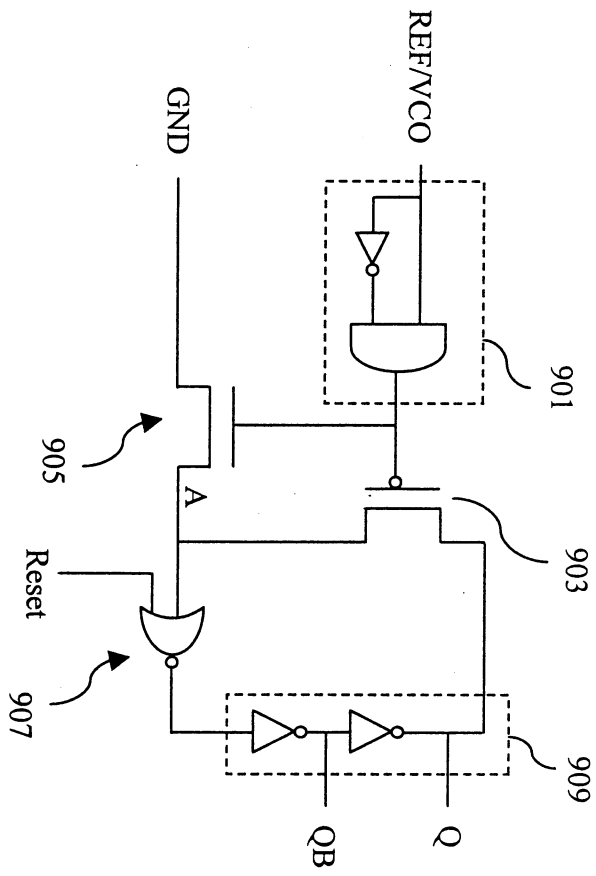


圖 9

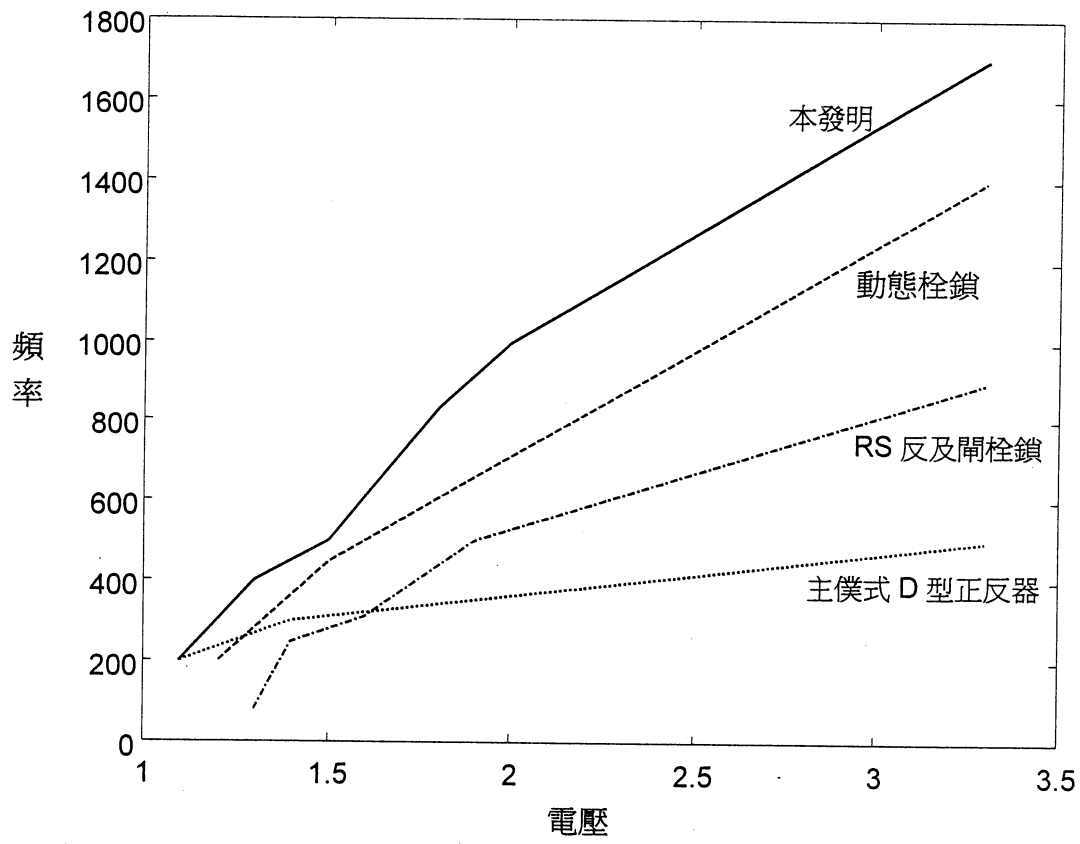


圖 10

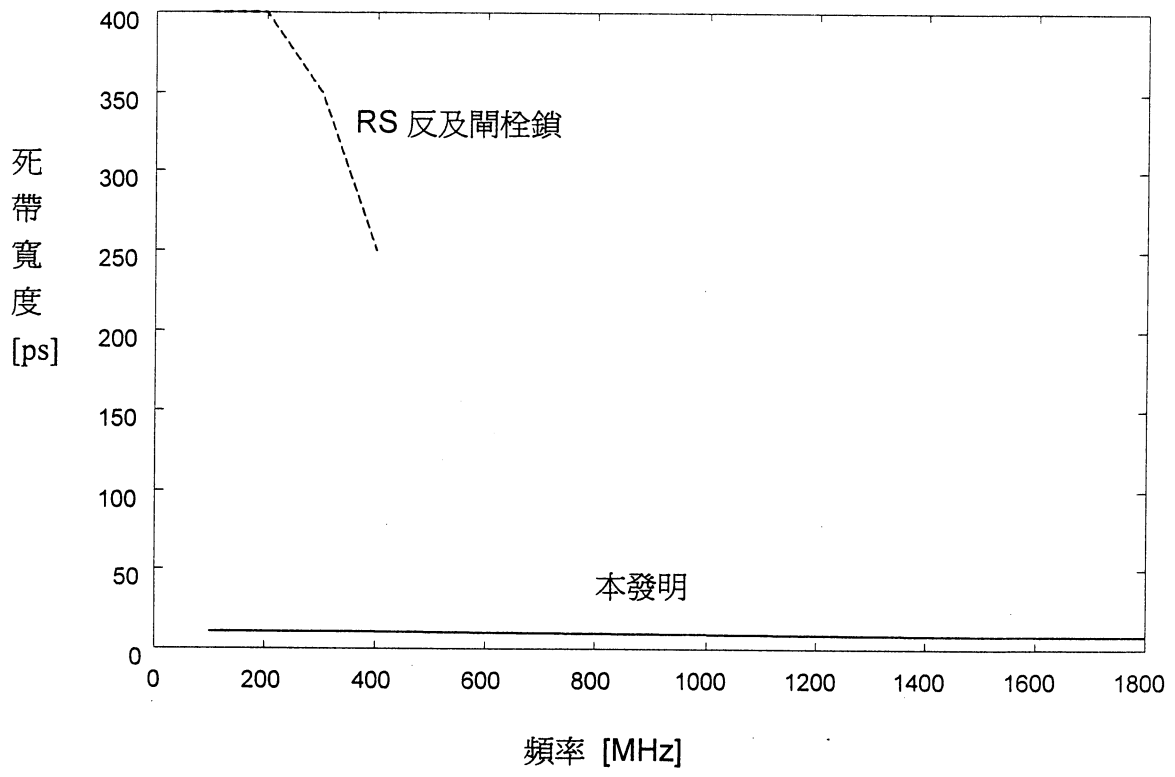


圖 11

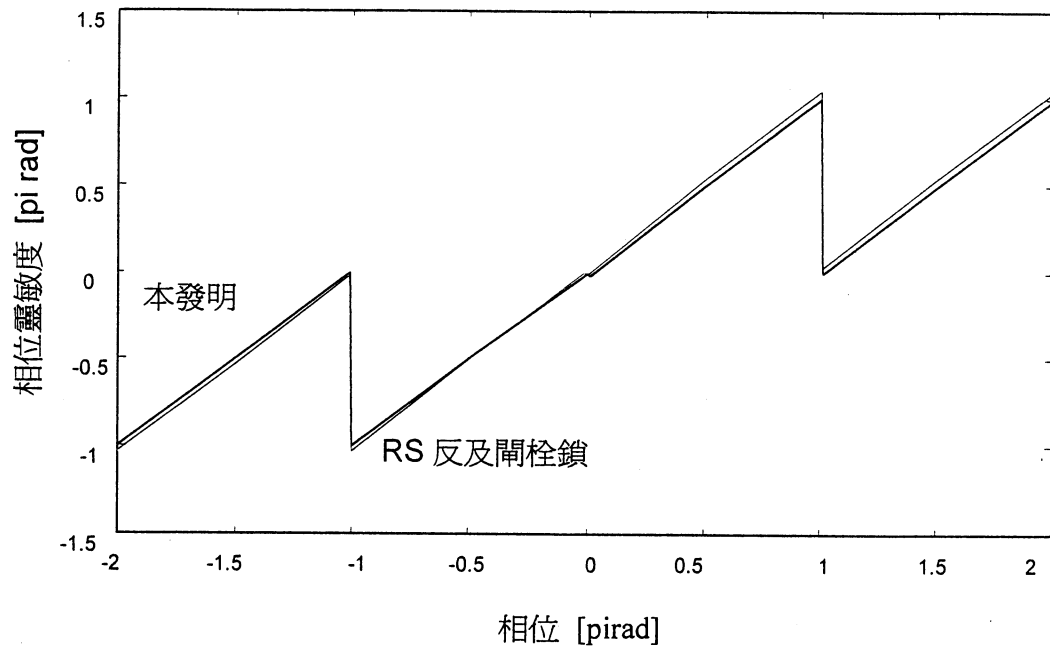


圖 12