

公告本

修正
補充
本91年2月17日

申請日期： 91.11.28	IPC分類 H01L21/205
申請案號： 91174760	

(以上各欄由本局填註)

發明專利說明書

569313

一、 發明名稱	中文	利用四氟化碳電漿預處理改善高介電材料特性之製程
	英文	
二、 發明人 (共3人)	姓名 (中文)	1. 雷添福 2. 張子云 3. 陳筱薇
	姓名 (英文)	1. 2. 3.
	國籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW 3. 中華民國 TW
	住居所 (中文)	1. 新竹市建中一路37號7樓之1 2. 新竹縣新埔鎮中正路359巷6號 3. 花蓮市國富十三街118號
	住居所 (英文)	1. 2. 3.
三、 申請人 (共1人)	名稱或姓名 (中文)	1. 國立交通大學
	名稱或姓名 (英文)	1.
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中文)	1. 新竹市大學路1001號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1.
	代表人 (中文)	1. 張俊彥
	代表人 (英文)	1.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間

日期：

四、有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

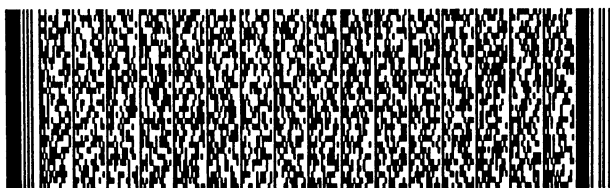
熟習該項技術者易於獲得,不須寄存。

四、中文發明摘要 (發明名稱：利用四氟化碳電漿預處理改善高介電材料特性之製程)

本發明係揭露一種利用四氟化碳電漿預處理改善高介電材料特性之製程，其係在標準的互補式金氧半電晶體配合高介電係數材料的製程中，先利用電漿輔助化學氣象沈積(PECVD)產生的四氟化碳電漿對一矽基材進行預處理，使矽基材表面飽含氟原子，再於矽基材上方沈積一高介電係數介電材料，並進行氧氣的高溫退火，此時飽含氟原子的矽基材便不會與介電材料產生反應而形成矽化物，故可改善其介電特性。藉由此種方式形成的高介電係數介電材料係具有低漏電、高崩潰電壓及可靠度佳之優點。

(一)、本案代表圖為：第二圖

六、英文發明摘要 (發明名稱：)



五、發明說明 (1)

一、【發明所屬之技術領域】

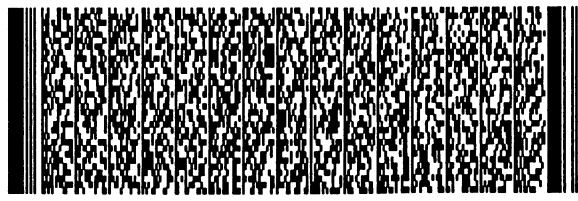
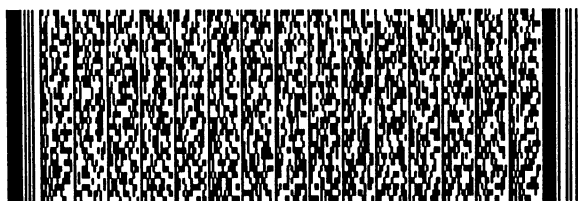
本發明係有關一種可改善高介電係數材料 (high K materials) 特性之半導體製程，特別是關於一種利用四氟化碳 (CF_4) 電漿預處理改善高介電材料特性之製程。

二、【先前技術】

按，當半導體元件的生產進入到深次微米製程，且積體電路的積集度愈來愈高，元件的尺寸愈來愈小，未來的元件將趨向更小尺寸、更低阻抗，以達到更高的速度，因此將以金屬閘極取代複晶矽閘極，並以高介電係數材料取代二氧化矽之閘極氧化層。

受限於金屬閘極的製程，閘極氧化層必須以低溫形成，然而低溫閘極氧化層卻具有大量缺陷存在矽基材與氧化層間之介面，使得其漏電流偏高、可靠度不足；而對高介電係數材料而言，例如二氧化鈦 (TiO_2)，矽基材與高介電係數材料間所形成的界面層 (interfacial layer) 會導致介電係數降低、界面缺陷增加及可靠度降低。

再者，高介電係數之介電材料可應用在互補式金氧半導體晶體 (CMOSFET) 中作為閘極介電層材料，但是高介電係數材料與矽基材間形成的矽化物界面層將使閘極介電層劣化。為解決此問題，習知高介電係數介電材料之製備係先在一矽基材10表面上形成一阻障層 (barrier layer) 12，如第一圖所示，之後於阻障層12表面形成一層高介電係數介電層14，其上方再形成一閘極結構16，以利用阻障



五、發明說明 (2)

層12之作用抑制高介電層矽化物的產生；然而，該阻障層12的製備不易，且因阻障層12的存在將會降低介電係數。

因此，本發明係在針對上述之困擾，提出一種利用四氟化碳電漿預處理改善高介電材料特性之製程，使其在維持高介電係數之際，同時改善閘極介電層之特性，以有效克服上述之該等缺失。

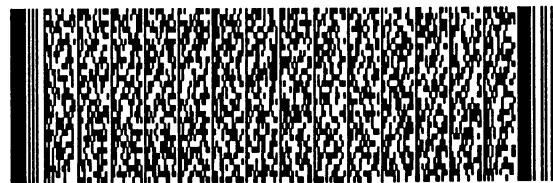
三、【發明內容】

本發明之主要目的係在提供一種利用四氟化碳電漿預處理改善高介電材料特性之製程，其係利用四氟化碳電漿對矽基材表面做預處理，以抑制高介電係數之介電材料與矽基材間之矽化物 (silicate) 的形成，進而改善其介面特性。

本發明之另一目的係在提供一種利用四氟化碳電漿預處理改善高介電材料特性之製程，使其所形成的高介電係數之介電材料係具有低漏電流、高崩潰電壓以及良好之可靠度，以確保元件電性品質。

為達到上述之目的，本發明之製程係先提供一導電型矽基材，再利用電漿輔助化學氣相沈積技術所產生之四氟化碳電漿對該矽基材進行預處理，使矽基材表面飽含氟原子；然後，在預處理後之矽基材表面沈積一高介電係數閘極介電層，並對該高介電係數閘極介電層進行氧氣的高溫熱退火處理。

底下藉由具體實施例配合所附的圖式詳加說明，當更



五、發明說明 (3)

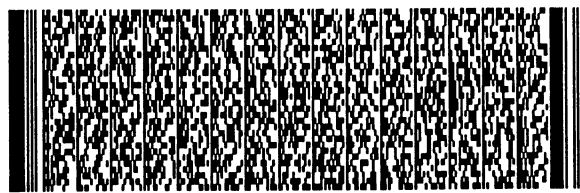
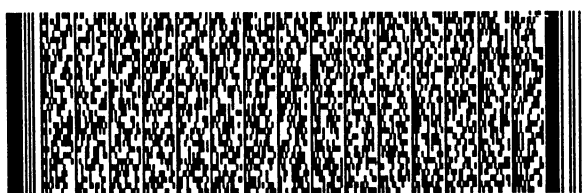
容易瞭解本發明之目的、技術內容、特點及其所達成之功效。

四、【實施方式】

本發明係利用四氟化碳電漿對矽基材表面做預處理，以有效抑制高介電係數之介電材料（閘極介電層）與矽基材間之矽化物（silicate）界面層的形成，進而改善高介電係數之介電材料與矽基材間的介面特性。

第二圖為本發明製程之流程示意圖，如圖所示，一種利用四氟化碳電漿預處理改善高介電材料特性之製程係包括下列步驟：首先，如步驟S10所示提供一矽基材，其係為一導電型矽晶圓；接著在此矽基材上，如步驟S12所示，利用電漿輔助化學氣相沈積（PECVD）或是高密度電漿輔助化學氣相沈積系統所產生的四氟化碳電漿對該矽基材進行預處理，使此矽基材表面飽含氟原子。其中，在此利用四氟化碳電漿對矽基材做預處理之步驟中，其處理之環境條件係在低溫低壓之環境下，並施以射頻功率（RF power）為5~50瓦特，以產生四氟化碳電漿；且低溫之溫度條件係介於25~400℃之間，及低壓之壓力條件係介於100~1000毫托耳（mT）之間。

在如步驟S12完成四氟化碳電漿預處理之步驟後，即可進行步驟S14，在經過預處理後之該矽基材表面沈積形成一層高介電係數介電材料，此即作為閘極介電層，且其形成方式係利用電子槍蒸鍍系統（E-Gun evaporator）直



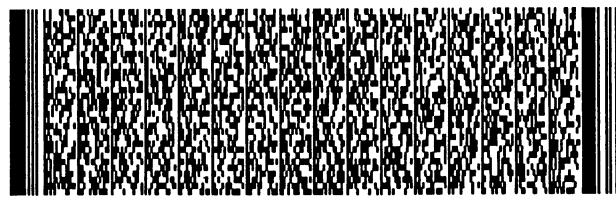
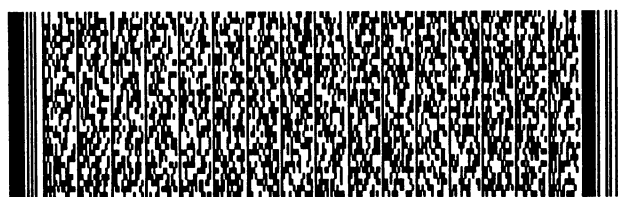
五、發明說明 (4)

接處理高介電係數之介電材質粉末而產生者；其中，此高介電係數介電材料之材質係可為二氧化鈦 (TiO_2)、氧化鋁 (Al_2O_3)、二氧化鈺 (HfO_2)、二氧化鋯 (ZrO_2) 或是二氧化鈰 (CeO_2) 等高介電係數材質，以二氧化鈦為例，若欲形成高介電材料二氧化鈦時，則可利用電子槍蒸鍍系統直接處理此二氧化鈦粉末而產生二氧化鈦之沈積者。

最後，如步驟S16所示，對此高介電係數閘極介電層進行氧氣的高溫熱退火 (anneal) 處理，此時飽含氟原子的矽基材便不會與高介電係數介電材料產生反應而生成矽化物，亦即在矽基材與高介電係數介電材料之間將不會產生矽化物界面層，故可改善高介電係數之介電材料與矽基材間的介面特性，以確保電性品質。之後更可在該矽基材上繼續製作閘極電極等元件之後續製程，以完成電晶體之製作。

至此，本發明之精神已說明完畢，以下特以一具體實驗範例來驗證說明上述之原理及功效，並使熟習此項技術者將可參酌此實驗範例之描述而獲得足夠的知識而據以實施。

首先，利用本發明製程的實驗組與習知技術之控制組進行實驗比對，以比較兩者之電流電壓特性、漏電流以及崩潰電壓。本發明之實驗組係利用電漿輔助化學氣相沉積系統，使用5瓦的射頻功率能量，且激發流量20 sccm的四氟化碳氣體，並在 300°C 之低溫與600毫托耳 (mT) 低壓的環境下，藉由四氟化碳電漿對一矽晶圓進行30秒時間的預

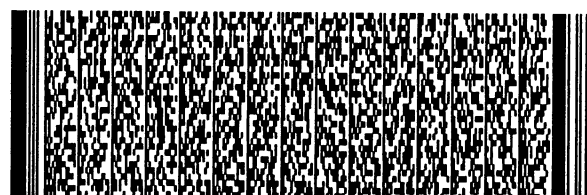
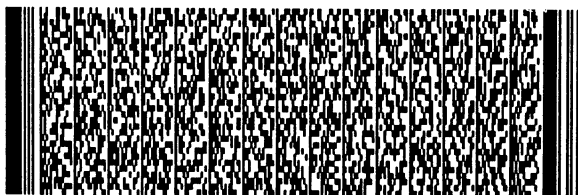


五、發明說明 (5)

處理，完成後再於其上沉積一層二氧化鈦；而習知技術之控制組則是直接在一矽晶圓表面沉積一層二氧化鈦，並無前項處理。然後，對使用四氟化碳電漿 (CF₄ plasma) 之實驗組與習知之控制組同時進行有關電流電壓特性、漏電流與崩潰電壓的各項實驗。

實驗後之結果請參考第三圖、第四圖及第五圖。首先如第三圖所示，此為二種不同處理方式之二氧化鈦的電流電壓特性曲線，由此圖可知，加上四氟化碳電漿處理後的實驗組，其二氧化鈦之電流電壓特性明顯的比控制組好，使得該實驗組所形成之二氧化鈦的電流電壓特性有顯著的改善。而在漏電流方面，由第四圖可知，加上四氟化碳電漿處理後的實驗組之二氧化鈦之漏電流分布係明顯小於控制組，使得該實驗組所形成之二氧化鈦具有低漏電流之特性。最後，就崩潰電壓而言，其實驗結果如第五圖所示，由此崩潰電荷分布圖可知，經過四氟化碳電漿處理後之實驗組的崩潰電壓確實高於控制組的崩潰電壓，所以實驗組係具有較高之崩潰電壓。綜上所述，由上述之實驗結果可知，利用本發明之所形成的二氧化鈦係具有良好的電流電壓特性、低漏電流及高崩潰電壓等優點。

本發明係提出以四氟化碳電漿對矽基材預處理後，再製作低溫高介電係數閘極介電層（閘極氧化層）之低溫製程，以藉此利用四氟化碳電漿中的氟原子能修補矽基材與高介電係數介電材料間之界面處的不完全鍵結，進而減少界面缺陷，且氟原子亦能促進低溫氧化層再鍵結而更為緻



五、發明說明 (6)

密；另一方面，四氟化碳電漿有蝕刻作用，適當控制後能用來去除高介電係數介電材料的界面層，進而改善高介電係數介電材料的特性。

因此，本發明係利用四氟化碳電漿對矽基材表面做預處理，以改善高介電材料特性，且利用此製程所形成的高介電係數介電材料（即為閘極介電層）係具有低漏電流、高崩潰電壓以及良好之可靠度，故可有效維持元件電性品質。

以上所述之實施例僅係為說明本發明之技術思想及特點，其目的在使熟習此項技藝之人士能夠瞭解本發明之內容並據以實施，當不能以之限定本發明之專利範圍，即大凡依本發明所揭示之精神所作之均等變化或修飾，仍應涵蓋在本發明之專利範圍內。

五、【圖式簡單說明】

圖式說明：

第一圖為習知製作高介電係數介電層的結構剖視圖。

第二圖為本發明製程之流程示意圖。

第三圖為利用本發明與習知技術之不同處理方式的二氧化鈦之電流電壓特性曲線圖。

第四圖為利用本發明與習知技術之不同處理方式的二氧化鈦之漏電流分布圖。

第五圖為利用本發明與習知技術之不同處理方式的二氧化鈦之崩潰電荷分布圖。



五、發明說明 (7)

圖號說明：

- 10 矽基材
- 12 阻障層
- 14 高介電係數介電層
- 16 閘極結構



圖式簡單說明

圖式說明：

第一圖為習知製作高介電係數介電層的結構剖視圖。

第二圖為本發明製程之流程示意圖。

第三圖為利用本發明與習知技術之不同處理方式的二氧化鈦之電流電壓特性曲線圖。

第四圖為利用本發明與習知技術之不同處理方式的二氧化鈦之漏電流分布圖。

第五圖為利用本發明與習知技術之不同處理方式的二氧化鈦之崩潰電荷分布圖。



六、申請專利範圍

1、一種利用四氟化碳電漿預處理改善高介電材料特性之製程，其係包括下列步驟：

提供一矽基材；

利用四氟化碳電漿對該矽基材進行預處理，使該矽基材表面飽含氟原子；

在預處理後之該矽基材表面形成一高介電係數閘極介電層；及

對該高介電係數閘極介電層進行高溫熱退火處理。

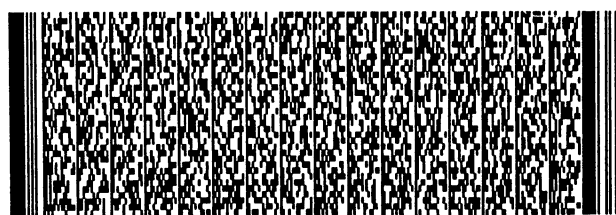
2、如申請專利範圍第1項所述之利用四氟化碳電漿預處理改善高介電材料特性之製程，其中在進行高溫熱退火處理之後，更可於該矽基材上繼續製作閘極電極等元件之後續製程。

3、如申請專利範圍第1項所述之利用四氟化碳電漿預處理改善高介電材料特性之製程，其中該矽基材係為導電型矽晶圓。

4、如申請專利範圍第1項所述之利用四氟化碳電漿預處理改善高介電材料特性之製程，其中該四氟化碳電漿係利用電漿輔助化學氣相沈積（PECVD）或是高密度電漿輔助化學氣相沈積系統所產生者。

5、如申請專利範圍第1項所述之利用四氟化碳電漿預處理改善高介電材料特性之製程，其中該四氟化碳電漿預處理之條件係在低溫低壓之環境下，並施以射頻功率5~50瓦特，以產生四氟化碳電漿。

6、如申請專利範圍第5項所述之利用四氟化碳電漿預處理



六、申請專利範圍

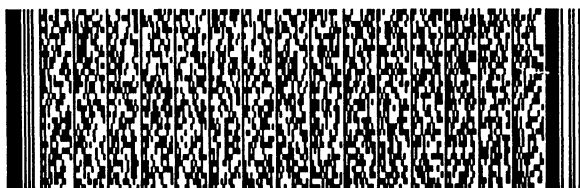
改善高介電材料特性之製程，其中該四氟化碳電漿預處理之溫度係介於 $25 \sim 400^{\circ}\text{C}$ 之間。

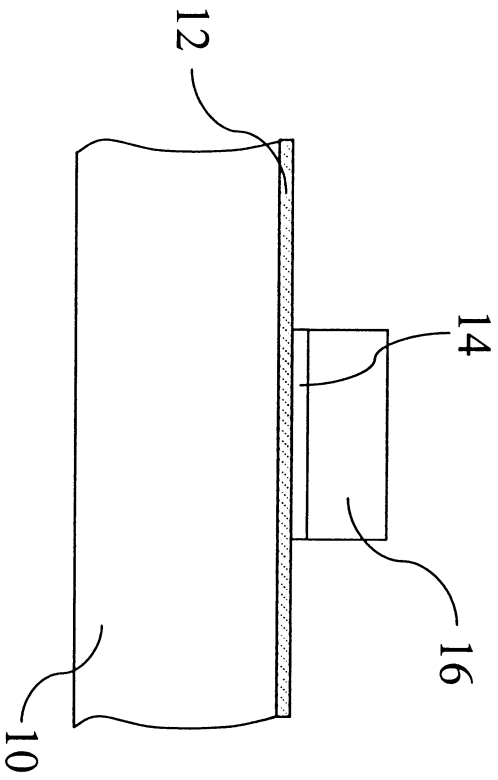
7、如申請專利範圍第5項所述之利用四氟化碳電漿預處理改善高介電材料特性之製程，其中該四氟化碳電漿預處理之壓力係介於 $100 \sim 1000$ 毫托耳 (mT) 之間。

8、如申請專利範圍第1項所述之利用四氟化碳電漿預處理改善高介電材料特性之製程，其中該高介電係數閘極介電層之材質係選自二氧化鈦、氧化鋁、二氧化鉛、二氧化銻及二氧化銻等高介電係數材質所組成之群組。

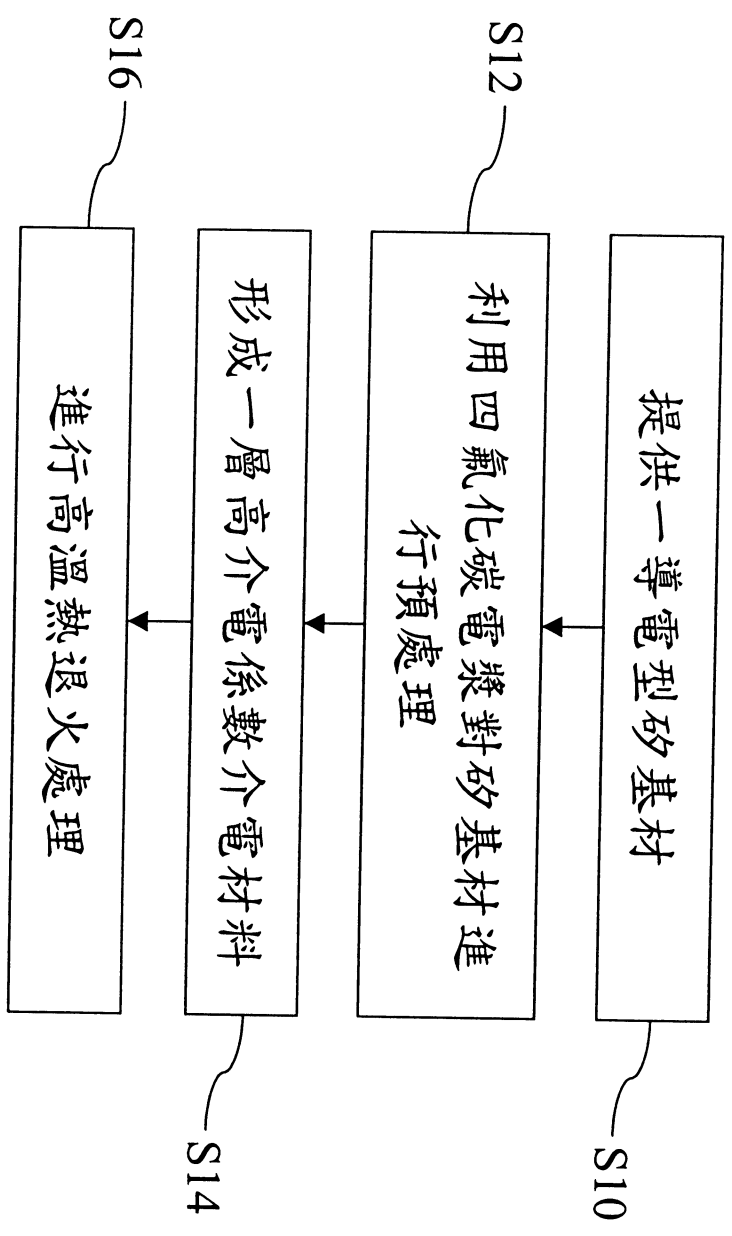
9、如申請專利範圍第1項所述之利用四氟化碳電漿預處理改善高介電材料特性之製程，其中形成該高介電係數閘極介電層之方式係利用電子槍蒸鍍系統直接處理高介電係數介電材質粉末而產生者。

10、如申請專利範圍第1項所述之利用四氟化碳電漿預處理改善高介電材料特性之製程，其中在該高溫熱退火之步驟中，係進行氧氣的高溫熱退火處理。

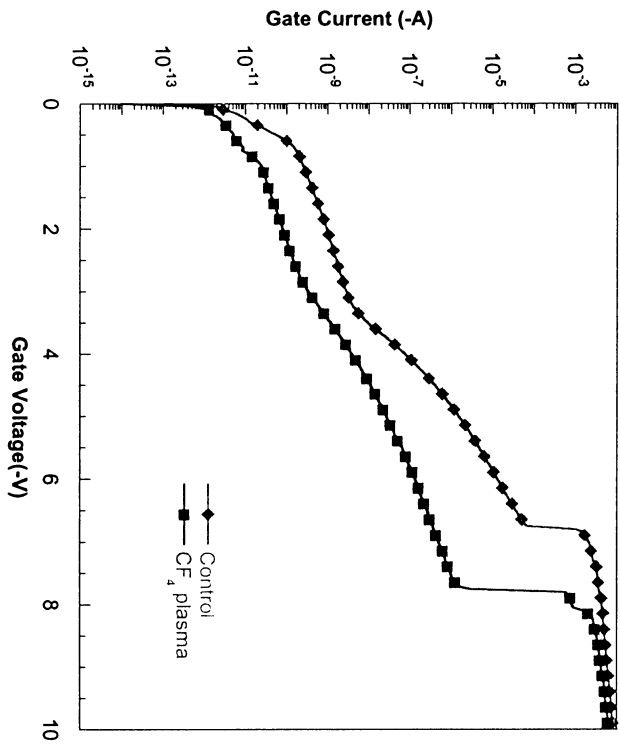




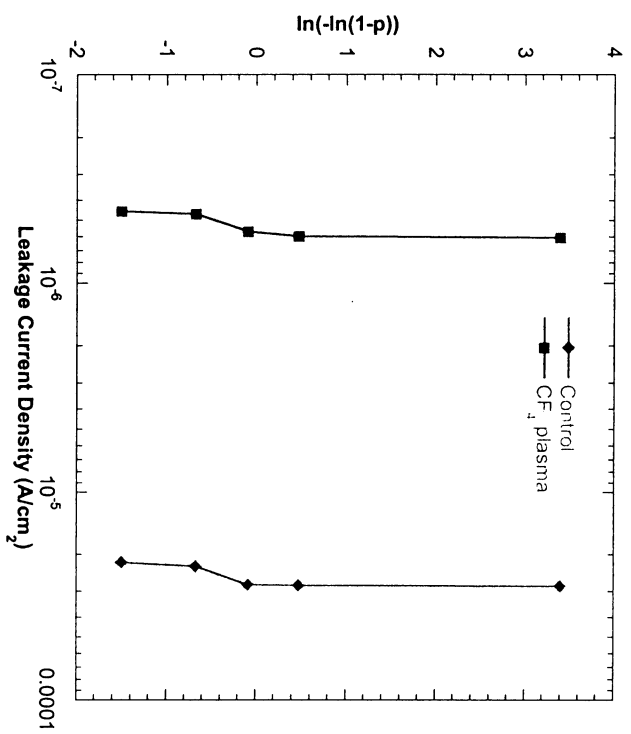
第一圖
(習知技術)



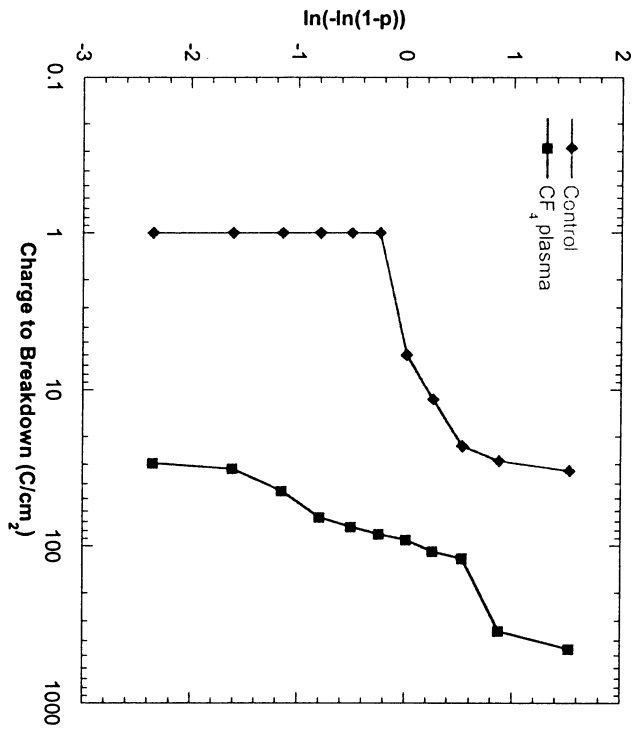
第二圖



第三圖



第四圖



第五圖