

修正
 補充
 公告本

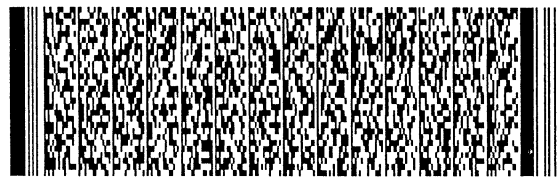
年 月 日 修正

申請日期： 91.7.15	IPC分類	538529
申請案號： 91115746	H01L 27/01	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	薄膜電晶體結構及其製造方法
	英文	
二、 發明人 (共2人)	姓名 (中文)	1. 張國明 2. 鐘元鴻
	姓名 (英文)	1. Kow Ming Chang 2. Yuan Hung Chung
	國籍 (中英文)	1. 中華民國 ROC 2. 中華民國 ROC
	住居所 (中文)	1. 新竹市建中一路25號4樓之2 2. 彰化縣福興鄉外埔村外埔巷4鄰11號
	住居所 (英文)	1. 2.
三、 申請人 (共1人)	名稱或姓名 (中文)	1. 國立交通大學
	名稱或姓名 (英文)	1. National Chiao Tung University
	國籍 (中英文)	1. 中華民國 ROC
	住居所 (營業所) (中文)	1. 新竹市大學路1001號 (本地址與前向貴局申請者不同)
	住居所 (營業所) (英文)	1.
	代表人 (中文)	1. 張俊彥
代表人 (英文)	1.	



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間

日期：

四、有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

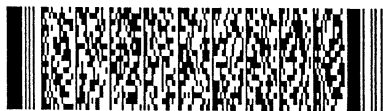
有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

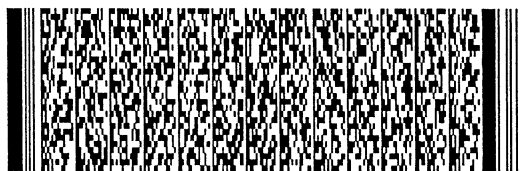
無

熟習該項技術者易於獲得, 不須寄存。

四、中文發明摘要 (發明名稱：薄膜電晶體結構及其製造方法)

本案係為一種薄膜電晶體結構及其製造方法，其步驟包含提供一絕緣基板；於該絕緣基板上形成一源/汲極層、一主閘極絕緣層、以及一第一導體層；對該第一導體層進行蝕刻以定義出一主閘極導體結構；於該主閘極導體結構上依序形成一子閘極絕緣層及一第二導體層；以及對該第二導體層及該子閘極絕緣層進行蝕刻以定義出一第一子閘極導體結構、一第二子閘極導體結構、一第一子閘極絕緣層、以及一第二子閘極絕緣層。

六、英文發明摘要 (發明名稱：)



五、發明說明 (1)

發明領域

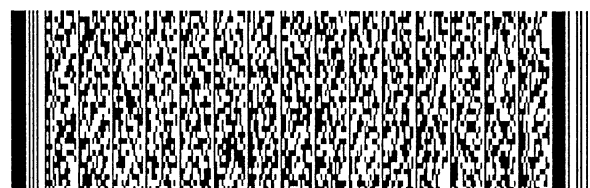
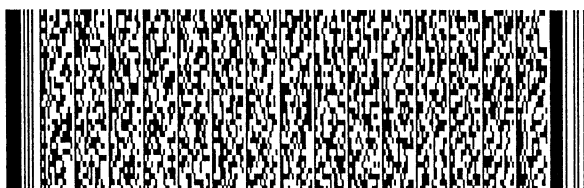
本案係為一種薄膜電晶體結構及其製造方法，尤指一種應用於薄膜電晶體液晶顯示器製作上之薄膜電晶體結構及其製造方法。

發明背景

薄膜電晶體液晶顯示器(Thin Film Transistor Liquid Crystal Display, TFT-LCD)是現今最熱門的資訊商品之一，因為其具有輕薄短小、易於攜帶、工作電壓低、以及無輻射線等優點，適合大規模生產，所以逐漸取代傳統陰極射線管顯示器(Cathode Ray Tube Display)，成為電腦螢幕面板的新寵。

針對薄膜電晶體液晶顯示器之結構而言，運用於其上之薄膜電晶體在操作當中，於汲極區(Drain)有較高的電場，使得當元件在關閉狀態下仍有相當高的漏電流(Off-state Leakage Current)，因而導致薄膜電晶體的應用大受限制。

為了改善薄膜電晶體有較高的關閉漏電流現象，目前所使用的改善方法有輕微摻雜的汲極(Lightly Doped Drain)結構以及場感應汲極(Field Induced Drain)結構。請參閱第一圖，其係習知改善薄膜電晶體關閉漏電流之輕微摻雜的汲極結構示意圖。其結構包含一絕緣基板11、一源/汲極結構12、一閘極絕緣層13、以及一閘極導體結構14，其中該源/汲極結構12係由一汲極121、一低摻



五、發明說明 (2)

雜汲極1211、一通道122、一源極123、以及一低摻雜源極1231所組成。利用在原來薄膜電晶體的源極123與汲極121接近通道122的地方，再增加一組摻雜程度較原來源極123與汲極121為低的區域(即該低摻雜汲極1211及該低摻雜源極1231)，藉以降低汲極121之電場，以改善漏電流現象。然而，輕微摻雜的汲極結構將使得薄膜電晶體的製程變的複雜，另外，因為其摻雜程度較低，所以電阻也就比較高，使得汲極121到源極123的串聯電阻(Series Resistance)增加，導致元件的操作速度降低以及電力的消耗(Power Dissipation)上升。

另一種改善方法為場感應汲極結構，使用這種方法必須額外增加一道光罩，而由於光罩微影蝕刻製程次數之多寡，不但直接影響到製造成本，也會影響產品於工廠內所須之製程時間，同時亦間接影響到生產之良率。這是因為使用越多道光罩微影蝕刻製程，將會有越多對位誤差(Mis-alignment)及微粒污染發生之可能。

爰是之故，申請人有鑑於習知技術之缺失，乃經悉心試驗與研究，並一本鍥而不捨的精神，終發明出本案「薄膜電晶體結構及其製造方法」。

發明概述

本案之主要目的係為利用再沈積一層較厚的閘極絕緣層於汲極區，使得汲極區的電場得以降低，進而改善薄膜電晶體有較高的關閉漏電流之現象。



五、發明說明 (3)

本案之另一目的係為提供一種薄膜電晶體之製造方法，其步驟包含提供一絕緣基板；於該絕緣基板上形成一源/汲極層、一主閘極絕緣層、以及一第一導體層；對該第一導體層進行蝕刻以定義出一主閘極導體結構；於該主閘極導體結構上依序形成一子閘極絕緣層及一第二導體層；以及對該第二導體層及該子閘極絕緣層進行蝕刻以定義出一第一子閘極導體結構、一第二子閘極導體結構、一第一子閘極絕緣層、以及一第二子閘極絕緣層。

根據上述構想，其中該絕緣基板係為一玻璃基板。

根據上述構想，其中該源/汲極層係為一高摻雜半導體層。

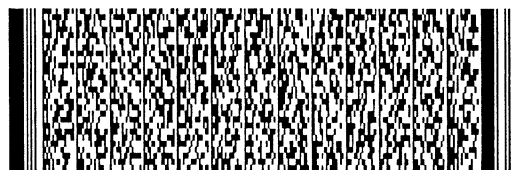
根據上述構想，其中該高摻雜半導體層係以高摻雜之多晶矽所完成。

根據上述構想，其中該源/汲極層包含一汲極結構、一通道、以及一源極結構。

根據上述構想，其中該通道之長度係等於該主閘極導體結構之長度、該第一子閘極絕緣層之厚度、該第二子閘極絕緣層之厚度、該第一子閘極導體結構之長度、以及該第二子閘極導體結構之長度之總和。

根據上述構想，其中該主閘極絕緣層係以選自下列氮化矽(SiN_x)、氧化矽(SiO_x)、氮氧化矽(SiO_xN_y)、氧化鉭(TaO_x)、以及氧化鋁(AlO_x)等絕緣材料其中之一或其中之任意組合來完成。

根據上述構想，其中該第一導體層係以選自下列鉻、



五、發明說明 (4)

鈾、鈹、鈾化鈹、鈾化鎢、鋁、矽化鋁、以及銅等材質其中之一或其中之任意組合來完成。

根據上述構想，其中對該第一導體層所進行之蝕刻係為一反應性離子蝕刻(Reactive Ion Etch)。

根據上述構想，其中該子閘極絕緣層係以選自下列氮化矽(SiN_x)、氧化矽(SiO_x)、氮氧化矽(SiO_xNy)、氧化鈹(TaO_x)、以及氧化鋁(AlO_x)等絕緣材料其中之一或其中之任意組合來完成。

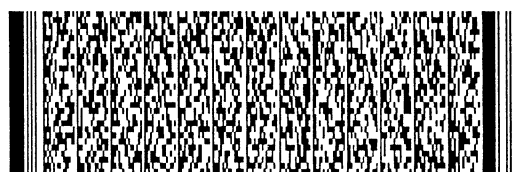
根據上述構想，其中該第二導體層係以選自下列鉻、鈾、鈹、鈾化鈹、鈾化鎢、鋁、矽化鋁、或銅等材質其中之一或其中之任意組合來完成。

根據上述構想，其中對該第二導體層及該子閘極絕緣層所進行之蝕刻係為一反應性離子蝕刻。

本案之又一目的係為提供一種薄膜電晶體結構，其包含一絕緣基板；一源/汲極層，位於該絕緣基板上；一主閘極絕緣層，位於該源/汲極層上；一主閘極導體結構、一第一子閘極絕緣層、以及一第二子閘極絕緣層，位於該第一閘極絕緣層上；以及一第一子閘極導體結構以及一第二子閘極導體結構，位於該第一子閘極絕緣層及該第二子閘極絕緣層上，其係藉由該第一子閘極絕緣層及該第二子閘極絕緣層之一部分與該主閘極導體結構隔離。

根據上述構想，其中該絕緣基板係為一玻璃基板。

根據上述構想，其中該源/汲極層係為一高摻雜半導體層。



五、發明說明 (5)

根據上述構想，其中該高摻雜半導體層係以高摻雜之多晶矽所完成。

根據上述構想，其中該源/汲極層包含一汲極結構、一通道、以及一源極結構。

根據上述構想，其中該通道之長度係等於該主閘極導體結構之長度、該第一子閘極絕緣層之厚度、該第二子閘極絕緣層之厚度、該第一子閘極導體結構之長度、以及該第二子閘極導體結構之長度之總和。

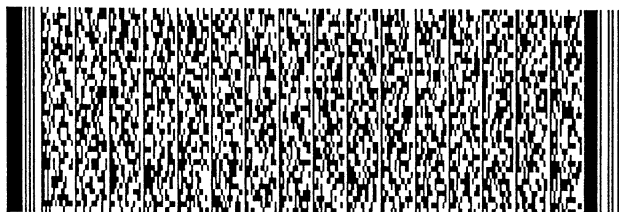
根據上述構想，其中該主閘極絕緣層係以選自下列氮化矽(SiN_x)、氧化矽(SiO_x)、氮氧化矽(SiO_xN_y)、氧化鉭(TaO_x)、以及氧化鋁(AlO_x)等絕緣材料其中之一或其中之任意組合來完成。

根據上述構想，其中該子閘極絕緣層係以選自下列氮化矽(SiN_x)、氧化矽(SiO_x)、氮氧化矽(SiO_xN_y)、氧化鉭(TaO_x)、以及氧化鋁(AlO_x)等絕緣材料其中之一或其中之任意組合來完成。

本案之再一目的係為提供一種薄膜電晶體之製造方法，其步驟包含提供一絕緣基板；於該絕緣基板上形成一源/汲極層以及一主閘極絕緣層；於該主閘極絕緣層上形成一主閘極導體結構以及一子閘極絕緣層；於該子閘極絕緣層上形成一子閘極導體結構。

根據上述構想，其中該絕緣基板係為一玻璃基板。

根據上述構想，其中該源/汲極層係為一高摻雜半導體層。



五、發明說明(6)

根據上述構想，其中該高摻雜半導體層係以高摻雜之多晶矽所完成。

根據上述構想，其中該源/汲極層包含一汲極結構、一通道、以及一源極結構。

根據上述構想，其中該通道之長度係等於該主閘極導體結構之長度、該子閘極絕緣層之厚度、以及該子閘極絕緣層之厚度之總和。

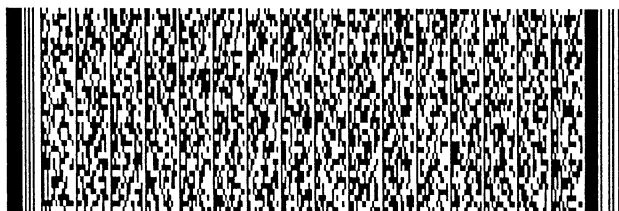
根據上述構想，其中該主閘極絕緣層係以選自下列氮化矽(SiN_x)、氧化矽(SiO_x)、氮氧化矽(SiO_xN_y)、氧化鉭(TaO_x)、以及氧化鋁(AlO_x)等絕緣材料其中之一或其中之任意組合來完成。

根據上述構想，其中該子閘極絕緣層係以選自下列氮化矽(SiN_x)、氧化矽(SiO_x)、氮氧化矽(SiO_xN_y)、氧化鉭(TaO_x)、以及氧化鋁(AlO_x)等絕緣材料其中之一或其中之任意組合來完成。

本案之再一目的係為提供一種薄膜電晶體結構，其包含一絕緣基板；一源/汲極層，位於該絕緣基板上；一主閘極絕緣層，位於該源/汲極層上；一主閘極導體結構及一子閘極絕緣層，位於該第一閘極絕緣層上；以及一子閘極導體結構，位於該子閘極絕緣層上，其係藉由該子閘極絕緣層之一部分與該主閘極導體結構隔離。

根據上述構想，其中該絕緣基板係為一玻璃基板。

根據上述構想，其中該源/汲極層係為一高摻雜半導體層。



五、發明說明 (7)

根據上述構想，其中該高摻雜半導體層係以高摻雜之多晶矽所完成。

根據上述構想，其中該源/汲極層包含一汲極結構、一通道、以及一源極結構。

根據上述構想，其中該通道之長度係等於該主閘極導體結構之長度、該子閘極絕緣層之厚度、以及該子閘極導體結構之長度之總和。

根據上述構想，其中該主閘極絕緣層係以選自下列氮化矽(SiN_x)、氧化矽(SiO_x)、氮氧化矽(SiO_xNy)、氧化鉭(TaO_x)、以及氧化鋁(AlO_x)等絕緣材料其中之一或其中之任意組合來完成。

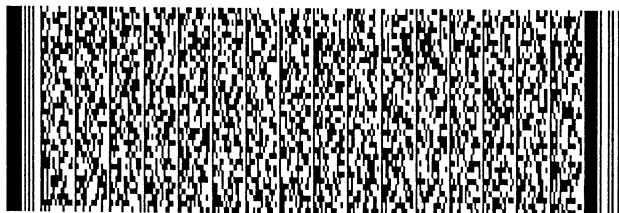
根據上述構想，其中該子閘極絕緣層係以選自下列氮化矽(SiN_x)、氧化矽(SiO_x)、氮氧化矽(SiO_xNy)、氧化鉭(TaO_x)、以及氧化鋁(AlO_x)等絕緣材料其中之一或其中之任意組合來完成。

簡單圖示說明

第一圖：其係習知改善薄膜電晶體關閉漏電流之輕微摻雜的汲極(LDD)結構示意圖。

第二圖(a)(b)(c)(d)：其係以本案較佳實施例方法所完成之薄膜電晶體之步驟示意圖。

第三圖：其係本案薄膜電晶體與傳統薄膜電晶體之電性比較對照圖。



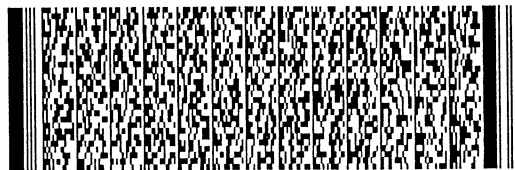
五、發明說明 (8)

元件符號說明

11: 絕緣基板	12: 源/汲極結構
121: 汲極	1211: 低摻雜的汲極
122: 通道	123: 源極
1231: 低摻雜的源極	13: 閘極絕緣層
14: 閘極導體結構	21: 絕緣基板
22: 源/汲極層	221: 汲極結構
222: 通道	223: 源極結構
23: 主閘極絕緣層	24: 主閘極導體結構
251: 第一子閘極絕緣層	252: 第二子閘極絕緣層
26: 第二導體層	271: 第一子閘極導體結構
272: 第二子閘極導體結構	28: 源極偏壓(VS)
29: 閘-源極偏壓(VGS)	210: 汲-源極偏壓(VDS)

較佳實施例說明

請參閱第二圖(a)(b)(c)(d)，其係以本案較佳實施例方法所完成之薄膜電晶體之步驟示意圖。首先，於一絕緣基板21形成一源/汲極層22、一主閘極絕緣層23、以及一第一導體層241，如第二圖(a)所示。接著，對該第一導體層241進行蝕刻以定義出一主閘極導體結構24，如第二圖(b)所示。然後，於該主閘極導體結構24上依序形成一子閘極絕緣層25及一第二導體層26，如第三圖(c)所示。最後，對該第二導體層26及該子閘極絕緣層25進行蝕刻以定義出一第一子閘極導體結構271、一第二子閘極導體結構



五、發明說明 (9)

272、一第一子閘極絕緣層251、以及一第二子閘極絕緣層252，如第二圖(d)所示。至於該薄膜電晶體之偏壓型態如第二圖(e)所示，其包含一源極偏壓(VS)28、一閘/源極偏壓(VGS)29、以及一汲/源極偏壓(VDS)210。

上述之該絕緣基板21係為一玻璃基板，該源/汲極層22係為一高摻雜半導體層，該高摻雜半導體層係以高摻雜之多晶矽所完成，且該源/汲極層22包含一汲極結構221、一通道222、以及一源極結構223，其中該通道222之長度係等於該主閘極導體結構24之長度、該第一子閘極絕緣層251之厚度、該第二子閘極絕緣層252之厚度、該第一子閘極導體結構271之長度、以及該第二子閘極導體結構272之長度之總和。

至於該主閘極絕緣層23及該子閘極絕緣層25係以選自下列氮化矽(SiN_x)、氧化矽(SiO_x)、氮氧化矽(SiO_xNy)、氧化鉭(TaO_x)、以及氧化鋁(AlO_x)等絕緣材料其中之一或其中之任意組合來完成。該第一導體層241及該第二導體層26係以選自下列鉻、鉬、鈦、鉬化鈦、鉬化鎢、鋁、矽化鋁、以及銅等材質其中之一或其中之任意組合來完成。而其中對該第一導體層241以及對該第二導體層26與該子閘極絕緣層25所進行之蝕刻係為一反應性離子蝕刻(Reactive Ion Etch)。

請參閱第三圖，其係本案薄膜電晶體與傳統薄膜電晶體之電性比較對照圖。今以第二圖(e)之偏壓型態進行操作，其結果如第三圖所示，由圖可知，在同樣的條件下

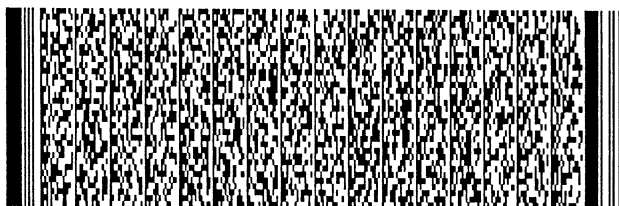


五、發明說明 (10)

($V_{DS}=10V$)，本發明相較於傳統薄膜電晶體的確具有較低之漏電流，在 $V_{GS}=15V$ 時，本發明之漏電流($1 \times 10^{-9}A$)更是低於傳統薄膜電晶體($1 \times 10^{-7}A$)達100倍之多。

綜上所述，本發明利用再沈積一層較厚的閘極絕緣層於汲極區，使得汲極區的電場得以降低，進而改善薄膜電晶體有較高的關閉漏電流之現象。相較於習知技術，本發明並不需要多一道光罩微影蝕刻製程，完全與傳統的四道光罩微影蝕刻製程相容。是故，本發明能有效改善習知技術之缺失，因而具有產業價值，進而達成發展本案之目的。

本案得由熟悉本技藝之人士任施匠思而為諸般修飾，然皆不脫如附申請專利範圍所欲保護者。

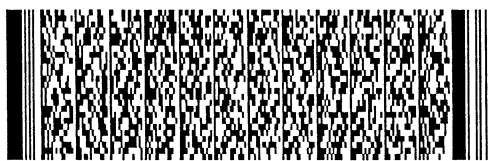


圖式簡單說明

第一圖：其係習知改善薄膜電晶體關閉漏電流之輕微摻雜的汲極(LDD)結構示意圖。

第二圖(a)(b)(c)(d)(e)：其係以本案較佳實施例方法所完成之薄膜電晶體之步驟示意圖。

第三圖：其係本案薄膜電晶體與傳統薄膜電晶體之電性比較對照圖。



修正

89年4月8日

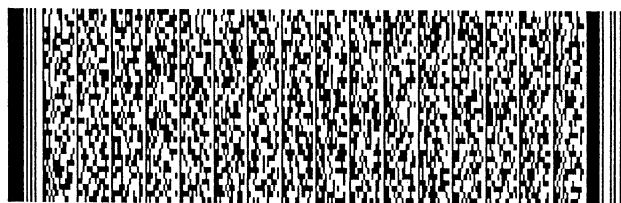
案號 91115746

年 月 日

修正

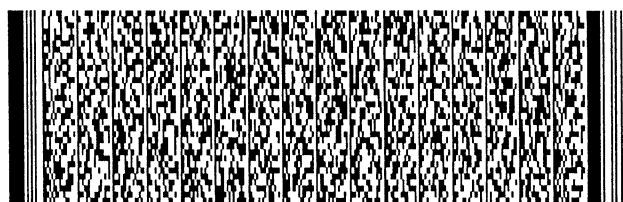
六、申請專利範圍

1. 一種薄膜電晶體之製造方法，其步驟包含：
提供一絕緣基板；
於該絕緣基板上形成一源/汲極層、一主閘極絕緣層、以及一第一導體層；
對該第一導體層進行蝕刻以定義出一主閘極導體結構；
於該主閘極導體結構上依序形成一子閘極絕緣層及一第二導體層；以及
對該第二導體層及該子閘極絕緣層進行蝕刻以定義出一第一子閘極導體結構、一第二子閘極導體結構、一第一子閘極絕緣層、以及一第二子閘極絕緣層。
2. 如申請專利範圍第1項所述之製造方法，其中該絕緣基板係為一玻璃基板。
3. 如申請專利範圍第1項所述之製造方法，其中該源/汲極層係為一高摻雜半導體層。
4. 如申請專利範圍第3項所述之製造方法，其中該高摻雜半導體層係以高摻雜之多晶矽所完成。
5. 如申請專利範圍第1項所述之製造方法，其中該源/汲極層包含一汲極結構、一通道、以及一源極結構。
6. 如申請專利範圍第5項所述之製造方法，其中該通道之長度係等於該主閘極導體結構之長度、該第一子閘極絕緣層之厚度、該第二子閘極絕緣層之厚度、該第一子閘極導體結構之長度、以及該第二子閘極導體結構之長度之總和。



六、申請專利範圍

7. 如申請專利範圍第1項所述之製造方法，其中該主閘極絕緣層係以選自下列氮化矽(SiN_x)、氧化矽(SiO_x)、氮氧化矽(SiO_xNy)、氧化鉭(TaO_x)、以及氧化鋁(AlO_x)等絕緣材料其中之一或其中之任意組合來完成。
8. 如申請專利範圍第1項所述之製造方法，其中該第一導體層係以選自下列鉻、鉬、鈮、鉬化鈮、鉬化鎢、鋁、矽化鋁、以及銅等材質其中之一或其中之任意組合來完成。
9. 如申請專利範圍第1項所述之製造方法，其中對該第一導體層所進行之蝕刻係為一反應性離子蝕刻(Reactive Ion Etch)。
10. 如申請專利範圍第1項所述之製造方法，其中該子閘極絕緣層係以選自下列氮化矽(SiN_x)、氧化矽(SiO_x)、氮氧化矽(SiO_xNy)、氧化鉭(TaO_x)、以及氧化鋁(AlO_x)等絕緣材料其中之一或其中之任意組合來完成。
11. 如申請專利範圍第1項所述之製造方法，其中該第二導體層係以選自下列鉻、鉬、鈮、鉬化鈮、鉬化鎢、鋁、矽化鋁、或銅等材質其中之一或其中之任意組合來完成。
12. 如申請專利範圍第1項所述之製造方法，其中對該第二導體層及該子閘極絕緣層所進行之蝕刻係為一反應性離子蝕刻。
13. 一種薄膜電晶體結構，其包含：
一絕緣基板；
一源/汲極層，位於該絕緣基板上；
一主閘極絕緣層，位於該源/汲極層上；



六、申請專利範圍

一主閘極導體結構、一第一子閘極絕緣層、以及一第二子閘極絕緣層，位於該第一閘極絕緣層上；以及

一第一子閘極導體結構以及一第二子閘極導體結構，位於該第一子閘極絕緣層及該第二子閘極絕緣層上，其係藉由該第一子閘極絕緣層及該第二子閘極絕緣層之一部分與該主閘極導體結構隔離。

14. 如申請專利範圍第13項所述之薄膜電晶體結構，其中該絕緣基板係為一玻璃基板。

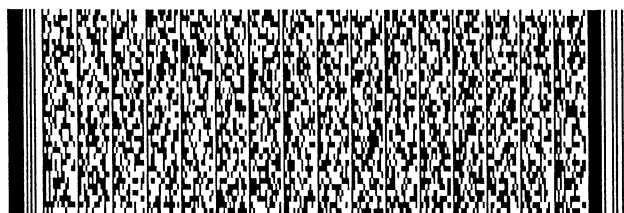
15. 如申請專利範圍第13項所述之薄膜電晶體結構，其中該源/汲極層係為一高摻雜半導體層。

16. 如申請專利範圍第15項所述之薄膜電晶體結構，其中該高摻雜半導體層係以高摻雜之多晶矽所完成。

17. 如申請專利範圍第13項所述之薄膜電晶體結構，其中該源/汲極層包含一汲極結構、一通道、以及一源極結構。

18. 如申請專利範圍第17項所述之薄膜電晶體結構，其中該通道之長度係等於該主閘極導體結構之長度、該第一子閘極絕緣層之厚度、該第二子閘極絕緣層之厚度、該第一子閘極導體結構之長度、以及該第二子閘極導體結構之長度之總和。

19. 如申請專利範圍第13項所述之薄膜電晶體結構，其中該主閘極絕緣層係以選自下列氮化矽(SiN_x)、氧化矽(SiO_x)、氮氧化矽(SiO_xN_y)、氧化鉭(TaO_x)、以及氧化鋁(AlO_x)等絕緣材料其中之一或其中之任意組合來完成。



六、申請專利範圍

20. 如申請專利範圍第13項所述之薄膜電晶體結構，其中該子閘極絕緣層係以選自下列氮化矽(SiN_x)、氧化矽(SiO_x)、氮氧化矽(SiO_xNy)、氧化鉭(TaO_x)、以及氧化鋁(AlO_x)等絕緣材料其中之一或其中之任意組合來完成。

21. 一種薄膜電晶體之製造方法，其步驟包含：

提供一絕緣基板；

於該絕緣基板上形成一源/汲極層以及一主閘極絕緣層；

於該主閘極絕緣層上形成一主閘極導體結構以及一子閘極絕緣層；

於該子閘極絕緣層上形成一子閘極導體結構。

22. 如申請專利範圍第21項所述之製造方法，其中該絕緣基板係為一玻璃基板。

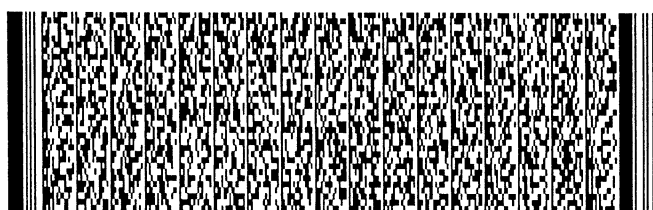
23. 如申請專利範圍第21項所述之製造方法，其中該源/汲極層係為一高摻雜半導體層。

24. 如申請專利範圍第23項所述之製造方法，其中該高摻雜半導體層係以高摻雜之多晶矽所完成。

25. 如申請專利範圍第21項所述之製造方法，其中該源/汲極層包含一汲極結構、一通道、以及一源極結構。

26. 如申請專利範圍第25項所述之製造方法，其中該通道之長度係等於該主閘極導體結構之長度、該子閘極絕緣層之厚度、以及該子閘極導體結構之長度之總和。

27. 如申請專利範圍第21項所述之製造方法，其中該主閘極絕緣層係以選自下列氮化矽(SiN_x)、氧化矽(SiO_x)、氮



六、申請專利範圍

氧化矽(SiO_xNy)、氧化鉭(TaO_x)、以及氧化鋁(AlO_x)等絕緣材料其中之一或其中之任意組合來完成。

28. 如申請專利範圍第21項所述之製造方法，其中該子閘極絕緣層係以選自下列氮化矽(SiNx)、氧化矽(SiO_x)、氮氧化矽(SiO_xNy)、氧化鉭(TaO_x)、以及氧化鋁(AlO_x)等絕緣材料其中之一或其中之任意組合來完成。

29. 一種薄膜電晶體結構，其包含：

一絕緣基板；

一源/汲極層，位於該絕緣基板上；

一主閘極絕緣層，位於該源/汲極層上；

一主閘極導體結構及一子閘極絕緣層，位於該第一閘極絕緣層上；以及

一子閘極導體結構，位於該子閘極絕緣層上，其係藉由該第子閘極絕緣層之一部分與該主閘極導體結構隔離。

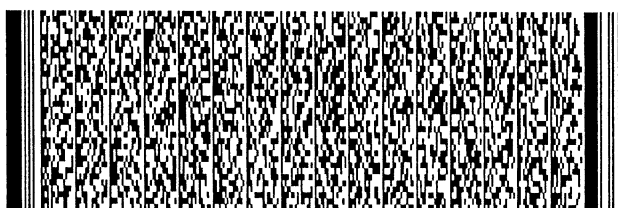
30. 如申請專利範圍第29項所述之薄膜電晶體結構，其中該絕緣基板係為一玻璃基板。

31. 如申請專利範圍第29項所述之薄膜電晶體結構，其中該源/汲極層係為一高摻雜半導體層。

32. 如申請專利範圍第31項所述之薄膜電晶體結構，其中該高摻雜半導體層係以高摻雜之多晶矽所完成。

33. 如申請專利範圍第29項所述之薄膜電晶體結構，其中該源/汲極層包含一汲極結構、一通道、以及一源極結構。

34. 如申請專利範圍第33項所述之薄膜電晶體結構，其中



六、申請專利範圍

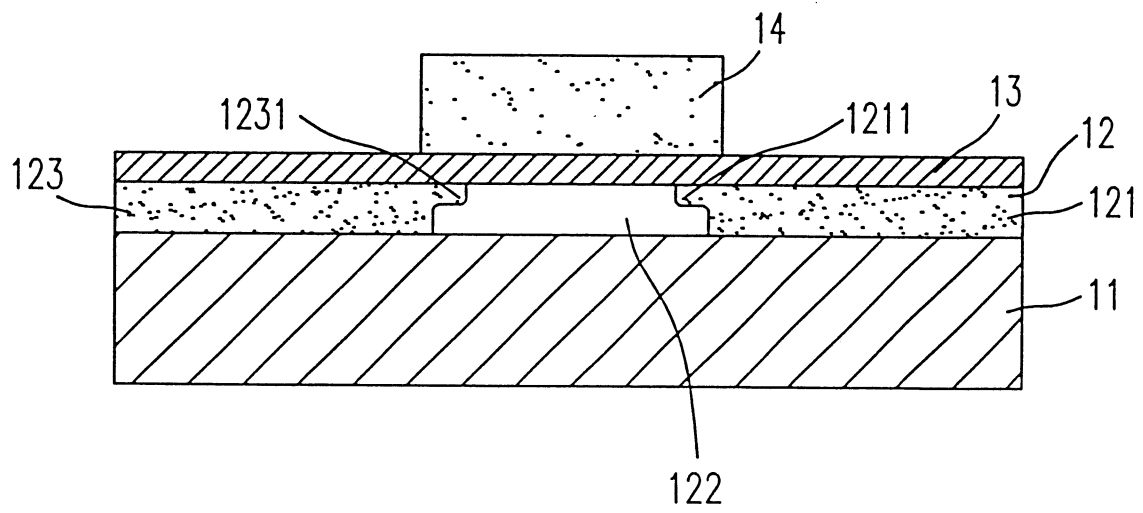
該通道之長度係等於該主閘極導體結構之長度、該子閘極絕緣層之厚度、以及該子閘極導體結構之長度之總和。

35. 如申請專利範圍第29項所述之薄膜電晶體結構，其中該主閘極絕緣層係以選自下列氮化矽(SiN_x)、氧化矽(SiO_x)、氮氧化矽(SiO_xN_y)、氧化鉭(TaO_x)、以及氧化鋁(AlO_x)等絕緣材料其中之一或其中之任意組合來完成。

36. 如申請專利範圍第29項所述之薄膜電晶體結構，其中該子閘極絕緣層係以選自下列氮化矽(SiN_x)、氧化矽(SiO_x)、氮氧化矽(SiO_xN_y)、氧化鉭(TaO_x)、以及氧化鋁(AlO_x)等絕緣材料其中之一或其中之任意組合來完成。

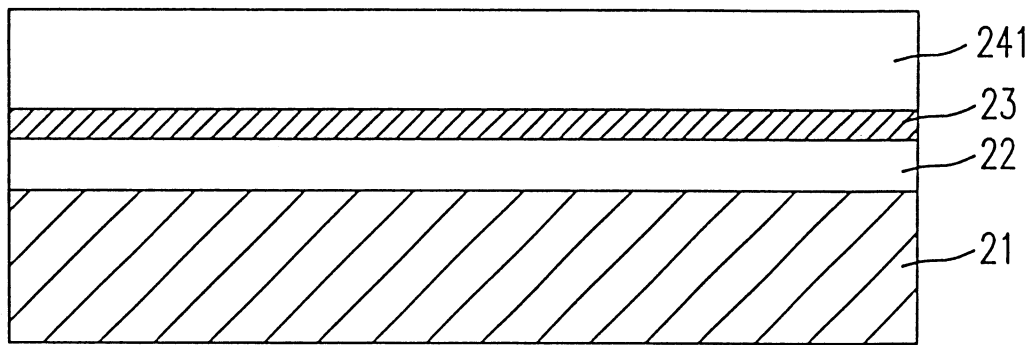


圖式



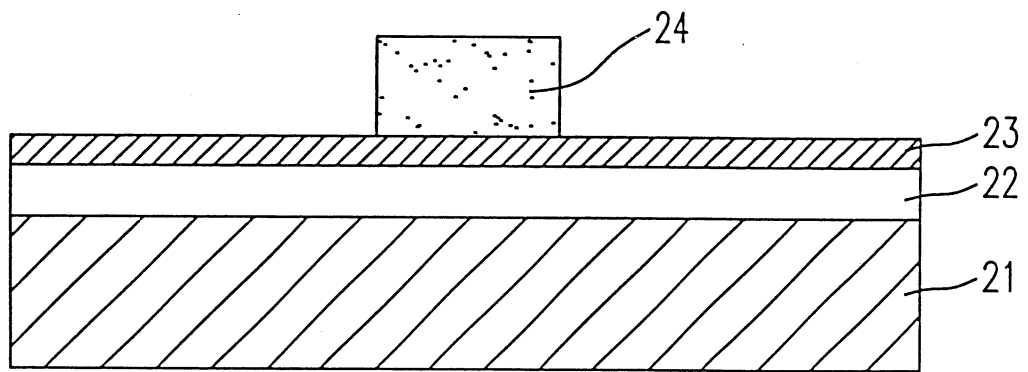
第一圖

圖式



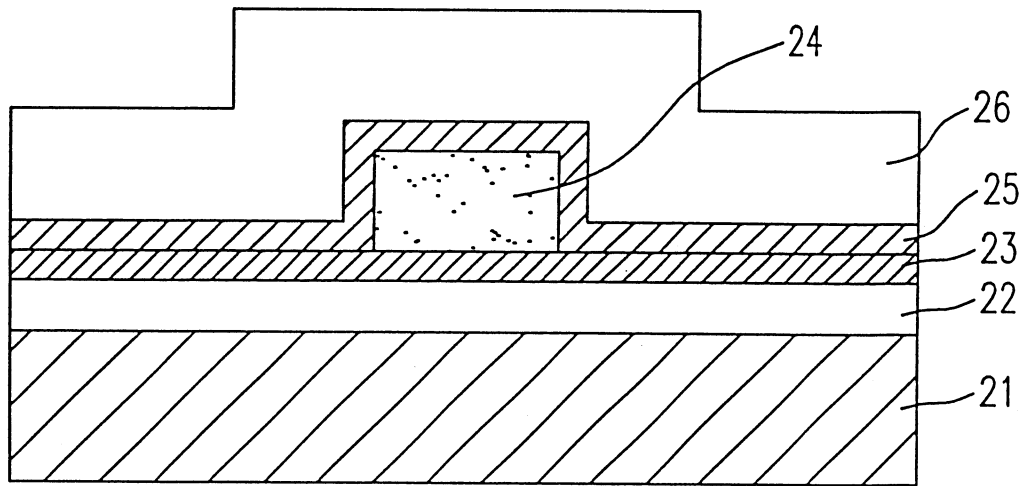
第二圖 (a)

圖式



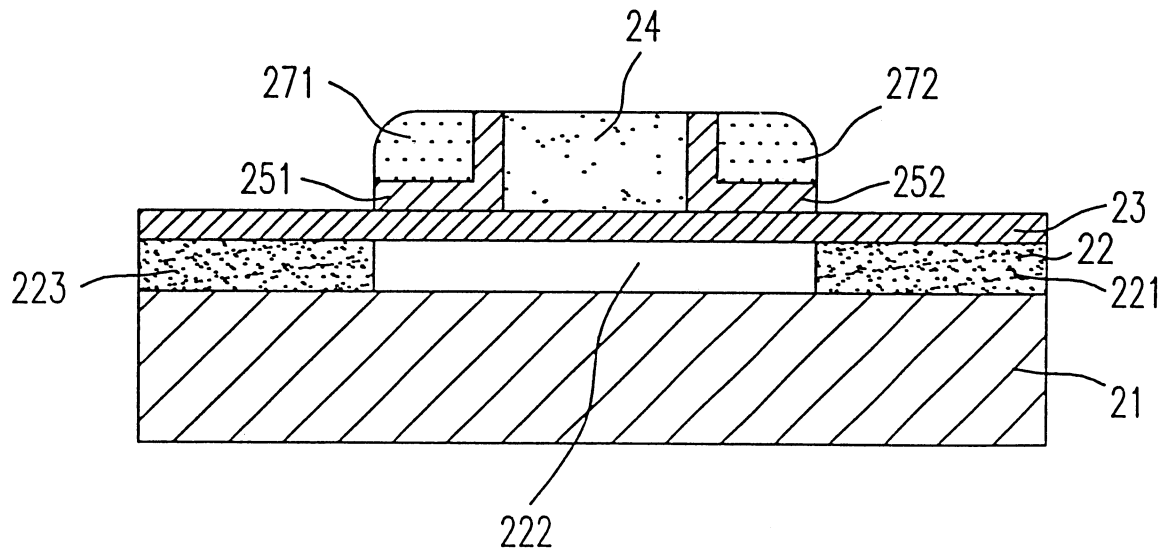
第二圖 (b)

圖式



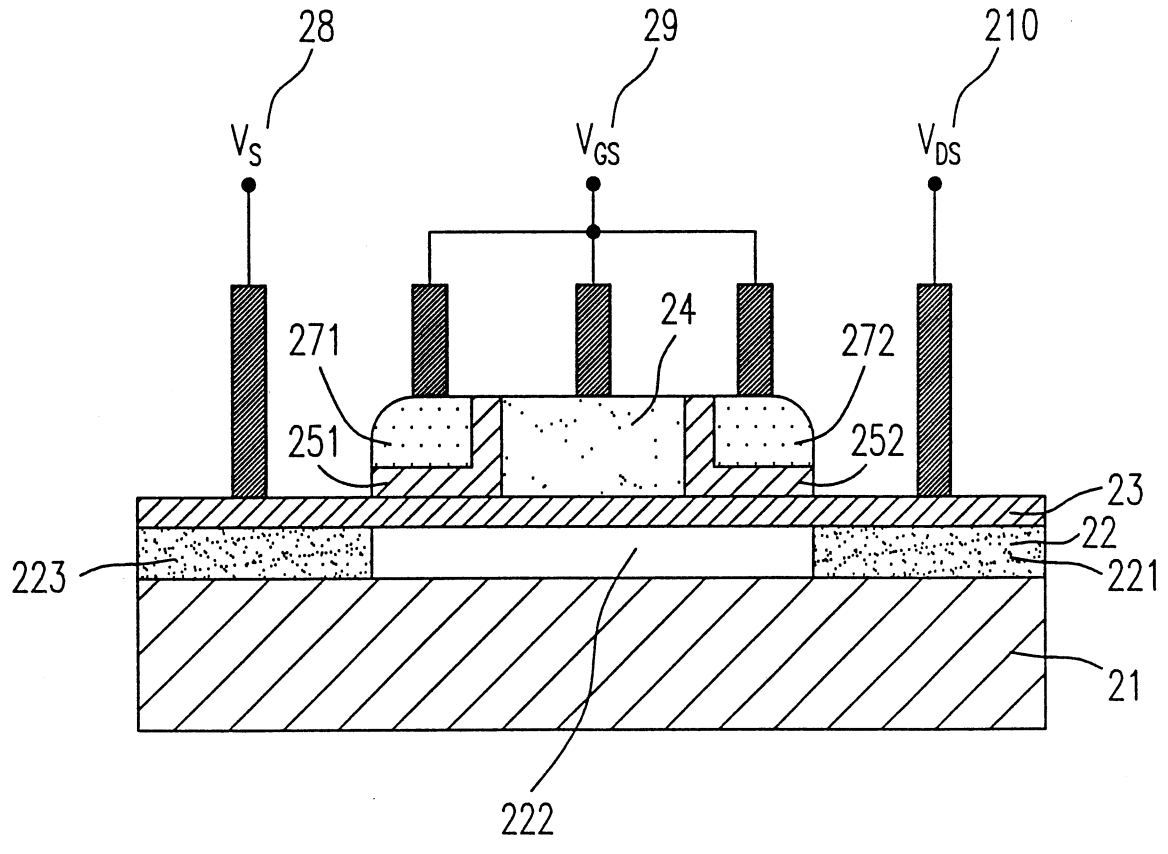
第二圖 (c)

圖式



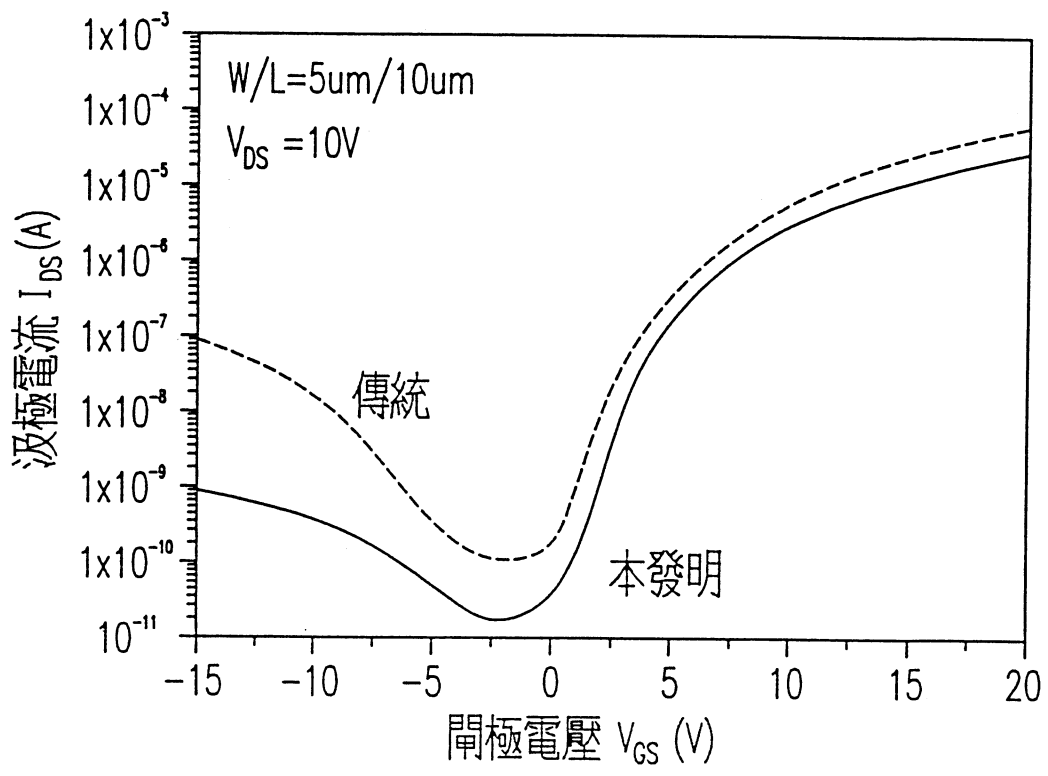
第二圖 (d)

修正
補充
2012年4月8日



第二圖 (e)

圖式



第三圖