

公告本

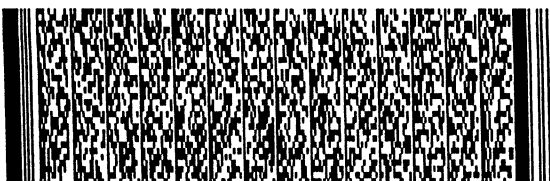
申請日期: 91.3.20.	案號: 91105253
類別: H01L 29/58, 29/47	

(以上各欄由本局填註)

發明專利說明書

536745

一、 發明名稱	中文	金氧半場效電晶體之結構
	英文	Structure of Metal Oxide Semiconductor Field Effect Transistor
二、 發明人	姓名 (中文)	1. 崔秉鉞 2. 黃誌鋒
	姓名 (英文)	1. Bing-Yue Tsui 2. Chih-Feng Huang
	國籍	1. 中華民國 2. 中華民國
	住、居所	1. 新竹市大學路56號14樓之2 2. 彰化縣福興鄉同安村2號
三、 申請人	姓名 (名稱) (中文)	1. 國立交通大學
	姓名 (名稱) (英文)	1. National Chiao Tung University
	國籍	1. 中華民國
	住、居所 (事務所)	1. 新竹市大學路1001號
	代表人 姓名 (中文)	1. 張俊彥
	代表人 姓名 (英文)	1. Chun-Yen Chang



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

無

有關微生物已寄存於

寄存日期

寄存號碼

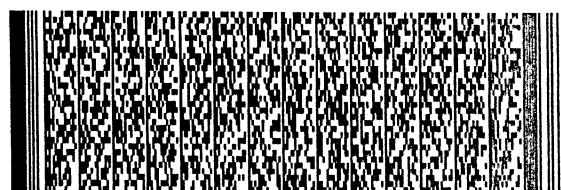
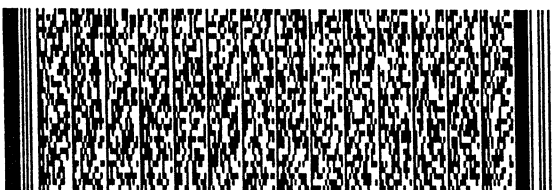
無

四、中文發明摘要 (發明之名稱：金氧半場效電晶體之結構)

本發明提供一種可降低源極蕭基位障(Schottky Barrier)載子注入阻抗(Carrier Injection Resistance)的金氧半場效電晶體(MOSFET)之結構及其方法。該結構至少包含一矽覆絕緣(SOI)基板為該結構之基材，一金屬氧化物半導體(MOS)形成於該矽覆絕緣基板之上，以及一金屬矽化物層(Metal-Silicide Layer)。其中該矽覆絕緣基板具有一基底(Substrate)，一絕緣層(Insulation Layer)位於該基底之上，以及一矽晶層(Silicon Layer)位於該絕緣層之上；藉由沉積一金屬層(Metal Layer)於該半導體上，利用金屬自行對準矽化物製程與該矽晶層結合後形成該金屬矽化物層，再利用離子植入金屬矽化物或金屬層的製程

英文發明摘要 (發明之名稱：Structure of Metal Oxide Semiconductor Field Effect Transistor)

The present invention provides a structure of Metal Oxide Semiconductor Field Effect Transistor (MOSFET), which comprises a SOI (Silicon-On-Insulator) device, a MOS (Metal Oxide Semiconductor) formed on said SOI device, and a metal-silicide layer. Said SOI device includes a substrate, an insulation layer formed on said substrate, and a silicon layer formed on said insulation layer, and the MOS is formed on said SOI device. The metal-silicide layer is formed in



四、中文發明摘要 (發明之名稱：金氧半場效電晶體之結構)

(implant-to-silicide or implant-to-metal) 形成源極與汲極高濃度區以降低源極蕭基位障(Schottky Barrier)載子注入阻抗(Carrier Injection Resistance)。

英文發明摘要 (發明之名稱：Structure of Metal Oxide Semiconductor Field Effect Transistor)

accordance with a metal self aligned process by a metal layer being deposited on said SOI device and on said MOS for reacting with said silicon layer, and an implant-to-silicide process is employed to form a high-density source region and a high-density drain region for modifying Schottky Barrier and diminishing Carrier Injection Resistance.



五、發明說明 (1)

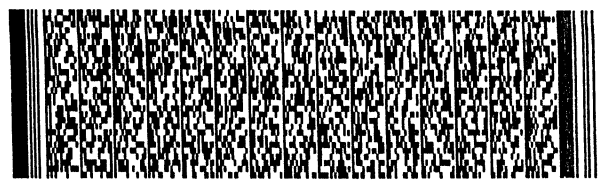
發明領域：

本發明係有關於一種可降低源極蕭基位障(Schottky Barrier)載子注入阻抗(Carrier Injection Resistance)之金氧半場效電晶體(MOSFET)結構與方法，尤其是關於一種利用矽覆絕緣(SOI)元件降低源極蕭基位障(Schottky Barrier)載子注入阻抗(Carrier Injection Resistance)的金氧半場效電晶體之結構及其方法。

發明背景：

長久以來，積體電路工業一直希望能將元件尺寸微小化，以提高性能並增加電路密度，金氧半場效電晶體(MOSFET)是最明顯的例子。從早期的數十微米到今日的深次微米尺度都相當成功，然而要微縮到奈米尺度則存在許多問題。其中源極與汲極離子植入後的高溫退火使雜質橫向擴散，所造成的短通道效應(short channel effect)是非常難以克服的問題。

近幾年，蕭基位障結構被應用在奈米級的SOI元件上，因為由金屬矽化物取代PN接面，不會有雜質橫向擴散現象，短通道問題可以大幅改善。蕭基位障結構是在十餘年前提出用以改善電路鎖定(latch-up)問題，但是源極端的蕭基位障使得載子注入通道的阻抗偏高以及汲極端蕭基接



五、發明說明(2)

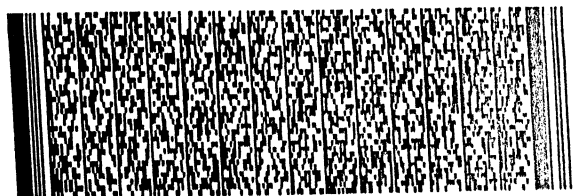
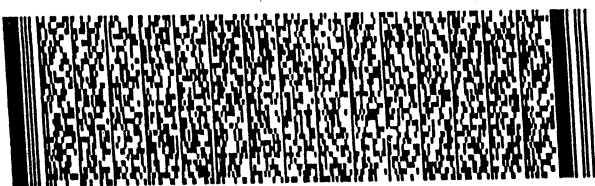
面漏電流偏高。雖然曾經有人提出不對稱結構，以解決汲極漏電問題，但是這種結構需要增加一層光罩製程，遮住源極區域，這與標準CMOS製程不相容，而且源極載子注入阻抗的問題仍然存在。

蕭基位障結構應用在SOI元件上則可以改善汲極漏電的問題，原因在於形成金屬矽化物時，如果將矽晶層完全消耗完畢，蕭基界面(Schottky Junction)的面積就只剩下向通道方向的側面，漏電流的問題可以大幅改善，但是源極載子注入阻抗問題仍存在著。此外，由於N-MOSFET和P-MOSFET的通道濃度型態不同，必須採用不同的金屬矽化物以降低蕭基位障，例如P-MOSFET採用PtSi，而N-MOSFET採用ErSi₂，兩種不同的材料使得製程整合相當困難。

除此之外，有人採用副閘極的方式來形成反轉層，以提供通道給載子通過，但是此一製程與標準CMOS製程不相容，且需要高壓來操作副閘極，也沒有解決N-MOSFET和P-MOSFET需要不同金屬矽化物的問題，對於電壓控制也是一大考驗。

發明目的：

鑒於上述之發明背景中，傳統製程的諸多缺點，本發明提供一種可降低源極蕭基位障(Schottky Barrier)載子



五、發明說明 (3)

注入阻抗(Carrier Injection Resistance)的金氧半場效電晶體(MOSFET)之結構及其方法，藉以克服上述先前技術之缺陷。

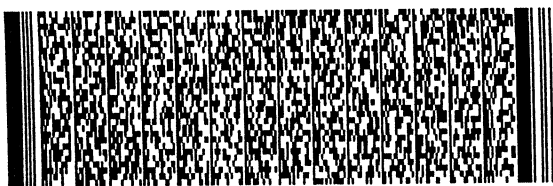
本發明之目的，係利用離子植入金屬或金屬矽化物後再擴散，在金屬矽化後的源極與汲極外側形成一極薄的高濃度擴散區域，以降低源極或汲極對通道間的蕭基位障載子注入阻抗，並形成修正蕭基界面(Schottky Junction)，以大幅降低汲極之界面漏電流問題。

本發明之另一目的，係進一步利用將源極與汲極完全金屬矽化的方式，來降低源極與汲極的片電阻。

本發明之再一目的，係利用將源極與汲極完全金屬矽化的製程，以達到降低製程溫度之目的。

發明概述：

根據以上所述之目的，本發明揭示一種可降低源極蕭基位障(Schottky Barrier)載子注入阻抗(Carrier Injection Resistance)的金氧半場效電晶體(MOSFET)之結構及其方法。該結構至少包含一矽覆絕緣(SOI)基板為該結構之基材，一金屬氧化物半導體(MOS)形成於該矽覆絕緣基板之上，以及一金屬矽化物層(Metal-Silicide Layer)。其中該矽覆絕緣基板具有一基底(Substrate)，一絕緣層(Insulation Layer)位



五、發明說明 (4)

於該基底之上，以及一矽晶層 (Silicon Layer) 位於該絕緣層之上；藉由沉積一金屬層 (Metal Layer) 於該半導體上，利用金屬自行對準矽化物製程與該矽晶層結合後形成該金屬矽化物層，再利用離子植入金屬矽化物層的製程 (implant-to-silicide) 形成源極與汲極高濃度區，以降低源極蕭基位障 (Schottky Barrier) 載子注入阻抗 (Carrier Injection Resistance)。

為讓本發明之上述說明與其他目的之特徵和優點更能明顯易懂，下文特列出較佳實施例並配合圖式，作詳細說明。

發明詳細說明：

有關本發明為達成上述之目的，所採用之技術、手段及具體結構特徵，茲舉一較佳可行之實施例，並藉由圖示說明而更進一步揭示明瞭，詳如下述。

請參考圖一之矽覆絕緣 (SOI) 元件的結構剖面示意圖，係利用SOI製程所形成之矽覆絕緣 (SOI) 基板1作為本發明之基材，該SOI基板1具有一基底11、一絕緣層12 (Insulation Layer) 位於該基底11之上、以及一矽晶層13 (Silicon Layer) 位於該絕緣層12之上，其中該基底11可為矽基底或玻璃基底其中之一，該絕緣層12係為氧化物層。再來請參考圖二，藉由一般的隔離製程



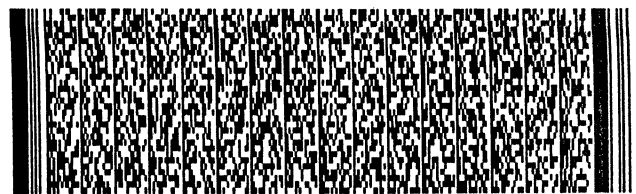
五、發明說明 (5)

(Isolation Process) 形成元件隔離區14。接著以閘極介電層氧化或沉積、閘電極沉積、微影、蝕刻等製程製作出閘極絕緣層22與閘極21。再沉積一層介電隔離層，利用非等向性蝕刻製作出閘極間隙層 (spacer) 23。以形成一金屬氧化物半導體 (MOS) 2於該矽覆絕緣基板1之上，其中該半導體2可為P型半導體或者N型半導體其中之一。

接下來沉積一金屬層31，請參考圖三～圖五，藉由金屬自行對準矽化物製程與該矽晶層13結合後形成金屬矽化物層3，再利用離子植入金屬矽化物層的製程

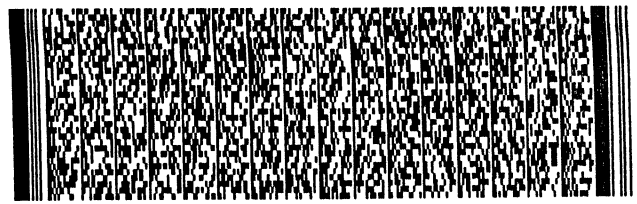
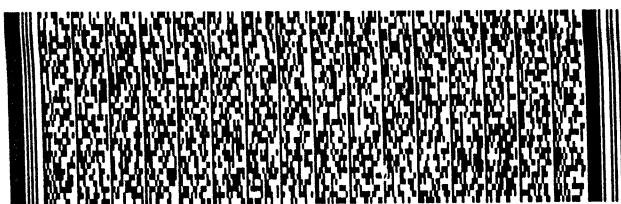
(implant-to-silicide) 與退火處理，形成一源極高濃度區24與一汲極高濃度區25 (如圖七所示)，以降低源極蕭基位障 (Schottky Barrier) 載子注入阻抗 (Carrier Injection Resistance)。其中該源極與汲極之間進一步包含一通道，藉以使載子得以通過。由於源極與汲極的高濃度區24、25形成修正蕭基界面 (Modified Schottky Junction)，可以大幅降低汲極之界面漏電流問題。更由於源極與汲極完全地金屬矽化，故源極與汲極的片電阻可大幅降低。更進一步來說，本發明係藉離子佈植的方式植入金屬矽化物 (implant-to-silicide)，由於金屬矽化物的特性，製程所需溫度不需太高，大約可降至600℃，因此本發明可提供一種低溫製程。

或者本發明在進行金屬自行對準矽化物製程前，即將適當的雜質以離子植入金屬 (implant-to-metal) 的製程，便可於形成金屬矽化物之蕭基位障源極與汲極的同時，擴



五、發明說明 (6)

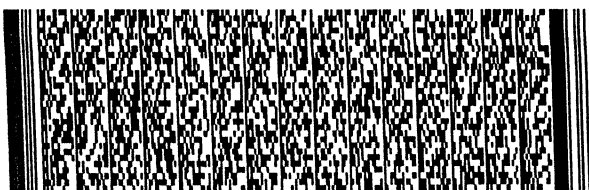
散成為源極與汲極外側的高濃度區域，形成修正蕭基界面。也就是如圖一～圖三，利用SOI製程所形成之矽覆絕緣(SOI)基板1作為本發明之基材，該SOI基板1具有一基底11、一絕緣層12 (Insulation Layer) 位於該基底11之上、以及一矽晶層13 (Silicon Layer) 位於該絕緣層12之上，其中該基底11可為矽基底或玻璃基底其中之一，該絕緣層12係為氧化物層。請參考圖二，藉由一般的隔離製程(Isolation Process) 形成元件隔離區14。接著以閘極介電層氧化或沉積、閘電極沉積、微影、蝕刻等製程製作出閘極絕緣層22與閘極21。再沉積一層介電隔離層，利用非等向性蝕刻製作出閘極間隙層(spacer) 23。以形成一金屬氧化物半導體(MOS) 2於該矽覆絕緣基板1之上，其中該半導體2可為P型半導體或者N型半導體其中之一。如圖三沉積金屬層31之後，接下來請參考圖六與圖七，隨即將適當的雜質以離子佈植的製程植入該金屬層中(implant-to-metal)，並藉由金屬自行對準矽化物製程，使得該金屬層與該矽晶層結合形成金屬矽化物層30，藉此形成一源極高濃度區24與一汲極高濃度區25 (如圖七所示)，以降低源極蕭基位障(Schottky Barrier) 載子注入阻抗(Carrier Injection Resistance)。其中該源極與汲極之間進一步包含一通道，藉以使載子得以通過。由於源極與汲極的高濃度區24、25形成修正蕭基界面(Modified Schottky Junction)，可以大幅降低汲極之界面漏電流問題。更由於源極與汲極完全地金屬矽化，故



五、發明說明 (7)

源極與汲極的片電阻可大幅降低。更進一步來說，本發明係藉離子佈植的方式植入金屬 (implant-to-metal) 的方式，由於金屬矽化物的特性，製程所需溫度不需太高，大約可降至 600°C ，因此本發明可適用於低溫製程。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟悉本技藝之人士，在不脫離本發明之精神和範圍內，當可做些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

- 圖一 係SOI元件剖面結構示意圖；
 圖二 係在SOI元件上形成MOS之後的剖面結構示意圖；
 圖三～圖七 係本發明之實施例製程結構示意圖。

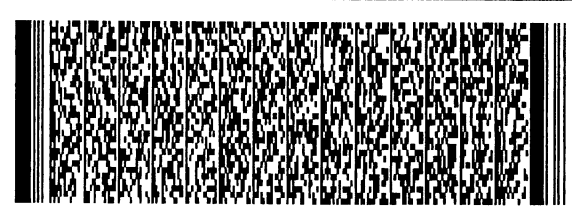
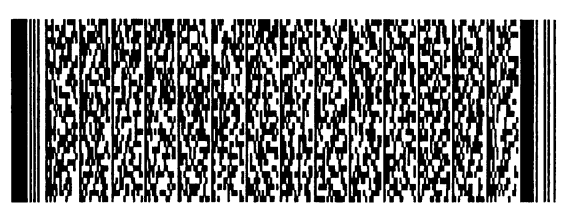
主要元件符號說明：

SOI 元件	-----	1
SOI 基底	-----	11
SOI 絕緣層	-----	12
SOI 矽晶層	-----	13
隔離區	-----	14
金屬氧化物半導體 (MOS)	-----	2
閘極	-----	21
閘極絕緣層	-----	22
間隙層	-----	23
金屬層	-----	31
金屬矽化物層	-----	3、30
源極高濃度區	-----	24
汲極高濃度區	-----	25



六、申請專利範圍

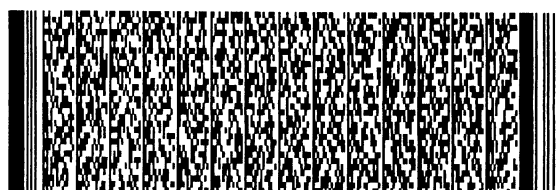
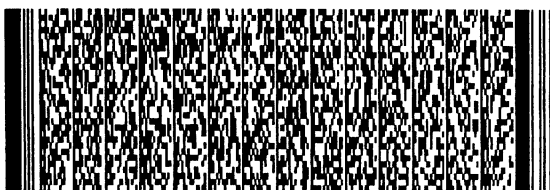
1. 一種可降低源極蕭基位障 (Schottky Barrier) 載子注入阻抗 (Carrier Injection Resistance) 的金氧半場效電晶體 (MOSFET) 之結構，至少包含：
一矽覆絕緣 (SOI) 基板為該結構之基材，該矽覆絕緣基板具有一基底 (Substrate)，一絕緣層 (Insulation Layer) 位於該基底之上，以及一矽晶層 (Silicon Layer) 位於該絕緣層之上；
一金屬氧化物半導體 (MOS) 形成於該矽覆絕緣基板之上；以及
一金屬矽化物層 (Metal-Silicide Layer)，係藉沉積一金屬層 (Metal Layer) 於該半導體上，利用金屬自行對準矽化物製程與該矽晶層結合後形成該金屬矽化物層，再利用離子植入金屬矽化物層的製程 (implant-to-silicide) 形成一源極高濃度區與一汲極高濃度區，以降低源極蕭基位障 (Schottky Barrier) 載子注入阻抗 (Carrier Injection Resistance)。
2. 如申請專利範圍第 1 項之結構，其中該半導體係為 P 型半導體或者 N 型半導體其中之一。
3. 如申請專利範圍第 1 項之結構，其中該源極與汲極之間間進一步包含一通道，藉以使載子得以通過。
4. 如申請專利範圍第 1 項之結構，其中該基底係為一矽基底或一玻璃基底其中之一。
5. 如申請專利範圍第 1 項之結構，其中該絕緣層係為氧化



六、申請專利範圍

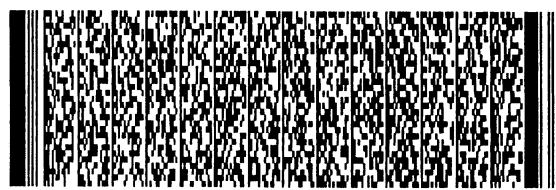
物層。

6. 一種可降低源極蕭基位障 (Schottky Barrier) 載子注入阻抗 (Carrier Injection Resistance) 的金氧半場效電晶體 (MOSFET) 之結構，至少包含：
一矽覆絕緣 (SOI) 基板為該結構之基材，該矽覆絕緣基板具有一基底 (Substrate)，一絕緣層 (Insulation Layer) 位於該基底之上，以及一矽晶層 (Silicon Layer) 位於該絕緣層之上；
一金屬氧化物半導體 (MOS) 形成於該矽覆絕緣基板之上；以及
一金屬矽化物層 (silicide layer)，係藉沉積一金屬層 (metal layer) 於該半導體上，利用離子植入金屬層的製程 (implant-to-metal)，再藉由金屬自行對準矽化物製程，使得該金屬層與該矽晶層結合形成該金屬矽化物層，並藉此形成一源極高濃度區與一汲極高濃度區，以降低源極蕭基位障 (Schottky Barrier) 載子注入阻抗 (Carrier Injection Resistance)。
7. 如申請專利範圍第 6 項之結構，其中該半導體係為 P 型半導體或者 N 型半導體其中之一。
8. 如申請專利範圍第 6 項之結構，其中該源極與汲極之間進一步包含一通道，藉以使載子得以通過。
9. 如申請專利範圍第 6 項之結構，其中該基底係為一矽基底或一玻璃基底其中之一。



六、申請專利範圍

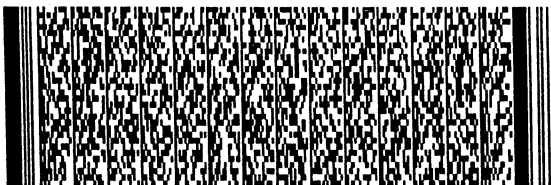
10. 如申請專利範圍第 6 項之結構，其中該絕緣層係為氧化物層。
11. 一種可降低源極蕭基位障 (Schottky Barrier) 載子注入阻抗 (Carrier Injection Resistance) 的金氧半場效電晶體之方法，至少包含下列步驟：
- 提供一矽覆絕緣 (SOI) 基板，其中該矽覆絕緣基板具有一基底 (Substrate)，一絕緣層 (Insulation Layer) 位於該基底之上，一矽晶層 (Silicon Layer) 位於該絕緣層之上；
 - 利用半導體製程，形成一金屬氧化物半導體 (MOS) 於該矽覆絕緣基板之上；
 - 沉積一金屬層於該半導體之上；以及
 - 利用金屬自行對準矽化物製程，使得該金屬層與該矽晶層結合後形成金屬矽化物層，再利用離子植入金屬矽化物層的製程 (implant-to-silicide) 形成一源極高濃度區與一汲極高濃度區，以降低源極蕭基位障 (Schottky Barrier) 載子注入阻抗 (Carrier Injection Resistance)。
12. 如申請專利範圍第 11 項之方法，其中利用金屬自行對準矽化物製程形成金屬矽化物層的步驟，可先利用離子植入金屬層的製程 (implant-to-metal)，再進行金屬自行對準矽化物製程，同時形成該金屬矽化物層以及一源極高濃度區與一汲極高濃度區，以降低源極蕭基位障 (Schottky Barrier) 載子注入阻抗 (Carrier

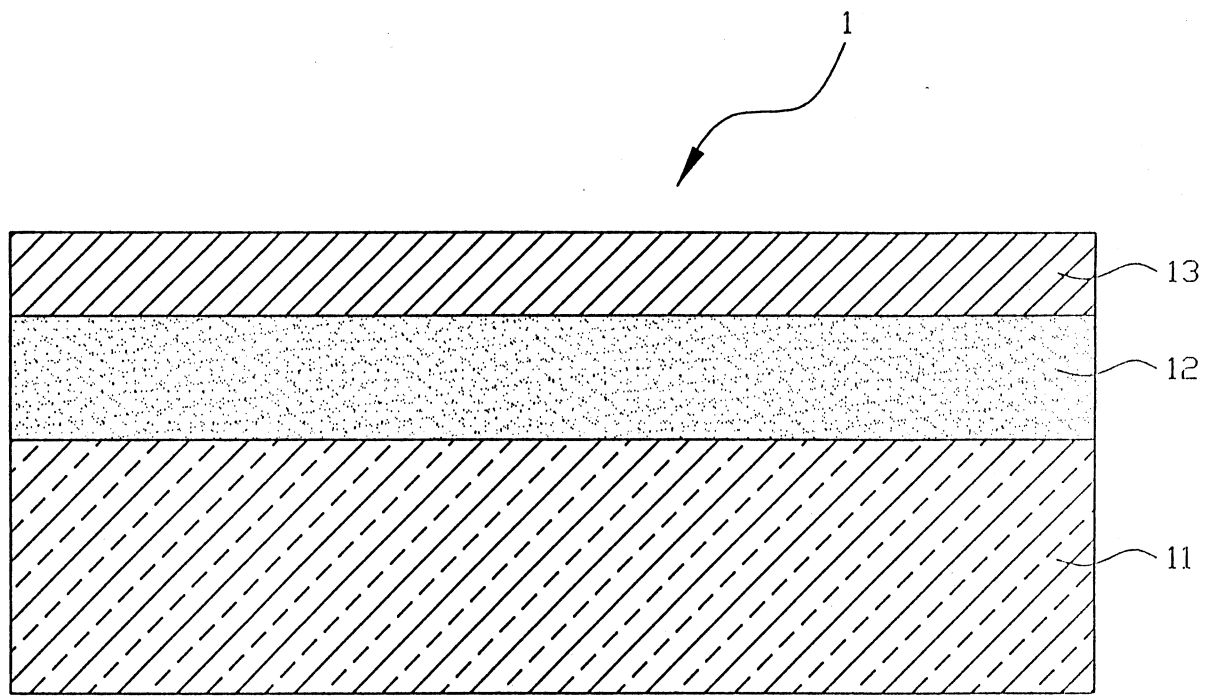


六、申請專利範圍

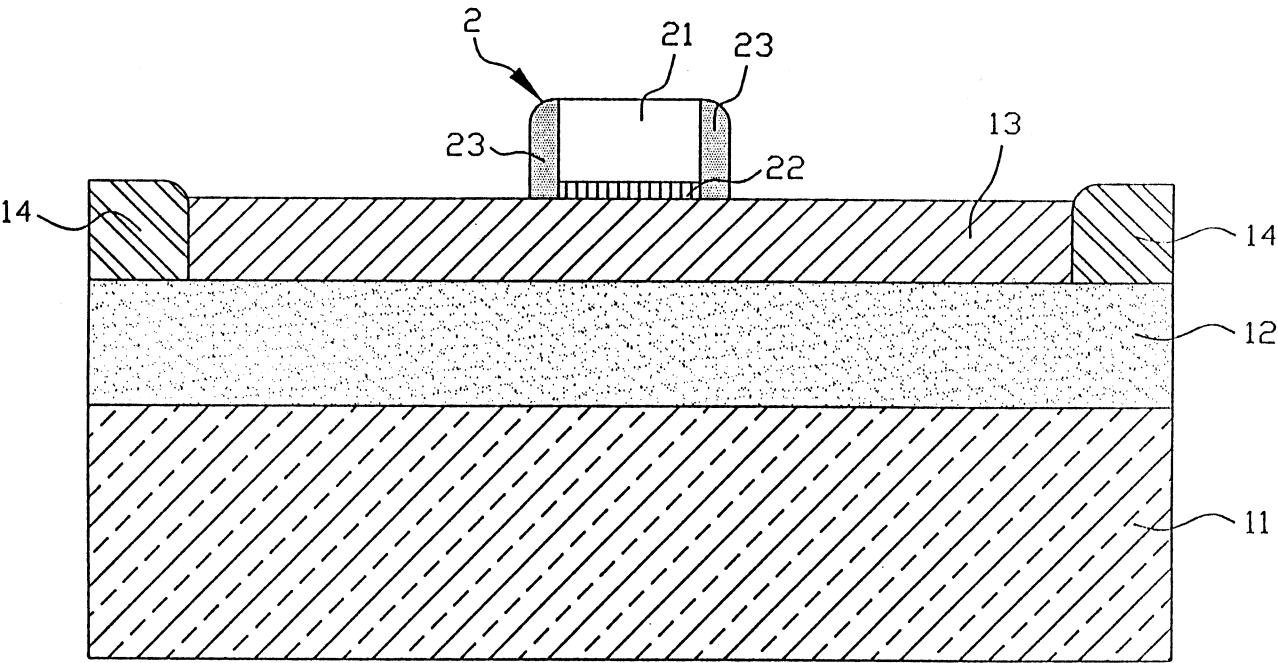
Injection Resistance)。

13. 如專利申請範圍第11項之方法，其中進行離子佈植的製程步驟之後，進一步包含退火 (annealing process) 的步驟，以形成該些高濃度區。
14. 如專利申請範圍第11、12、或13項之方法，其中該半導體係為P型半導體或者N型半導體其中之一。
15. 如專利申請範圍第11、12、或13項之方法，其中該源極與汲極之間進一步包含一通道，藉以使載子得以通過。
16. 如專利申請範圍第11、12、或13項之方法，其中該基底係為一矽基底或一玻璃基底其中之一。
17. 如專利申請範圍第11、12、或13項之方法，其中該絕緣層係為氧化物層。

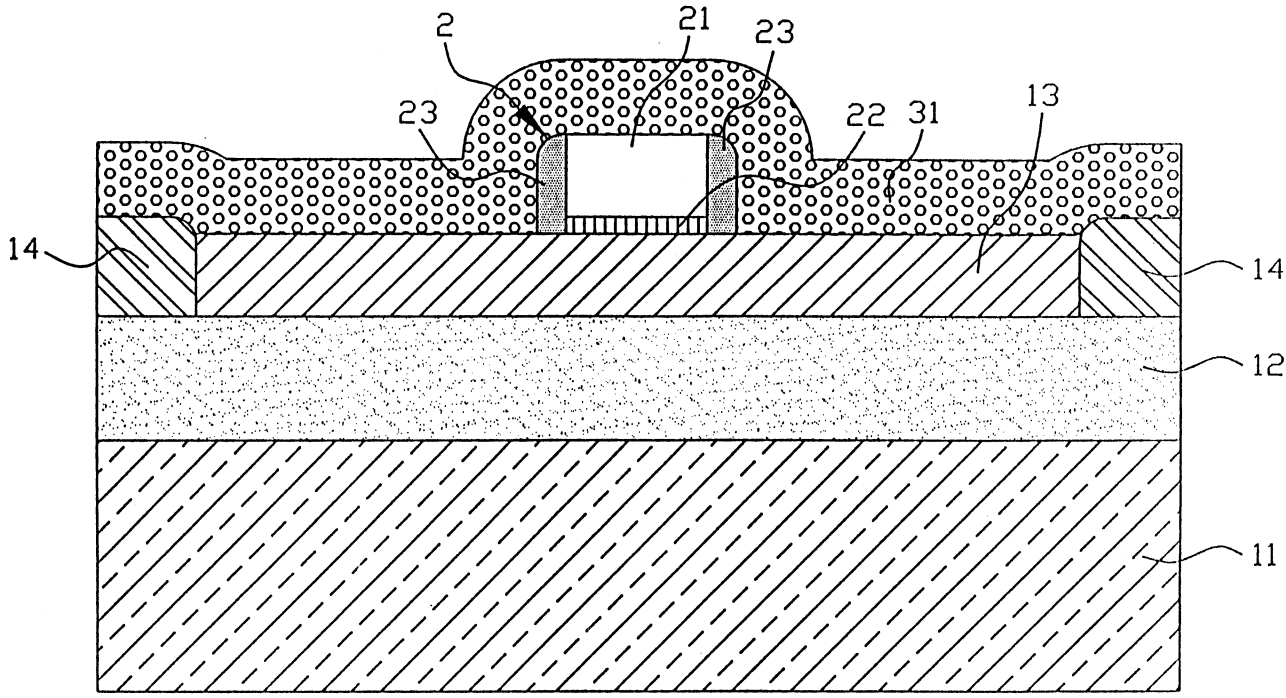




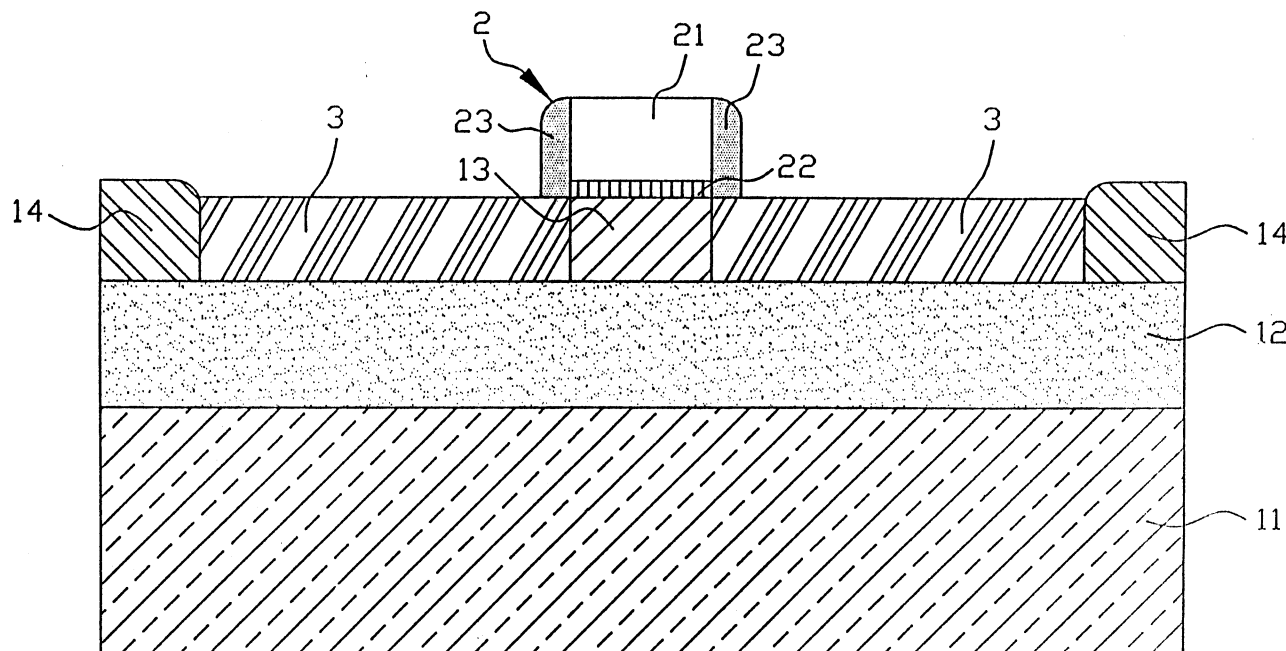
圖一



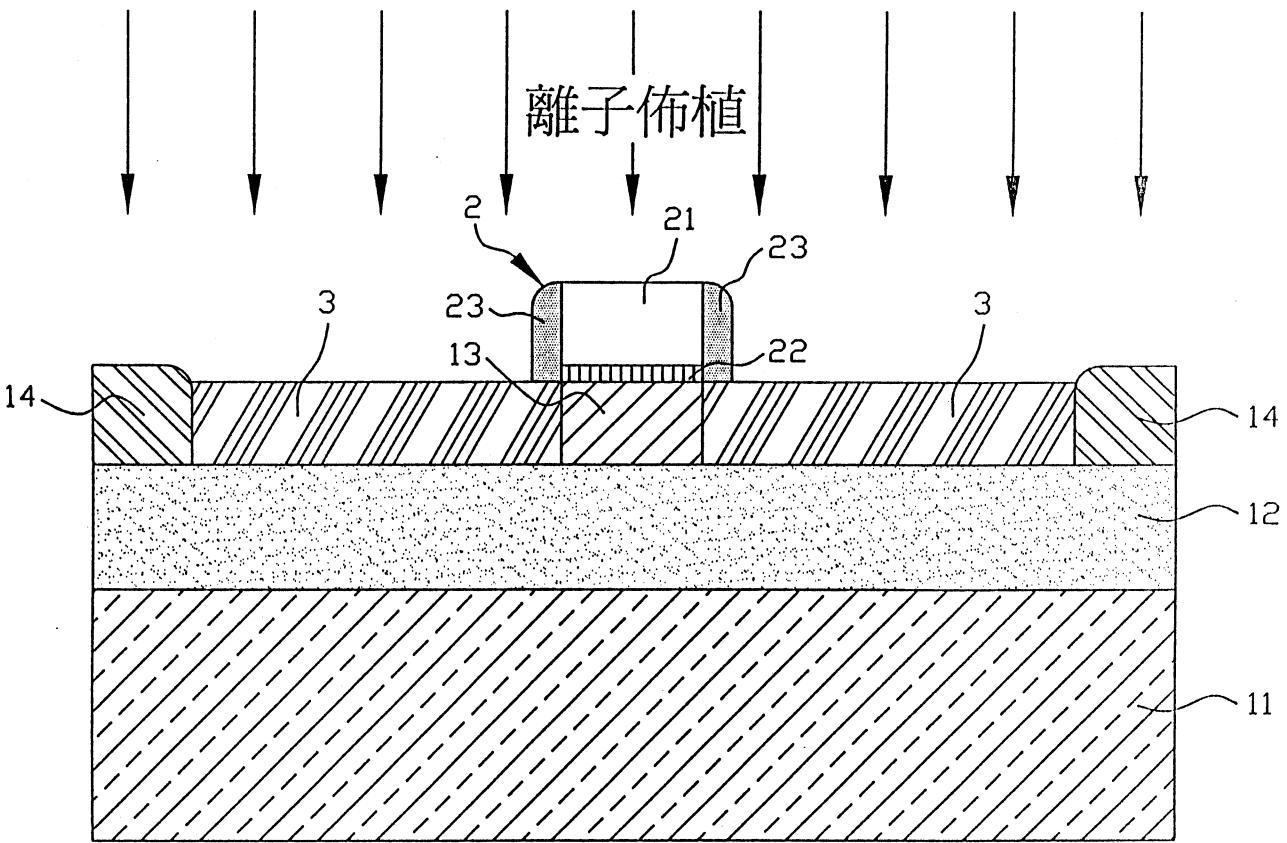
圖二



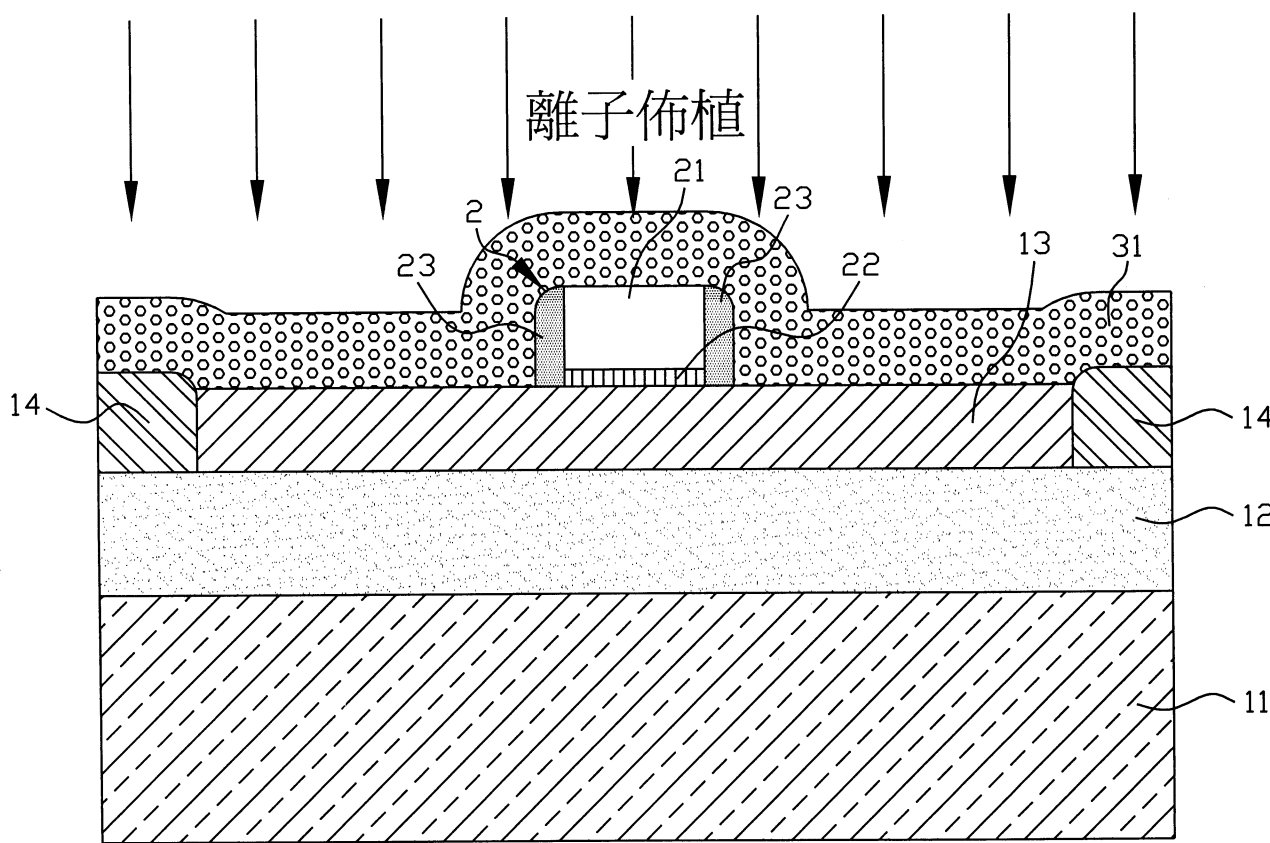
圖三



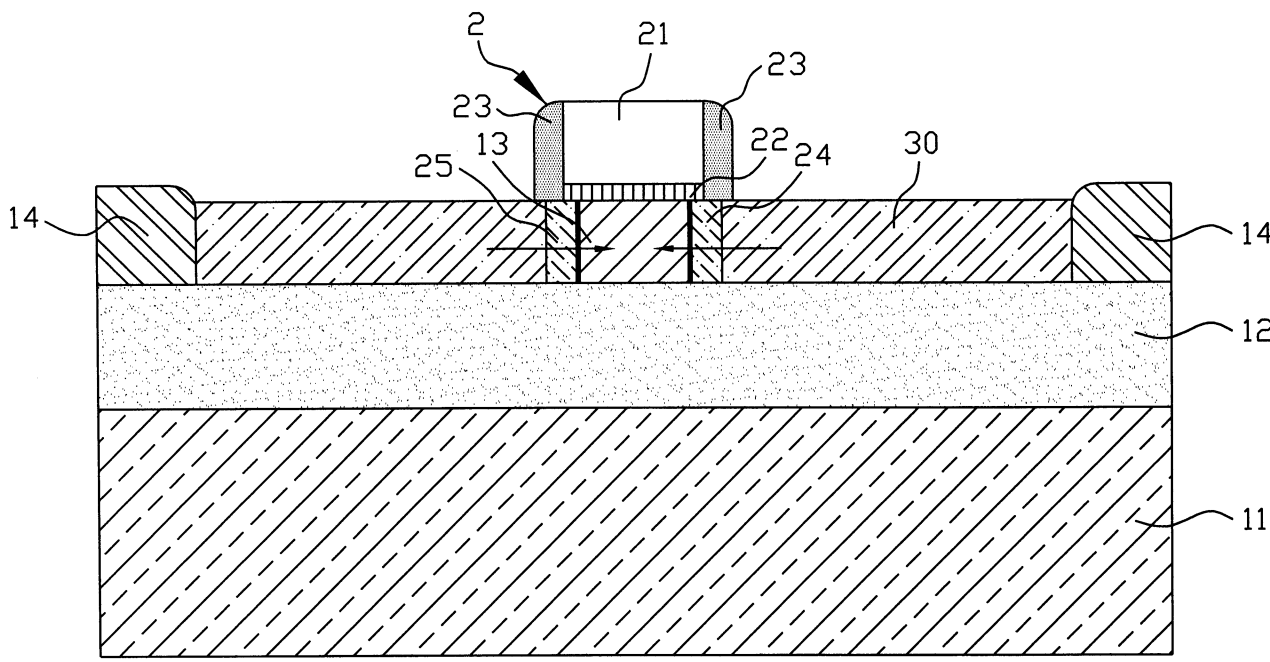
圖四



圖五



圖六



圖七