

# 公告本

申請日期	87. 8. 4
案 號	87112790
類 別	H01L 29/02

A4  
C4

442977

(以上各欄由本局填註)

## 發明專利說明書

一、發明 名稱	中 文	具高能隙偏移層結構之薄膜場效電晶體元件
	英 文	
二、發明 創作人	姓 名	張俊彥
	國 籍	中華民國
	住、居所	新竹市東區大學路 1003 巷 10 號 3 樓
三、申請人	姓 名 (名稱)	1. 國立交通大學 2. 勝華科技股份有限公司
	國 籍	中華民國
	住、居所 (事務所)	1. 新竹市東區大學路 1001 號 2. 台中縣潭子鄉建國路 9-2 號
	代 表 人 姓 名	1. 鄧啓福 2. 黃顯雄

經濟部中央標準局員工消費合作社印製

裝

訂

線

四、中文發明摘要(發明之名稱： 具高能隙偏移層結構之薄膜場效電晶體元件

一種具高能隙偏移層結構之薄膜場效電晶體元件，係在基底上的源極/汲極和閘極底下閘極絕緣層之間，垂直疊放複數個不同能隙之半導體層，該複數個半導體層包含高-低-高-低能隙，低-高-低能隙，高-低-高能隙或低-高能隙結構的半導體層，其中低能隙半導體層鄰接閘極絕緣層，作為載子的通道層，在元件導通時能傳導載子，而鄰接通道層的高能隙偏移層，能在該元件關閉狀態下，阻擋傳導載子發生能帶到能帶的穿透傳輸，降低閘極感應之汲極漏電流，另外，鄰接高能隙偏移層的低能隙半導體層，形成半導體與金屬層之間的歐姆接觸區，當做源極/汲極的接觸層，而鄰接閘極的高能隙介面層，則是用來捕捉可能存在於通道層與閘極絕緣層之間的介面缺陷，使元件特性便不會受閘極絕緣層20的介面特性直接影響，並讓該元件在導通狀態下能維持相當大的導通電流，同時在關閉狀態下，能大幅降低元件之關閉電流，提高其開/關電流比，適合應用到液晶顯示器上，可以大幅提升其畫面品質。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

## 五、發明說明( )

本發明是有關於一種薄膜場效電晶體(Thin Film Transistor, TFT)元件，尤其是應用到液晶顯示器(LCD)中具高能隙偏移層結構的薄膜場效電晶體元件，能提高開/關電流比，因而提升液晶顯示器的畫面品質。

液晶顯示器畫面品質的好壞取決於像素灰階的好壞以及解析度的大小，像素灰階是指同一像素所能呈現出的不同明亮程度而言，而解析度是指單位面積的像素數目，亦即像素密度，其中像素的灰階佔了很重要的地位。當切換元件在關閉時，若像素的傳導電流太快，便會導致該元件無法清楚地完成切換動作，也就是元件無法有效關閉，使得顯示器留有殘影而破壞畫面品質。因此，如何將元件關閉電流抑制到最低程度，是影響像素灰階的關鍵。過去皆以水平式補償(horizontal offset)結構解決元件關閉電流過高的問題，它具有有一段較高阻抗區，位於閘極邊緣與汲極接觸區之間，且和通道層平行，能使關閉狀態下的元件傳導電流大量下降，這種結構常見於多晶矽TFT製造。綜言之，在維持相當的開啓電流之下，大幅減低元件關閉電流大小，如此便可使元件的開 / 關電流比例提高，以獲得相當良好的灰階表現。

未來高解析度畫質電視系統(HDTV)的徵結在於如何提高像素的密度，使畫面愈清晰(即一個像素所佔面積愈小愈好)。

## 五、發明說明( )

對於習用低溫製程的薄膜電晶體而言，提高元件驅動電流一直是液晶顯示器的重要課題。從早期發展的非晶矽(amorphous Si)薄膜電晶體一直到最近的微晶矽(microcrystalline Si)、多晶矽(polycrystalline Si)薄膜電晶體，然而微晶矽、多晶矽薄膜電晶體雖可提升驅動電流，增加元件工作速度，其關閉電流卻相對的增加，造成顯示器像素(Pixel)的灰階惡化，降低整個畫面品質。目前為止，國外已有一些傳統反堆疊式微晶矽電晶體的研究成果發表，如G. Lucovsky *et al.*, *Mat. Res. Soc. Symp. Proc. Vol. 336, pp. 25 (1994)*，但亦因受限於其關閉電流過高，致使元件之開/關電流比始終無法提高，嚴重影響像素的灰階。所以很需要一種同時能提高驅動電流又能降低元件關閉電流，以提高之開/關電流比的元件。

本發明的主要目的在於提供一種具低-高-低能隙半導體層結構之頂開極薄膜場效電晶體元件，利用低能隙半導體層當作傳導載子的通道層，高能隙偏移層阻擋傳導載子發生能帶到能帶的穿透傳輸，降低開極感應之汲極漏電流，另一低能隙半導體層形成歐姆接觸區，當做源極/汲極的接觸層，提高元件的開/關電流比，大幅提升液晶顯示器的畫面品質。

本發明的另一目的在於提供一種具低-高能隙半導體層結構之頂開極薄膜場效電晶體元件，利用低能隙半導

## 五、發明說明( )

體層當作傳導載子的通道層，高能隙偏移層阻擋傳導載子發生能帶到能帶的穿透傳輸，降低閘極感應之汲極漏電流，提高元件的開/關電流比。

本發明的進一步目的在於提供一種具低-高-低能隙半導體層結構之底閘極薄膜場效電晶體元件，將低能隙半導體層當作傳導載子的通道層，高能隙偏移層用來阻擋傳導載子發生能帶到能帶的穿透傳輸，降低閘極感應之汲極漏電流，另一低能隙半導體層形成歐姆接觸區，當做源極/汲極的接觸層，提高元件的開/關電流比，大幅提升液晶顯示器的畫面品質。

本發明的更進一步目的在於提供一種具低-高能隙半導體層結構之底閘極薄膜場效電晶體元件，以低能隙半導體層當作傳導載子的通道層，高能隙偏移層用來阻擋傳導載子發生能帶到能帶的穿透傳輸，降低閘極感應之汲極漏電流，提高元件的開/關電流比。

此外，本發明中不同能隙的半導體層，可以選用各種不同的半導體材料來實現，不管是IV-IV族、III-V族、II-VI族半導體及其合金材料，只要能符合低能隙通道層、高能隙垂直偏移層（和低能隙接觸層）這種順序的薄膜材料組合，就可以製出高性能的高速度TFT。

## 圖式之簡單說明

(請先閱讀背面之注意事項再填寫本頁)

訂  
總

### 五、發明說明( )

圖一為依據本發明第一實施例的頂開極TFT元件的示意圖。

圖二為依據本發明第二實施例的頂開極TFT元件的示意圖。

圖三為依據本發明第三實施例的頂開極TFT元件的示意圖。

圖四為依據本發明第四實施例的頂開極TFT元件的示意圖。

圖五為依據本發明第五實施例的底開極TFT元件的示意圖。

圖六為依據本發明第六實施例的底開極TFT元件的示意圖。

圖七為依據本發明第七實施例的底開極TFT元件的示意圖。

圖八為依據本發明第八實施例的底開極TFT元件的示意圖。

### 圖式中之參考數號

10 開極

12 金屬氧化層

20 開極絕緣層

## 五、發明說明( )

24 介面層

30 通道層

40 偏移層

50 歐姆接觸層

60 源/汲極

70 基底層

將本發明的內容配合相關圖式以及最佳實施例做詳細的說明。

圖一到圖四所示的結構，分別表示四種不同的頂開極TFT元件結構，而圖五到圖八所示的，分別為四種不同的底開極TFT元件結構，其中圖一與圖五相類似，圖二與圖六相類似，圖三與圖七相類似，圖四與圖八相類似，其差別只是基底層以上的各層排列順序恰好相反。

參閱圖一，顯示出依據本發明第一實施例的頂開極TFT元件的結構示意圖，該頂開極TFT元件是構築在絕緣的基底層70上，而該頂開極TFT元件係包含一開極10，一開極絕緣層20，一通道層30，一偏移層40，一源/汲極60，其中開極絕緣層20具有高電阻值，用來隔絕開極10與通道層30。通道層30為高摻雜濃度的半導體層，其能帶具有較低的能隙(能隙範圍可從0.1eV至1.5eV)，安置在開極絕緣層20底下，當作傳導載子的通道層，

## 五、發明說明( )

使得該TFT元件在導通時，電子流(或電洞)由源極流向汲極所受阻擋甚少，而能傳導大量的電流，縮短導通時間。偏移層(Offset Layer)40是低摻雜濃度的半導體層，垂直疊放在源極/汲極60和通道層30之間，具有較高的能隙(能隙範圍可從0.3eV至10eV)，可以阻擋傳導載子在關閉時發生能帶到能帶的穿透傳輸(Band To Band Tunneling)，降低閘極感應之汲極漏電流(Gate-Induced Drain Leakage Current, GIDL)，使得該TFT元件在關閉時，具有非常低的關閉電流。此外，這種高能隙偏移層是自我對準(Self-Align)，而且是直接垂直堆疊於低能隙通道層下，不會增加額外面積，所以不會減低像素的密度，可進一步提高液晶顯示器畫面的解析度。由於導通電流增加，且關閉電流降低，所以開/關電流比提高，使液晶顯示器畫面的像素灰階(Gray Level)提高，使得影像品質大幅提升。

參閱圖二，顯示出依據本發明第二實施例的頂閘極TFT元件的結構示意圖，除偏移層40與源/汲極60之間的歐姆接觸層50外，其餘的部分都與圖一中的第一實施例相同。歐姆接觸層50為高摻雜濃度的半導體層，其能隙較低，覆蓋住源/汲極60，能提升源/汲極60的傳導特性。

參閱圖三，顯示出依據本發明第三實施例的頂閘極TFT元件的結構示意圖，除閘極絕緣層20與通道層30之間的介面層24外，其餘的部分都與圖一的第一實施例相同



## 五、發明說明（ ）

。該介面層24的材料與通道層30相似但其能隙較高，作為閘極絕緣層與通道層之間的介面緩衝，讓原來可能存在於通道層與閘極絕緣層之間的介面缺陷（Interface Defect），由該高能隙介面層24所捕捉，如此元件特性便不會受閘極絕緣層20的介面特性直接影響，而能進一步提高元件特性與性能。

參閱圖四，顯示出依據本發明第四實施例的頂閘極TFT元件的結構示意圖，除偏移層40與源/汲極60之間的歐姆接觸層50外，其餘的部分都與圖三的第三實例相同。

上述中用於通道層的低能隙材料具有高移動率（Mobility），因  $\mu = e\langle\tau\rangle/m^*$ （ $\langle\tau\rangle$ 為平均碰撞時間， $m^*$ 為有效質量），其中 $m^*$ 甚小，如InSb, HgCdTe。但小的 $m^*$ 對BBT而言，穿透漏電流太大為其缺點，故疊以高能隙材料，因具有高能障而有壓制漏電流的效果。用此方法可以獲得具有甚高移動率（ $\mu > 10^6 \text{ cm}^2/\text{V}$ ）之電晶體的可能。若高能隙材料厚度為 $d$ ，源極有效截面積為 $A$ ，理論估算BBT電流減少  $\exp[-(2m\Delta E_g)^{1/2} \cdot d/\hbar]$ ，而 $R_s$ 電阻僅增加  $(Aq\mu n/d)^{-1}$ ，前者（BBT電流）會隨著厚度呈指數下降（即 $\exp(-d)$ ），而後者（ $R_s$ ）則只是隨著厚度呈線性增加而已，因此該元件結構之優點立見。

構成該通道層與該偏移層的材料組合，可以選定以下所列的其中之一，鍺/矽、鍺化矽/矽、矽/非晶矽、

## 五、發明說明（ ）

矽/非晶碳化矽、多晶矽/非晶矽、多晶矽/非晶碳化矽、微晶矽/非晶矽、微晶矽/非晶碳化矽、砷化鎵/砷化鋁鎵、銻化銻/銻化鋁、銻化銻/砷化銻、硒化鋅/硫化鋅、硒化鎘/硒化鋅、碲化汞鎘/硒化鋅、硒化鎘/硫化鋅、硫化鎘/氧化鋅、硒化鎘/硫化鋅，以及其他符合低能隙、高能隙這種順序組合的IV-IV族、III-V族、II-VI族半導體及其合金薄膜材料。

參閱圖五，顯示出依據本發明第五實施例的底閘極TFT元件的結構示意圖，係包含一源/汲極60，一偏移層40，一通道層30，一閘極絕緣層20，一金屬氧化層12，一閘極10，一基底層70，除了基底層70以上的各層排列順序與圖一的頂閘極TFT元件結構相反以外，其餘的功能與特性皆相同。

圖六，七，八分別顯示第六，七，八實施例的底閘極TFT元件的結構，如上所述的，其結構與圖二，三，四的第二，三，四實施例相類似，只是基底層以上的各層排列順序恰好相反。

綜上所述，當知本案發明具有實用性與新穎性，且本發明未見之於任何刊物，當符合專利法規定。

唯以上所述者，僅為本發明之一較佳實施例而已，當不能以之限定本發明實施之範圍。即大凡一本發明申請專利範圍所作之均等變化與修飾，皆應屬本發明專利涵蓋之範圍內。

## 六、申請專利範圍

1. 一種具高能隙偏移層結構之頂閘極薄膜場效電晶體元件，係將該頂閘極薄膜場效電晶體元件構築在絕緣的基底層上，而該頂閘極薄膜場效電晶體元件係包含一閘極，一閘極絕緣層，一通道層，一偏移層，一源/汲極，由上而下依序排列，其中該閘極絕緣層具有高電阻值，用來隔絕閘極與通道層；該通道層為具有較低的能隙的半導體層，安置在閘極絕緣層底下，當作傳導載子的通道層，使得該元件在導通時，由源極流向汲極的電子流或電洞會受甚少阻擋，而能傳導大量的電流，縮短導通時間；該偏移層是具有較高能隙的半導體層，垂直疊放在源極/汲極和通道層之間，可以阻止傳導載子在關閉時發生能帶到能帶的穿透傳輸，降低閘極感應之汲極漏電流，使得該元件在關閉時，具有非常低的關閉電流；這種高能隙偏移層具有自我對準的特性，而且是直接垂直堆疊於低能隙通道層下，不會增加額外面積，不會降低像素的密度；由於導通電流增加，且關閉電流降低，所以開/關電流比提高。
2. 如申請專利範圍第1項所述之具高能隙偏移層結構之頂閘極薄膜場效電晶體元件，其中構成該通道層與該偏移層的材料組合可以選定以下所列的其中之一，鍺/矽、鍺化矽/矽、矽/非晶矽、矽/非晶碳化矽、多晶矽/非晶矽、多晶矽/非晶碳化矽、微晶矽/非晶矽、

## 六、申請專利範圍

微晶矽/非晶碳化矽、砷化鎵/砷化鋁鎵、銻化銦/銻化鋁、銻化銦/砷化銦、硒化鋅/硫化鋅、硒化鎘/硒化鋅、碲化汞鎘/硒化鋅、硒化鎘/硫化鋅、硫化鎘/氧化鋅、硒化鎘/硫化鋅，以及其他符合低能隙、高能隙這種順序組合的IV-IV族、III-V族、II-VI族半導體及其合金薄膜材料。

3. 如申請專利範圍第1項所述之具高能隙偏移層結構之頂閘極薄膜場效電晶體元件，進一步包含一歐姆接觸層，位於該偏移層與該源/汲極之間，該歐姆接觸層的能隙比偏移層的還低。
4. 如申請專利範圍第1項所述之具高能隙偏移層結構之頂閘極薄膜場效電晶體元件，進一步包含一介面層，位於該閘極絕緣層與該通道層之間，該介面層的能隙比通道層的還高，作為閘極絕緣層與通道層之間的介面緩衝，讓原來可能存在於通道層與閘極絕緣層之間的介面缺陷，由該高能隙介面層所捕捉，則元件特性便不會受閘極絕緣層的介面特性直接影響。
5. 如申請專利範圍第4項所述之具高能隙偏移層結構之底閘極薄膜場效電晶體元件，進一步包含一歐姆接觸層，位於該偏移層與該源/汲極之間，該歐姆接觸層的能隙比偏移層的還低。
6. 一種具高能隙偏移層結構之底閘極薄膜場效電晶體元件，係將該頂閘極薄膜場效電晶體元件構築在絕緣的

## 六、申請專利範圍

基底層上，而該頂開極薄膜場效電晶體元件係包含一開極，一開極絕緣層，一通道層，一偏移層，一源/汲極，由下而上依序排列，其中該開極絕緣層具有高電阻值，用來隔絕開極與通道層；該通道層為具有較低的能隙的半導體層，安置在開極絕緣層底下，當作傳導載子的通道層，使得該元件在導通時，由源極流向汲極的電子流或電洞會受甚少阻擋，而能傳導大量的電流，縮短導通時間；該偏移層是具有較高能隙的半導體層，垂直疊放在源極/汲極和通道層之間，可以阻止傳導載子在關閉時發生能帶到能帶的穿透傳輸，降低開極感應之汲極漏電流，使得該元件在關閉時，具有非常低的關閉電流；這種高能隙偏移層具有自我對準的特性，而且是直接垂直堆疊於低能隙通道層下，不會增加額外面積，不會降低像素的密度；由於導通電流增加，且關閉電流降低，所以開/關電流比提高。

7.如申請專利範圍第6項所述之具高能隙偏移層結構之底開極薄膜場效電晶體元件，其中構成該通道層與該偏移層的材料組合可以選定以下所列的其中之一，鍺/矽、鍺化矽/矽、矽/非晶矽、矽/非晶碳化矽、多晶矽/非晶矽、多晶矽/非晶碳化矽、微晶矽/非晶矽、微晶矽/非晶碳化矽、砷化鎵/砷化鋁鎵、銻化銦/銻化鋁、銻化銦/砷化銦、硒化鋅/硫化鋅、硒化鎘/硒化鋅、

## 六、申請專利範圍

碲化汞鎘/硒化鋅、硒化鎘/硫化鋅、硫化鎘/氧化鋅、  
硒化鎘/硫化鋅，以及其他符合低能隙、高能隙這種順  
序組合的IV-IV族、III-V族、II-VI族半導體及其合金  
薄膜材料。

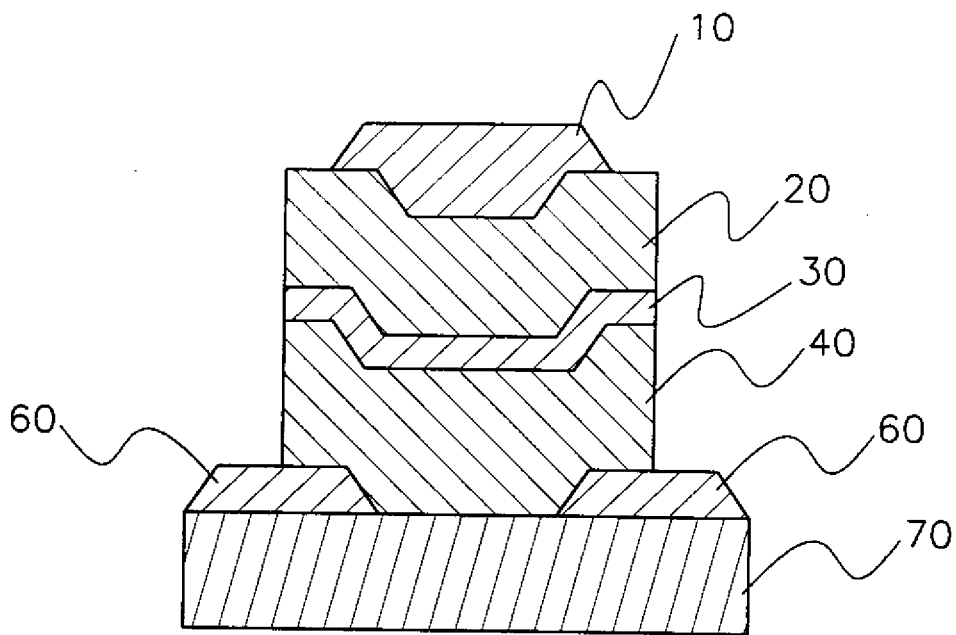
8.如申請專利範圍第6項所述之具高能隙偏移層結構之  
底閘極薄膜場效電晶體元件，進一步包含一歐姆接觸  
層，位於該偏移層與該源/汲極之間，該歐姆接觸層的  
能隙比偏移層的還低。

9.如申請專利範圍第6項所述之具高能隙偏移層結構之  
底閘極薄膜場效電晶體元件，進一步包含一介面層，  
位於該閘極絕緣層與該通道層之間，該介面層的能隙  
比通道層的還高，作為閘極絕緣層與通道層之間的介  
面緩衝，讓原來可能存在於通道層與閘極絕緣層之間  
的介面缺陷，由該高能隙介面層所捕捉，則元件特性  
便不會受閘極絕緣層的介面特性直接影響。

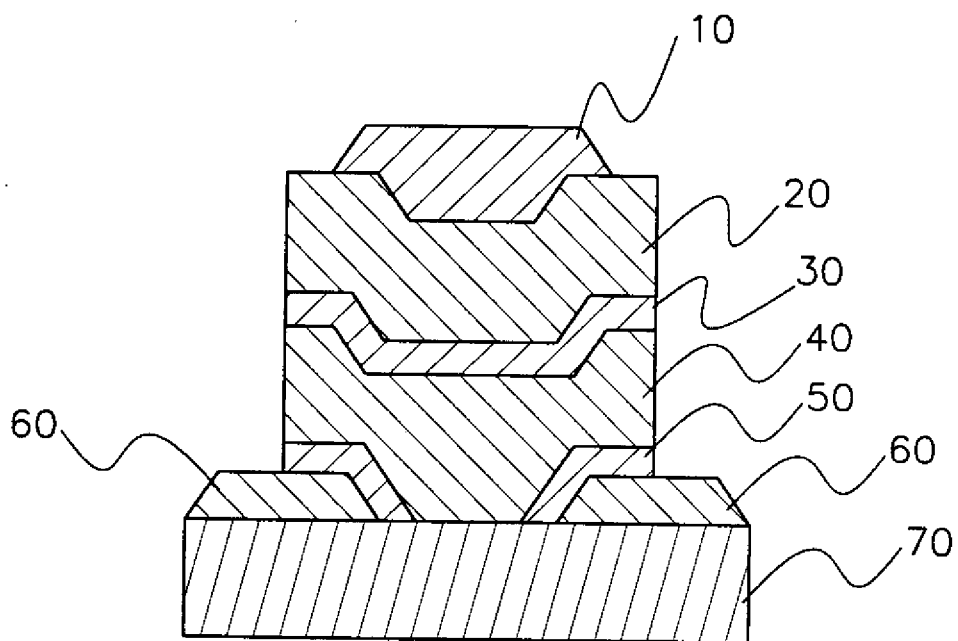
10.如申請專利範圍第9項所述之具高能隙偏移層結構之  
底閘極薄膜場效電晶體元件，進一步包含一歐姆接觸  
層，位於該偏移層與該源/汲極之間，該歐姆接觸層  
的能隙比偏移層的還低。

442977

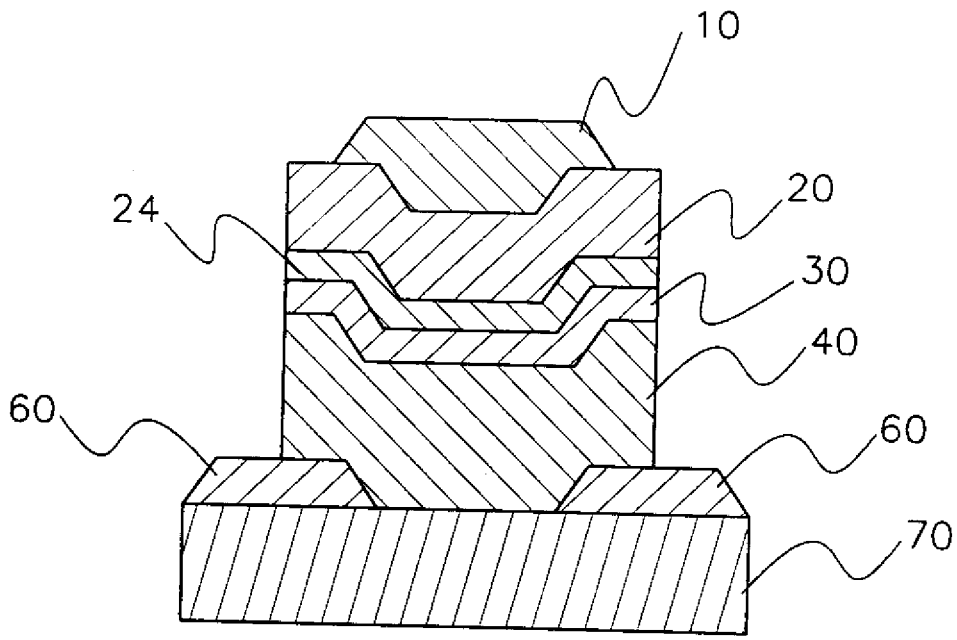
87112790



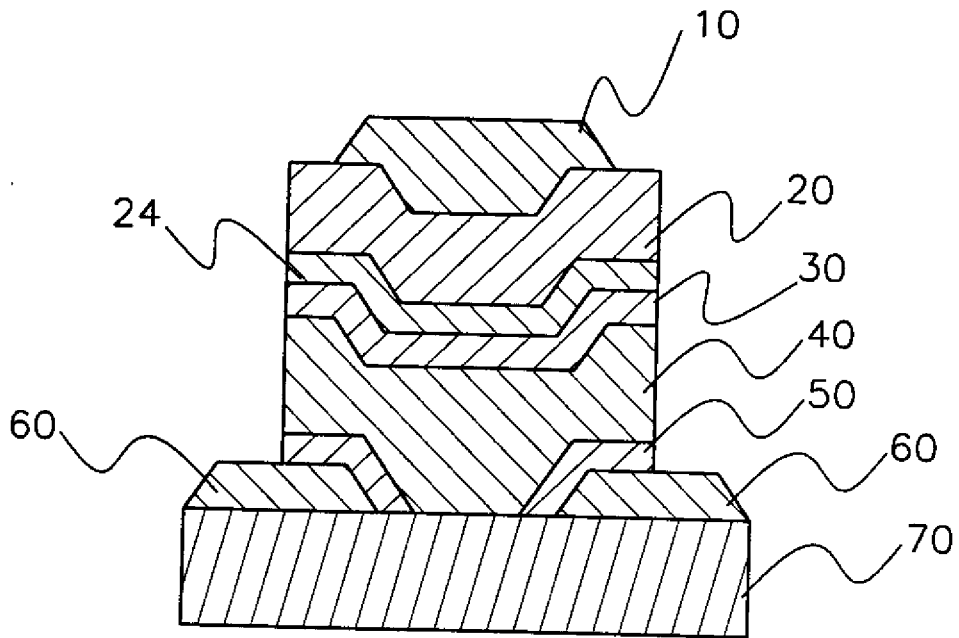
圖一



圖二

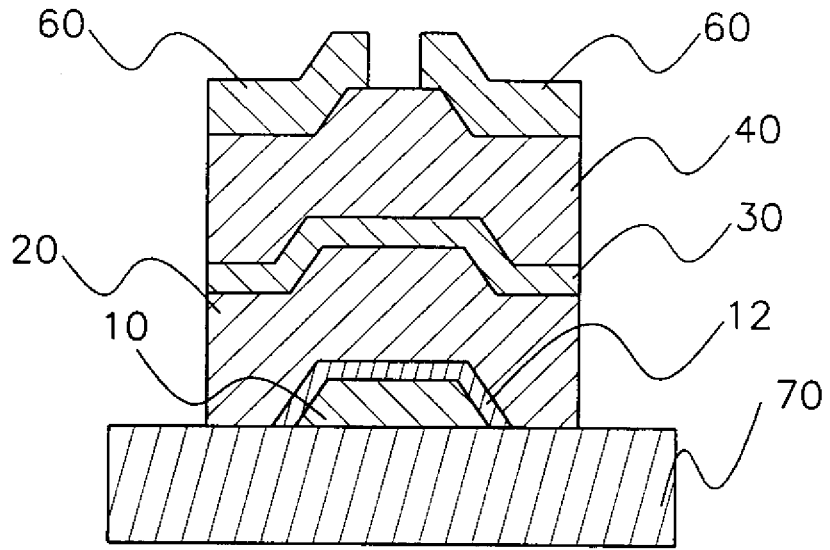


圖三

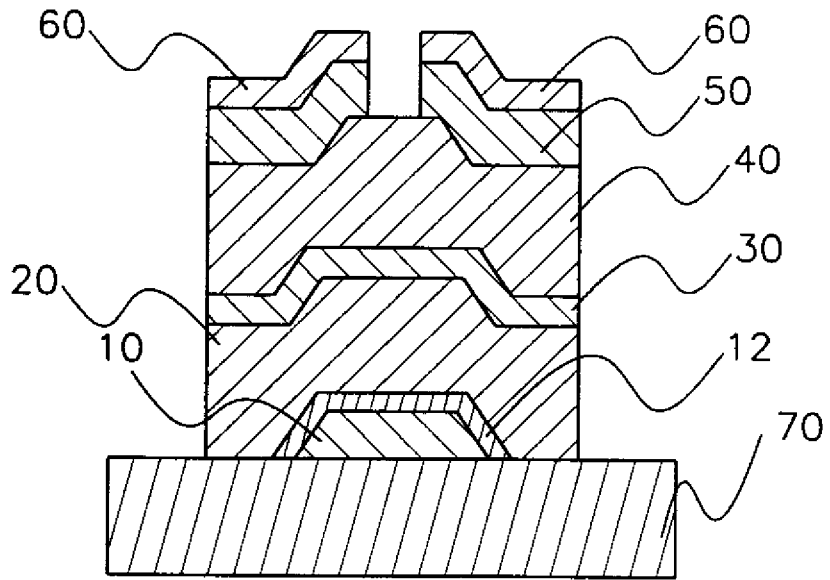


圖四





圖五



圖六

## 五、發明說明( )

。該介面層24的材料與通道層30相似但其能隙較高，作為閘極絕緣層與通道層之間的介面緩衝，讓原來可能存於通道層與閘極絕緣層之間的介面缺陷(Interface Defect)，由該高能隙介面層24所捕捉，如此元件特性便不會受閘極絕緣層20的介面特性直接影響，而能進一步提高元件特性與性能。

參閱圖四，顯示出依據本發明第四實施例的頂閘極TFT元件的結構示意圖，除偏移層40與源/汲極60之間的歐姆接觸層50外，其餘的部分都與圖三的第三實例相同。

上述中用於通道層的低能隙材料具有高移動率(Mobility)，因  $\mu = e\langle\tau\rangle/m^*$  ( $\langle\tau\rangle$ 為平均碰撞時間， $m^*$ 為有效質量)，其中 $m^*$ 甚小，如InSb, HgCdTe。但小的 $m^*$ 對BBT而言，穿透漏電流太大為其缺點，故疊以高能隙材料，因具有高能障而有壓制漏電流的效果。用此方法可以獲得具有甚高移動率 ( $\mu > 10^6 \text{ cm}^2/\text{V}$ ) 之電晶體的可能。若高能隙材料厚度為 $d$ ，源極有效截面積為 $A$ ，理論估算BBT電流減少  $\exp[-(2m\Delta E_g)^{1/2} \cdot d/\hbar]$ ，而 $R_s$ 電阻僅增加  $(Aq\mu n/d)^{-1}$ ，前者(BBT電流)會隨著厚度呈指數下降(即 $\exp(-d)$ )，而後者( $R_s$ )則只是隨著厚度呈線性增加而已，因此該元件結構之優點立見。

構成該通道層與該偏移層的材料組合，可以選定以下所列的其中之一，鍺/矽、鍺化矽/矽、矽/非晶矽、