

(21)申請案號：102119402

(22)申請日：中華民國 102 (2013) 年 05 月 31 日

(51)Int. Cl. : H01L29/786 (2006.01)

H01L21/28 (2006.01)

(71)申請人：國立交通大學(中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)
 新竹市大學路 1001 號

(72)發明人：林鴻志 LIN, HORNG CHIH (TW) ; 呂榮哲 LYU, RONG JHE (TW)

(74)代理人：林火泉

申請實體審查：有 申請專利範圍項數：23 項 圖式數：12 共 41 頁

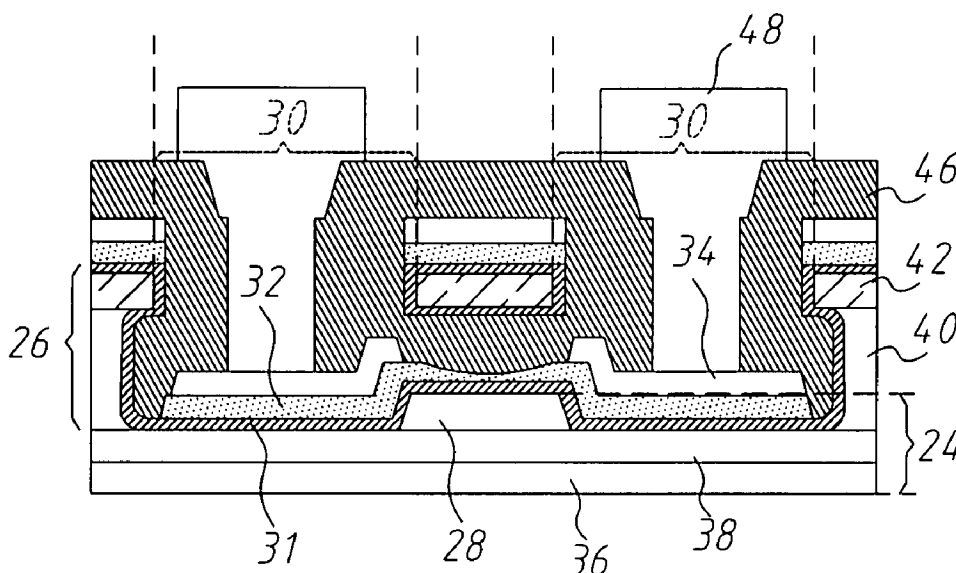
(54)名稱

薄膜電晶體及其製作方法

THIN-FILM TRANSISTOR AND A METHOD FOR FABRICATING THE SAME

(57)摘要

本發明係揭露一種薄膜電晶體及其製作方法，首先形成底部具有之閘極介電層之一圖案化介電遮罩結構於一閘極堆疊結構上，以利用閘極介電層覆蓋閘極堆疊結構之閘極。由於圖案化介電遮罩結構之頂面具有至少二開口，因此透過此二開口藉由濺鍍沉積形成一半導體層於閘極介電層上，半導體層包含位於閘極上方之通道區，及位於開口下方之源極區與汲極區，通道區之厚度自邊界往中央遞減。本發明利用微影蝕刻的方式製作，能輕易達到深次微米尺度、高均勻性及高製程靈活度之目的。此外，亦與傳統製程相容，有利於面板與電路上的製作。



- 24：閘極堆疊結構
- 26：圖案化介電遮罩結構
- 28：閘極
- 30：開口
- 31：閘極介電層
- 32：半導體層
- 34：電極區塊
- 36：基板
- 38：絕緣層
- 40：圖案化犧牲層
- 42：硬遮罩層
- 46：保護層
- 48：導電結構

第 2 圖

發明摘要

※ 申請案號：102119402

※ 申請日：102. 5. 31

※IPC分類：

G01C 29/186 2006.01

G01C 21/28 2006.01

【發明名稱】(中文/英文)

薄膜電晶體及其製作方法 / thin-film transistor and a method for fabricating the same

【中文】

本發明係揭露一種薄膜電晶體及其製作方法，首先形成底部具有之閘極介電層之一圖案化介電遮罩結構於一閘極堆疊結構上，以利用閘極介電層覆蓋閘極堆疊結構之閘極。由於圖案化介電遮罩結構之頂面具有至少二開口，因此透過此二開口藉由濺鍍沉積形成一半導體層於閘極介電層上，半導體層包含位於閘極上方之通道區，及位於開口下方之源極區與汲極區，通道區之厚度自邊界往中央遞減。本發明利用微影蝕刻的方式製作，能輕易達到深次微米尺度、高均勻性及高製程靈活度之目的。此外，亦與傳統製程相容，有利於面板與電路上的製作。

【英文】

A thin-film transistor and a method for fabricating the same are disclosed. Firstly, a patterned dielectric mask structure with a bottom thereof having a gate dielectric layer is formed on a gate-stacked structure so that the gate dielectric layer covers a gate of the gate-stacked structure. Top surface of the patterned dielectric mask structure has two openings. A semiconductor layer is formed on the gate-stacked structure via the openings by a sputtering method. The semiconductor layer comprises a channel above the gate, a source and a drain

below the openings. The channel has a thickness which sequentially decreases from edge to center. The present invention uses photolithography to fabricate the deep sub-micrometer transistors with good uniformity and more process flexibility. Besides, the present invention is compatible to the traditional technology and favors to fabricate a panel and a circuit.

【代表圖】

【本案指定代表圖】：第（ 2 ）圖。

【本代表圖之符號簡單說明】：

- 24 閘極堆疊結構
- 26 圖案化介電遮罩結構
- 28 閘極
- 30 開口
- 31 閘極介電層
- 32 半導體層
- 34 電極區塊
- 36 基板
- 38 絕緣層
- 40 圖案化犧牲層
- 42 硬遮罩層
- 46 保護層
- 48 導電結構

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

薄膜電晶體及其製作方法 / thin-film transistor and a method for fabricating the same

【技術領域】

【0001】 本發明係有關一種電晶體製作技術，特別是關於一種薄膜電晶體及其製作方法。

【先前技術】

【0002】 近年來，各種平面顯示器之應用發展迅速，各類生活用品例如電視、行動電話、汽機車、甚至是冰箱，都可見與平面顯示器互相結合之應用。而薄膜電晶體 (thin film transistor, TFT) 係一種廣泛應用於平面顯示器技術之半導體元件，例如應用在液晶顯示器 (liquid crystal display, LCD)、有機發光二極體 (organic light emitting diode, OLED) 顯示器及電子紙 (electronic paper, E-paper) 等顯示器中。薄膜電晶體係利用來提供電壓或電流的切換，以使得各種顯示器中的顯示畫素可呈現出亮、暗以及灰階的顯示效果。

【0003】 目前顯示器業界使用之薄膜電晶體可根據使用之半導體層材料來做區分，包括非晶矽薄膜電晶體 (amorphous silicon TFT, a-Si TFT)、多晶矽薄膜電晶體 (poly silicon TFT) 以及氧化物半導體薄膜電晶體 (oxide semiconductor TFT)。其中非晶矽薄膜電晶體由於具有製程技術成熟以及良率高之優點，目前仍是顯示器業界中的主流。但非晶矽薄膜電晶體受到非晶矽半導體材料本身特性的影響，使其電子遷移率 (mobility) 無法大幅且有效地藉由製程或元件設計的調整來改善〔目前非晶矽薄膜電晶體之電子

遷移率大體上在1平方公分/(伏特×秒)以內],故無法滿足目前可見的未來更高規格顯示器的需求。而多晶矽薄膜電晶體受惠於其多晶矽材料的特性,於電子遷移率上有大幅的改善〔多晶矽薄膜電晶體之電子遷移率大體上最佳可達100平方公分/(伏特×秒)〕。但由於多晶矽薄膜電晶體的製程複雜(相對地成本提升)且於大尺寸面板應用時會有結晶化製程導致結晶程度均勻性不佳的問題存在,故目前多晶矽薄膜電晶體仍以小尺寸面板應用為主。而氧化物半導體薄膜電晶體則是應用近年來新崛起的氧化物半導體材料,此類材料一般為非晶相(amorphous)結構,沒有應用於大尺寸面板上均勻性不佳的問題,且可利用多種方式成膜,例如濺鍍(sputter)、旋塗(spin-on)以及印刷(inkjet printing)等方式。因此在製程上甚至還較非晶矽薄膜電晶體更有製程簡化的彈性。而氧化物半導體薄膜電晶體的電子遷移率一般可較非晶矽薄膜電晶體高10倍以上〔氧化物半導體薄膜電晶體之電子遷移率大體上介於10平方公分/(伏特×秒)到50平方公分/(伏特×秒)之間],因此氧化物半導體薄膜電晶體被視為未來取代非晶矽薄膜電晶體的最佳解答。

【0004】 傳統製程如第1圖所示,首先是在塑膠基板10上形成一閘極層12,再沉積多孔隙二氧化矽做為閘極氧化層14,接著以鍍製的遮罩16(shadow mask)做為圖案化工具,該遮罩16(shadow mask)上具有一對開孔17,並以濺鍍的方式穿過開孔17沉積氧化銦錫(ITO)於閘極氧化層14上做為源極18與汲極20,遮罩16與欲沉積之塑膠基板10間的距離保持在50微米(μm)左右。遮罩16與塑膠基板10係實質分開之兩個實體。在濺鍍過程中,由於遮罩16與沉積表面相隔一段距離,所以在汲極20與源極18之間可因散射效應形成一通道層22。但其使用遮罩16的方式進行圖案化,此方式無法將元件的通道寬度做得很小(只能做50 μm 或更大),還需考量遮罩16

與塑膠基板10自身的彎曲問題，無法精準控制遮罩16與塑膠基板10的間距，所以無法精準控制元件尺寸的均勻性，因此難以用於實際電路的製造。

【0005】 因此，本發明係在針對上述之困擾，提出一種薄膜電晶體及其製作方法，以解決習知所產生的問題。

【發明內容】

【0006】 本發明之主要目的，在於提供一種薄膜電晶體及其製作方法，其係於閘極堆疊結構上形成一圖案化介電遮罩結構，藉此形成共平面之通道區、源極與汲極，同時將電晶體製作成深次微米之尺度，並達到高均勻性與高製程靈活度之目的，益於製作面板與晶片。

【0007】 為達上述目的，本發明提供一種薄膜電晶體之製作方法，首先形成一圖案化介電遮罩結構於一閘極堆疊結構上，以覆蓋閘極堆疊結構之閘極，圖案化介電遮罩結構之頂面具有至少二開口，其對應於閘極之兩側的上方。接著，透過二開口形成一半導體層於圖案化介電遮罩結構上，半導體層包含一通道區及其相異兩側之源極區與汲極區，且通道區位於閘極上方，通道區之厚度自邊界往中央遞減。

【0008】 本發明亦提供一種薄膜電晶體，包含一閘極堆疊結構，其上設有一圖案化介電遮罩結構，此頂面具有至少二開口，圖案化介電遮罩結構係覆蓋閘極堆疊結構之閘極，且上述二開口對應於閘極之兩側的上方。圖案化介電遮罩結構上設有一半導體層，其包含一通道區及其相異兩側之源極區與汲極區，且通道區位於閘極上方，並與源極區和汲極區連接，源極區和汲極區分別位於二開口之下方，通道區之厚度自邊界往中央遞減。源極區與汲極區上分別設有二電極區塊。

【0009】 茲為使 貴審查委員對本發明之結構特徵及所達成之功效更有進一步之瞭解與認識，謹佐以較佳之實施例圖及配合詳細之說明，說

明如後：

【圖式簡單說明】

【0010】

第 1 圖為先前技術之薄膜電晶體之結構剖視圖。

第 2 圖為本發明之第一實施例之結構剖視圖。

第 3(a)圖至第 3(h)圖為本發明之製作第一實施例之各步驟結構剖視圖。

第 4 圖為本發明之第一實施例之硬遮罩層之俯視圖。

第 5 圖為本發明之第二實施例之結構剖視圖。

第 6(a)圖至第 6(h)圖為本發明之製作第二實施例之各步驟結構剖視圖。

第 7 圖為本發明之第二實施例之硬遮罩層之俯視圖。

第 8 圖為本發明之第三實施例之結構剖視圖。

第 9(a)圖至第 9(h)圖為本發明之製作第三實施例之各步驟結構剖視圖。

第 10 圖為本發明之第三實施例之硬遮罩層之俯視圖。

第 11 圖與第 12 圖為本發明之薄膜電晶體於不同汲極電壓下之汲極電流與閘極電壓曲線圖。

【實施方式】

【0011】 本發明利用現有半導體製程和設備相容之技術，能在低成本和簡易步驟製程下，完成重複性高且可量產化之薄膜電晶體製作，可應用於製作面板或晶片上。

【0012】 以下先介紹本發明之第一實施例，請參閱第2圖，此可應用在製作面板上。本發明包含一閘極堆疊結構24，其上設有一圖案化介電遮

罩結構26，以覆蓋閘極堆疊結構24之閘極28，圖案化介電遮罩結構26之頂面具有至少二開口30。圖案化介電遮罩結構26之底部具有一閘極介電層31，其係覆蓋閘極28；在閘極介電層31上設有一半導體層32，其係包含一通道區及其相異兩側之源極區與汲極區，且通道區位於閘極28上方，並與源極區和汲極區連接，源極區和汲極區分別位於二開口30之下方，通道區之厚度自邊界往中央遞減。半導體層32之材質可為金屬氧化物，如氧化鋅（ZnO）或氧化銦鎵鋅（IGZO）。源極區和汲極區上分別設有如材質為鋁之二電極區塊34，以減少寄生電阻。

【0013】 閘極堆疊結構24更包含一基板36與其上之一絕緣層38，且閘極28設於絕緣層38上。圖案化介電遮罩結構26更包含一圖案化犧牲層40，設於閘極堆疊結構24之絕緣層38上，以圍繞閘極28。圖案化犧牲層40上設有具有二開口30之一硬遮罩層42，其材質如氮化物（nitride），且閘極堆疊結構24之絕緣層38、閘極28、圖案化犧牲層40與硬遮罩層42之表面設有閘極介電層31。半導體層32可設於閘極介電層31上。二電極區塊34、半導體層32與圖案化介電遮罩結構26之閘極介電層31上設有露出部分之二電極區塊34之一保護層46。保護層46上設有至少一導電結構48，以連接二電極區塊34。導電結構48之數量在此以二為例。

【0014】 以下介紹製作第一實施例之過程，請參閱第3(a)圖至第3(h)圖。首先如第3(a)圖所示，先形成絕緣層38於基板36上，再形成閘極28於絕緣層38上，以得到閘極堆疊結構24。接著如第3(b)圖所示，依序形成一犧牲層50與一硬遮罩層52於閘極堆疊結構24之絕緣層38與閘極28上。再來，以乾式蝕刻法於硬遮罩層52上形成二開口30，以形成如第3(c)圖所示之硬遮罩層42，並以濕式蝕刻法透過二開口30移除其下方之犧牲層50，同時藉由等向性蝕刻的效果將閘極28上方的犧牲層50移除，以露出閘極28，並形成如

第3(c)圖所示之圖案化犧牲層40。硬遮罩層42之俯視圖如第4圖所示，二開口30中間懸樑處之長度L與寬度W，可以分別定義為電晶體之通道長度與寬度，懸樑處與基板36之間的距離若定義為H，則L/H約為1~2。然後，如第3(d)圖所示，覆蓋閘極介電層31於閘極堆疊結構24之絕緣層38、閘極28、圖案化犧牲層40與硬遮罩層42之表面，使圖案化介電遮罩結構26形成於閘極堆疊結構24上。閘極介電層31可以化學氣相沉積（CVD）或原子層沉積（ALD）製備。閘極介電層31形成完後，如第3(e)圖所示，以濺鍍方式，在壓力約為 10^{-3} ~ 10^{-2} 托爾（torr）之壓力下，透過二開口30形成半導體層32於圖案化介電遮罩結構26之閘極介電層31上，半導體層32包含通道區及其相異兩側之源極區與汲極區，且通道區位於閘極28上方，通道區之厚度自邊界往中央遞減。由於散射的緣故，可以於硬遮罩層42之懸樑下方形成通道區，以連接源極區與汲極區。接著，如第3(f)圖所示，透過二開口30形成二電極區塊34，以分別位於源極區與汲極區上。此步驟可以熱蒸鍍方式在小於 10^{-5} 托爾進行薄膜沉積，或是以準直式（collimating）濺鍍，或是以離子化金屬電漿（ionized metal plasma）濺鍍來完成，由於壓力足夠低或因沉積物的垂直性，因此於硬遮罩層42之懸樑下方形成斷開的薄膜。再來，如第3(g)圖所示，形成保護層46於二電極區塊34、半導體層32與圖案化介電遮罩結構26之閘極介電層31上，並露出部分之二電極區塊34。最後，如第3(h)圖所示，形成導電結構48於保護層46上，以連接二電極區塊34。由於本發明之圖案化介電遮罩結構26是直接貼合於閘極堆疊結構24上，所以自組裝的方式形成源極區、汲極區與通道區時不需要考慮基板與遮罩結構自身彎曲的問題，可以準確控制元件尺寸。再者，本發明製程簡單，又可與傳統製程相容，可以輕易達到深次微米尺度、高均勻性與高製程靈活度之目的。

【0015】 在上述製作過程中，若閘極堆疊結構24與圖案化介電遮罩結

構26已經形成好了，則可省略第3(a)圖至第3(c)圖之步驟，直接形成圖案化介電遮罩結構26於閘極堆疊結構24上，以覆蓋閘極堆疊結構24之閘極28，完成後如第3(d)圖所示。此外，第一實施例之結構亦可缺少電極區塊34、保護層46與導電結構48，則製程上即可省略第3(f)圖至第3(h)圖之步驟。

【0016】 再來先介紹本發明之第二實施例，請參閱第5圖，此可應用在製作積體電路晶片上。本發明包含一閘極堆疊結構54，其上設有一圖案化介電遮罩結構56，此底部具有一閘極介電層57，其係覆蓋閘極堆疊結構54之閘極58，圖案化介電遮罩結構56之頂面具有至少二開口60。圖案化介電遮罩結構56之閘極介電層57上設有一半導體層62，其係包含一通道區及其相異兩側之源極區與汲極區，且通道區位於閘極58上方，並與源極區和汲極區連接，源極區和汲極區分別位於二開口60之下方，通道區之厚度自邊界往中央遞減。半導體層62之材質可為金屬氧化物，如氧化鋅或氧化銦鎵鋅（IGZO）。源極區和汲極區上分別設有如材質為鋁之二電極區塊64。

【0017】 閘極堆疊結構54更包含一基板66，基板66上包含有已完成的互補式金氧半（CMOS）電路67與一多層金屬導線層68，此多層金屬導線層68包含作為閘極58之導線。圖案化介電遮罩結構56更包含一保護層70，其係設於閘極堆疊結構54之多層金屬導線層68上，以露出閘極58。保護層70上設有一圖案化犧牲層72，圖案化犧牲層72上設有具有二開口60之一硬遮罩層74，其材質如氮化物，且閘極堆疊結構54之多層金屬導線68、保護層70、閘極58、圖案化犧牲層72與硬遮罩層74之表面設有閘極介電層57。半導體層62可設於閘極介電層57上。二電極區塊64、半導體層62與圖案化介電遮罩結構56之閘極介電層57上設有露出部分之二電極區塊64之一保護層78。保護層78上設有至少一導電結構80，以連接二電極區塊64。導電結構80之數量在此以二為例。

【0018】 以下介紹製作第二實施例之過程，請參閱第6(a)圖至第6(h)圖。首先如第6(a)圖所示，先提供基板66，再依序形成CMOS電路67與包含作為閘極58的導線之多層金屬導線層68於基板66上，以得到閘極堆疊結構54。接著如第6(b)圖所示，依序形成一保護層82、一犧牲層84與一硬遮罩層86於閘極堆疊結構54之多層金屬導線層68與閘極58上。再來，以乾式蝕刻法於硬遮罩層86上形成二開口60，以形成如第6(c)圖所示之硬遮罩層74，並以濕式蝕刻法透過二開口60移除其下方之犧牲層84與保護層82，同時藉由等向性蝕刻的效果將閘極58上方的犧牲層84與保護層82移除，以露出閘極58，並形成如第6(c)圖所示之圖案化犧牲層72與保護層70。硬遮罩層74之俯視圖如第7圖所示，二開口60中間懸樑處之長度L與寬度W，可以分別定義為電晶體之通道長度與寬度，懸樑處與基板66之間的距離若定義為H，則L/H約為1~2。然後，如第6(d)圖所示，覆蓋閘極介電層57於閘極堆疊結構54之多層金屬導線層68、閘極58、保護層70、圖案化犧牲層72與硬遮罩層74之表面，使圖案化介電遮罩結構56形成於閘極堆疊結構54上。閘極介電層57可以化學氣相沉積（CVD）或原子層沉積（ALD）製備。閘極介電層57形成完後，如第6(e)圖所示，以濺鍍方式，在壓力約為 10^{-3} ~ 10^{-2} 托爾之壓力下，透過二開口60形成半導體層62於圖案化介電遮罩結構56之閘極介電層57上，半導體層62包含通道區及其相異兩側之源極區與汲極區，且通道區位於閘極58上方，通道區之厚度自邊界往中央遞減。由於散射的緣故，可以於硬遮罩層74之懸樑下方形成通道區，以連接源極區與汲極區。接著，如第6(f)圖所示，以熱蒸鍍方式在小於 10^{-5} 托爾進行薄膜沉積，或是以準直式（collimating）濺鍍，或是以離子化金屬電漿（ionized metal plasma）濺鍍，透過二開口60形成二電極區塊64，以分別位於源極區與汲極區上。由於壓力足夠低或因沉積物的垂直性，因此於硬遮罩層74之懸樑下方形成斷

開的薄膜。再來，如第6(g)圖所示，形成保護層78於二電極區塊64、半導體層62與圖案化介電遮罩結構56之間極介電層57上，並露出部分之二電極區塊64。最後，如第6(h)圖所示，形成導電結構80於保護層78上，以連接二電極區塊64。與第一實施例相同，由於圖案化介電遮罩結構56是直接形成在閘極堆疊結構54上，以自組裝的方式形成源極區、汲極區與通道區，因此不需要考慮基板自身彎曲的問題，具有同樣的功效。

【0019】 在上述製作過程中，若閘極堆疊結構54與圖案化介電遮罩結構56已經形成好了，則可省略第6(a)圖至第6(c)圖之步驟，直接形成圖案化介電遮罩結構56於閘極堆疊結構54上，以覆蓋閘極堆疊結構54之閘極58，完成後如第6(d)圖所示。此外，第二實施例之結構亦可缺少電極區塊64、保護層78與導電結構80，則製程上即可省略第6(f)圖至第6(h)圖之步驟。

【0020】 最後介紹本發明之第三實施例，請參閱第8圖，此可應用在製作面板上。本發明包含一閘極堆疊結構88，其上設有一閘極介電層90，以覆蓋閘極堆疊結構88之閘極92。閘極介電層90上設有一半導體層94，其係包含一通道區及其相異兩側之源極區與汲極區，且通道區位於閘極92上方，並與源極區和汲極區連接，通道區之厚度自邊界往中央遞減。半導體層94之材質可為金屬氧化物，如氧化鋅或氧化銦鎵鋅(IGZO)。源極區和汲極區上分別設有如材質為鋁之二電極區塊96。二電極區塊96、半導體層94與閘極介電層90上設有露出部分之二電極區塊96之一保護層98。保護層98上設有至少一導電結構100，以連接二電極區塊96。導電結構100之數量在此以二為例。此外，閘極堆疊結構88更包含一基板102與其上之一絕緣層104，且閘極92設於絕緣層104上，且閘極介電層90同時覆蓋絕緣層104。

【0021】 以下介紹製作第三實施例之過程，請參閱第9(a)圖至第9(h)圖。首先如第9(a)圖所示，先形成絕緣層104於基板102上，再形成閘極92於

絕緣層104上，以得到閘極堆疊結構88。接著如第9(b)圖所示，依序形成閘極介電層90、硬烤後之一光阻層106與一硬遮罩層108於閘極堆疊結構88之絕緣層104與閘極92上。再來如第9(c)圖所示，以乾式蝕刻法於硬遮罩層108上形成至少二開口110，並以反應離子蝕刻法（RIE）透過二開口110移除其下方之光阻層106與閘極92上方的光阻層106，以露出閘極介電層90，以形成一圖案化介電遮罩結構112於閘極堆疊結構88上。硬遮罩層108之俯視圖如第10圖所示，二開口110中間懸樑處之長度L與寬度W，可以分別定義為電晶體之通道長度與寬度，懸樑處與基板102之間的距離若定義為H，則L/H約為1~2。然後，如第9(d)圖所示，以濺鍍方式，在壓力約為 10^{-3} ~ 10^{-2} 托爾之壓力下，透過二開口110形成半導體層94於圖案化介電遮罩結構112之閘極介電層90上，半導體層94包含通道區及其相異兩側之源極區與汲極區，且通道區位於閘極92上方，通道區之厚度自邊界往中央遞減。由於散射的緣故，可以於硬遮罩層108之懸樑下方形成通道區，以連接源極區與汲極區。接著，如第9(e)圖所示，以熱蒸鍍方式在小於 10^{-5} 托爾進行薄膜沉積，或是以準直式（collimating）濺鍍，或是以離子化金屬電漿（ionized metal plasma）濺鍍，透過二開口110形成二電極區塊96，以分別位於源極區與汲極區上。由於壓力足夠低或因沉積物的垂直性，因此於硬遮罩層108之懸樑下方形成斷開的薄膜。再來，如第9(f)圖所示，使用有機溶劑搭配超音波震盪器，移除蝕刻後之光阻層106及其上方之硬遮罩層108與半導體層94。然後，如第9(g)圖所示，形成保護層98於二電極區塊96與半導體層94之閘極介電層90上，並露出部分之二電極區塊96。最後，如第9(h)圖所示，形成導電結構100於保護層98上，以連接二電極區塊96。與第一實施例相同，由於本發明自組裝的方式形成源極區、汲極區與通道區，因此不需要考慮基板自身彎曲的問題，可以得到相同的功效。

【0022】 在上述製作過程中，若閘極堆疊結構88與圖案化介電遮罩結構112已經形成好了，則可省略第9(a)圖至第9(b)圖之步驟，直接形成圖案化介電遮罩結構112於閘極堆疊結構88上，以覆蓋閘極堆疊結構88之閘極92，完成後如第9(c)圖所示。

【0023】 第11圖與第12圖為實驗結果的元件特性，第11圖之汲極電壓為0.1伏特，第12圖為3伏特，此二圖去量測通道區之長度分別為0.4微米、0.5微米、0.6微米、0.8微米、1微米、2微米，若以第2圖之結構為例，其中通道區寬度為3微米，閘極介電層44的厚度為50奈米，通道區之材質為氧化鋅，源極與汲極上有鋁電極。由圖可知，導通電流與關閉電流之比例 $I_{on/off}$ 大於 10^9 。此外，當L為2微米時，由於硬遮罩層42之懸梁處過長，使氧化鋅濺鍍膜無法在下面相連，故呈斷路特性。針對通道區之長度L為0.6微米之電晶體，萃取之場效遷移率（field-effect mobility）為19~33平方公分/伏特-秒（ $\text{cm}^2/\text{V}\cdot\text{s}$ ）。再者，整片晶圓上量得不同元件（相同L）的元件特性變異性非常低，顯見本發明之方法具有良好的製程控制性與均勻性。

【0024】 綜上所述，本發明具有高製程靈活度，可製作高均勻性之深次微米電晶體。

【0025】 以上所述者，僅為本發明一較佳實施例而已，並非用來限定本發明實施之範圍，故舉凡依本發明申請專利範圍所述之形狀、構造、特徵及精神所為之均等變化與修飾，均應包括於本發明之申請專利範圍內。

【符號說明】

【0026】

- 10 塑膠基板
- 12 閘極層
- 14 閘極氧化層

- 16 遮罩
- 17 開孔
- 18 源極
- 20 汲極
- 22 通道層
- 24 閘極堆疊結構
- 26 圖案化介電遮罩結構
- 28 閘極
- 30 開口
- 31 閘極介電層
- 32 半導體層
- 34 電極區塊
- 36 基板
- 38 絕緣層
- 40 圖案化犧牲層
- 42 硬遮罩層
- 46 保護層
- 48 導電結構
- 50 犧牲層
- 52 硬遮罩層
- 54 閘極堆疊結構
- 56 圖案化介電遮罩結構
- 57 閘極介電層
- 58 閘極

60	開口
62	半導體層
64	電極區塊
66	基板
67	互補式金氧半電路
68	多層金屬導線層
70	保護層
72	圖案化犧牲層
74	硬遮罩層
78	保護層
80	導電結構
82	保護層
84	犧牲層
86	硬遮罩層
88	閘極堆疊結構
90	閘極介電層
92	閘極
94	半導體層
96	電極區塊
98	保護層
100	導電結構
102	基板
104	絕緣層
106	光阻層

- 108 硬遮罩層
- 110 開口
- 112 圖案化介電遮罩結構

申請專利範圍

1. 一種薄膜電晶體之製作方法，包含下列步驟：

形成一圖案化介電遮罩結構於一閘極堆疊結構上，以覆蓋該閘極堆疊結構之閘極，該圖案化介電遮罩結構之頂面具有至少二開口，其係對應於該閘極之兩側的上方；以及

透過該二開口形成一半導體層於該圖案化介電遮罩結構上，該半導體層包含一通道區及其相異兩側之源極區與汲極區，且該通道區位於該閘極上方，該通道區之厚度自邊界往中央遞減。

2. 如請求項1所述之薄膜電晶體之製作方法，其中該閘極堆疊結構之製作方法係包含下列步驟：

形成一絕緣層於一基板上；以及

形成該閘極於該絕緣層上，以得到該閘極堆疊結構。

3. 如請求項2所述之薄膜電晶體之製作方法，其中形成該圖案化介電遮罩結構於該閘極堆疊結構上之步驟，更包含下列步驟：

依序形成一犧牲層與一硬遮罩層於該閘極堆疊結構上；

於該硬遮罩層上形成該二開口，並透過該二開口移除其下方之該犧牲層，以露出該閘極；以及

覆蓋一閘極介電層於該閘極堆疊結構、該閘極、該犧牲層與該硬遮罩層之表面，以形成該圖案化介電遮罩結構於該閘極堆疊結構上。

4. 如請求項1所述之薄膜電晶體之製作方法，其中該閘極堆疊結構之製作方法係包含下列步驟：

提供一基板；以及

形成包含作為該閘極的導線之一多層金屬導線層於該基板上，以得到該閘極堆疊結構。

5. 如請求項4所述之薄膜電晶體之製作方法，其中在形成該圖案化介電遮罩結構於該閘極堆疊結構上之步驟，更包含下列步驟：
依序形成一保護層、一犧牲層與一硬遮罩層於該閘極堆疊結構上；
於該硬遮罩層上形成該二開口，並透過該二開口移除其下方之該犧牲層與該保護層，以露出該閘極；以及
覆蓋一閘極介電層於該閘極堆疊結構、該保護層、該閘極、該犧牲層與該硬遮罩層之表面，以形成該圖案化介電遮罩結構於該閘極堆疊結構上。
6. 如請求項1所述之薄膜電晶體之製作方法，更包含下列步驟：
透過該二開口形成二電極區塊，以分別位於該源極區與該汲極區上；
形成一保護層於該二電極區塊、該半導體層與該圖案化介電遮罩結構上，並露出部分之該二電極區塊；以及
形成至少一導電結構於該保護層上，以連接該二電極區塊。
7. 如請求項6所述之薄膜電晶體之製作方法，其中該二電極區塊係以小於 10^{-5} 托爾（torr）之壓力進行熱蒸鍍形成之。
8. 如請求項6所述之薄膜電晶體之製作方法，其中該二電極區塊係以準直式（collimating）濺鍍形成之。
9. 如請求項6所述之薄膜電晶體之製作方法，其中該二電極區塊係以離子化金屬電漿（ionized metal plasma）濺鍍形成之。
10. 如請求項1所述之薄膜電晶體之製作方法，其中形成該圖案化介電遮罩結構於該閘極堆疊結構上之步驟，更包含下列步驟：
依序形成一閘極介電層、一光阻層與一硬遮罩層於該閘極堆疊結構上；
以及
於該硬遮罩層上形成該二開口，並透過該二開口移除其下方之該光阻

層，以露出該閘極介電層，以形成該圖案化介電遮罩結構於該閘極堆疊結構上。

11. 如請求項10所述之薄膜電晶體之製作方法，更包含下列步驟：
 - 透過該二開口形成二電極區塊，以分別位於該源極區與該汲極區上；
 - 移除該光阻層及其上方之該硬遮罩層與該半導體層；
 - 形成一保護層於該二電極區塊、該半導體層與該圖案化介電遮罩結構上，並露出部分之該二電極區塊；以及
 - 形成至少一導電結構於該保護層上，以連接該二電極區塊。
12. 如請求項11所述之薄膜電晶體之製作方法，其中該二電極區塊係以小於 10^5 托爾之壓力進行熱蒸鍍形成之。
13. 如請求項9所述之薄膜電晶體之製作方法，其中該二電極區塊係以準直式（collimating）濺鍍形成之。
14. 如請求項9所述之薄膜電晶體之製作方法，其中該二電極區塊係以離子化金屬電漿（ionized metal plasma）濺鍍形成之。
15. 如請求項1所述之薄膜電晶體之製作方法，其中該半導體層係以 $10^{-3} \sim 10^{-4}$ 托爾之壓力進行濺鍍形成之。
16. 如請求項1所述之薄膜電晶體之製作方法，其中該半導體層之材質為氧化鋅或氧化銻鎵鋅。
17. 一種薄膜電晶體，包含：
 - 一閘極堆疊結構；
 - 一圖案化介電遮罩結構，其頂面具有至少二開口，該圖案化介電遮罩結構設於該閘極堆疊結構上，以覆蓋該閘極堆疊結構之閘極，該二開口對應於該閘極之兩側的上方；
 - 一半導體層，設於該圖案化介電遮罩結構上，該半導體層包含一通道區

及其相異兩側之源極區與汲極區，且該通道區位於該閘極上方，並與該源極區和該汲極區連接，該源極區和該汲極區分別位於該二開口之下方，該通道區之厚度自邊界往中央遞減；以及

二電極區塊，分別設於該源極區與該汲極區上。

18. 如請求項17所述之薄膜電晶體，其中該閘極堆疊結構更包含：

一基板；以及

一絕緣層，設於該基板上，且該閘極設於該絕緣層上。

19. 如請求項18所述之薄膜電晶體，其中該圖案化介電遮罩結構更包含：

一圖案化犧牲層，設於該閘極堆疊結構上，以圍繞該閘極；

一硬遮罩層，具有該二開口，該硬遮罩層設於該圖案化犧牲層上；以及

一閘極介電層，設於該閘極堆疊結構、該閘極、該圖案化犧牲層與該硬遮罩層之表面。

20. 如請求項18所述之薄膜電晶體，其中該閘極堆疊結構更包含：

一基板；以及

一多層金屬導線層，包含作為該閘極之導線，且設於該基板上。

21. 如請求項20所述之薄膜電晶體，其中該圖案化介電遮罩結構更包含：

一保護層，設於該閘極堆疊結構上，以露出該閘極；

一圖案化犧牲層，設於該保護層上；

一硬遮罩層，具有該二開口，該硬遮罩層設於該圖案化犧牲層上；以及

一閘極介電層，設於該閘極堆疊結構、該保護層、該閘極、該圖案化犧牲層與該硬遮罩層之表面。

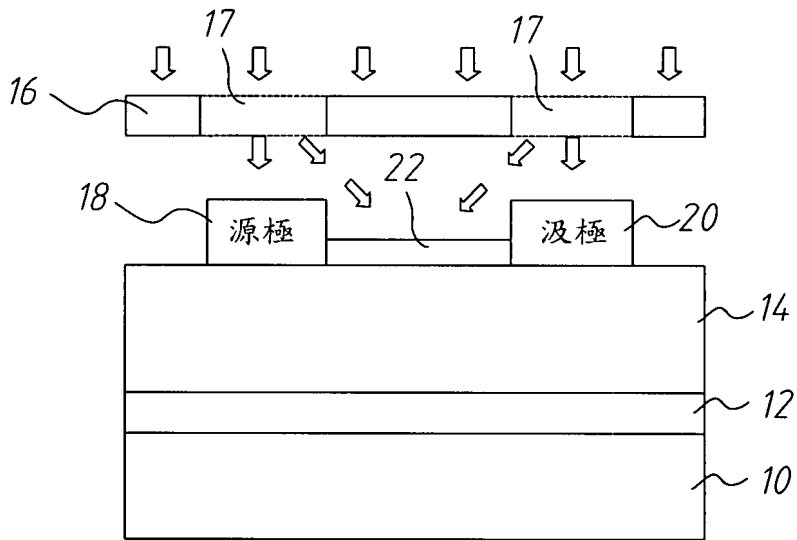
22. 如請求項17所述之薄膜電晶體，更包含：

一保護層，設於該二電極區塊、該半導體層與該圖案化介電遮罩結構上，以露出部分之該二電極區塊；以及

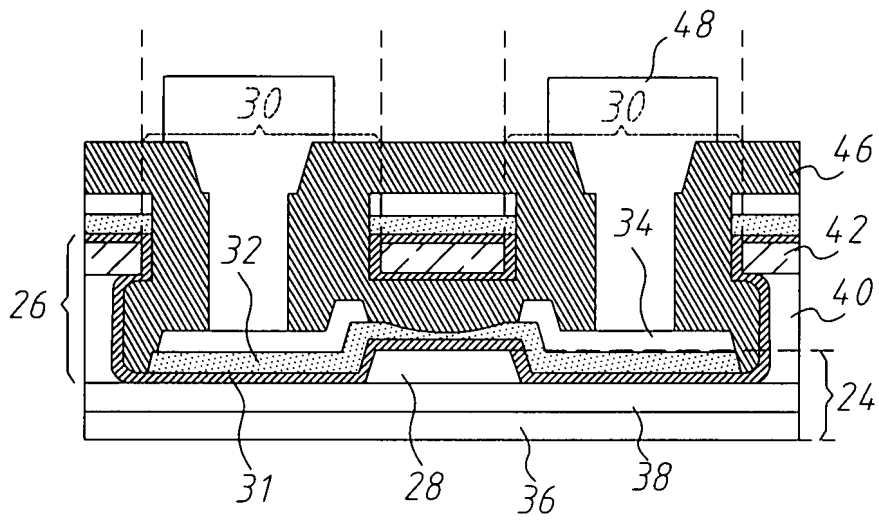
至少一導電結構，設於該保護層上，以連接該二電極區塊。

23. 如請求項17所述之薄膜電晶體，其中該半導體層之材質為氧化鋅或氧化銦鎵鋅。

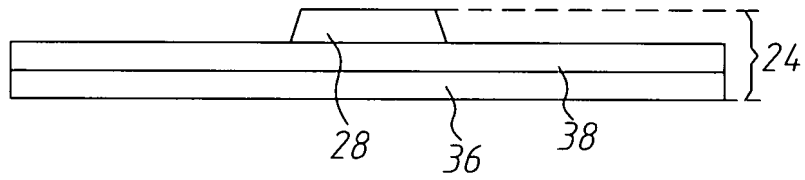
圖式



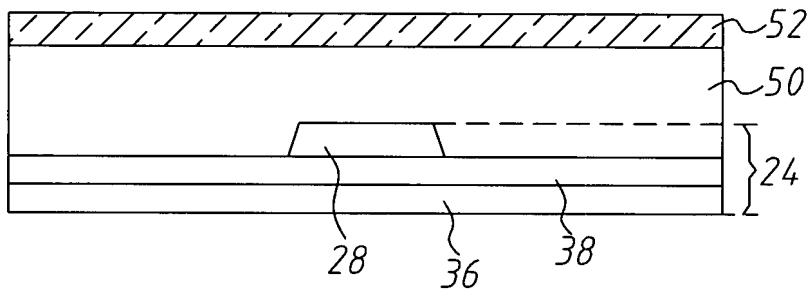
第 1 圖



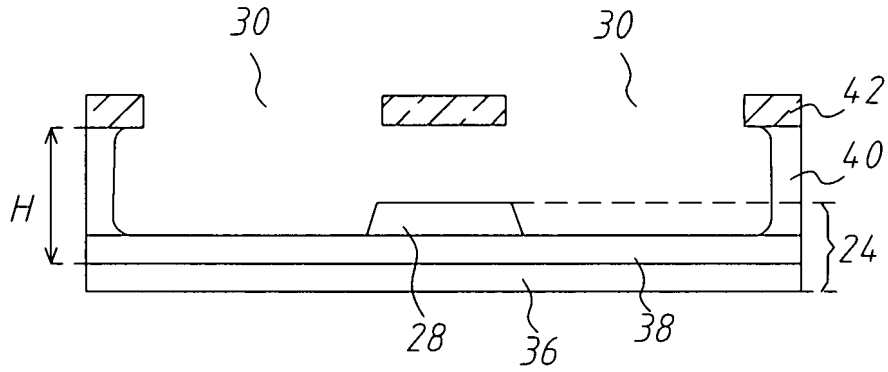
第 2 圖



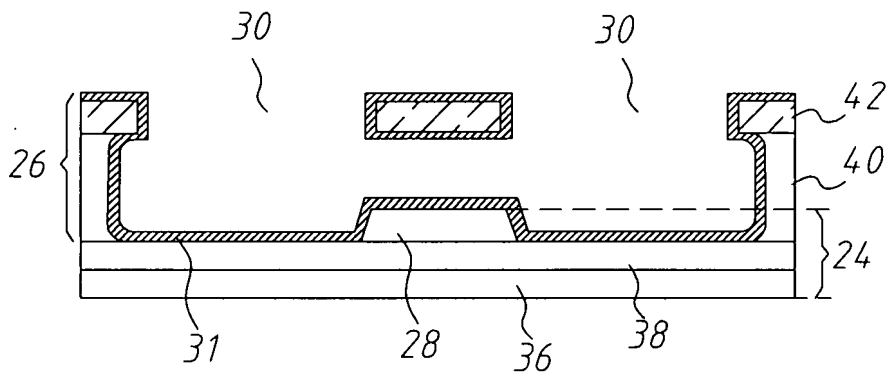
第 3(a) 圖



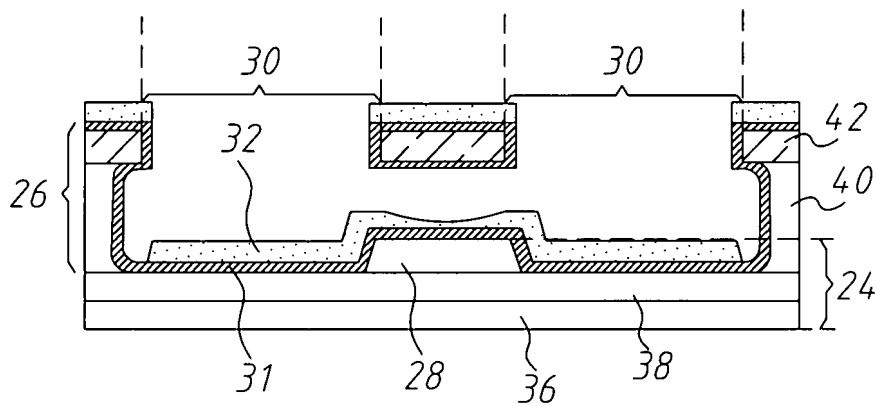
第 3(b) 圖



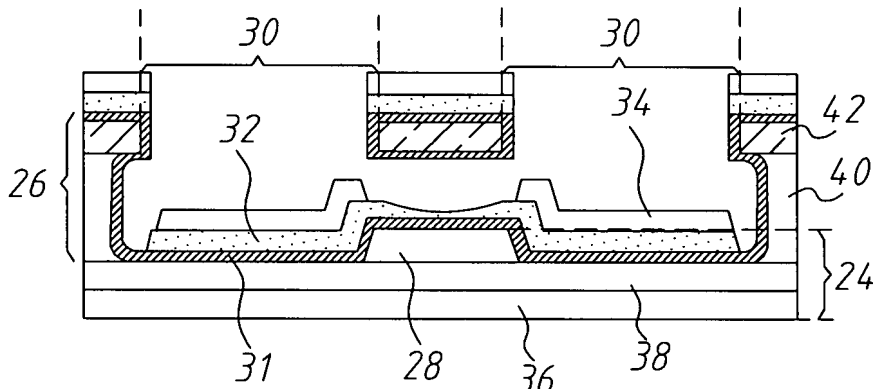
第 3(c) 圖



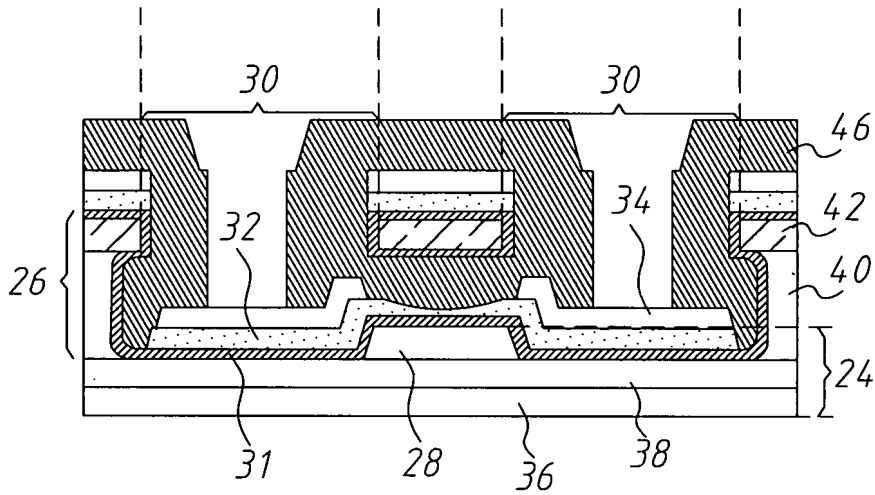
第 3(d) 圖



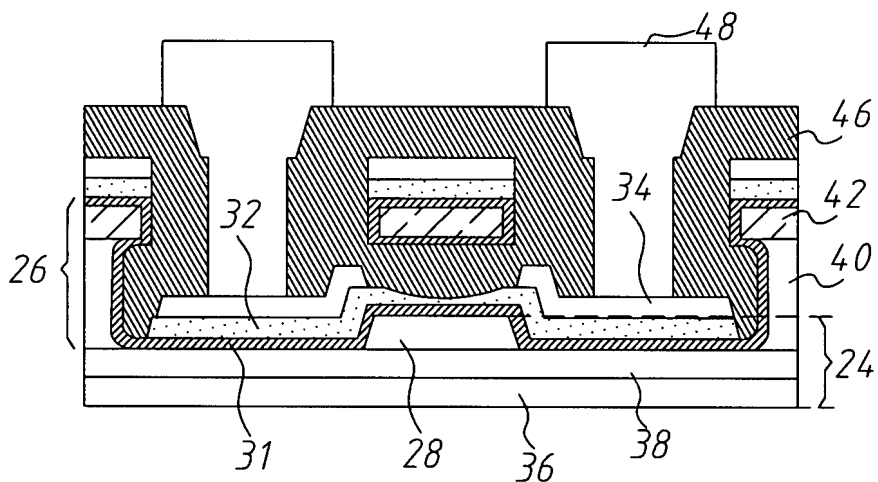
第 3(e) 圖



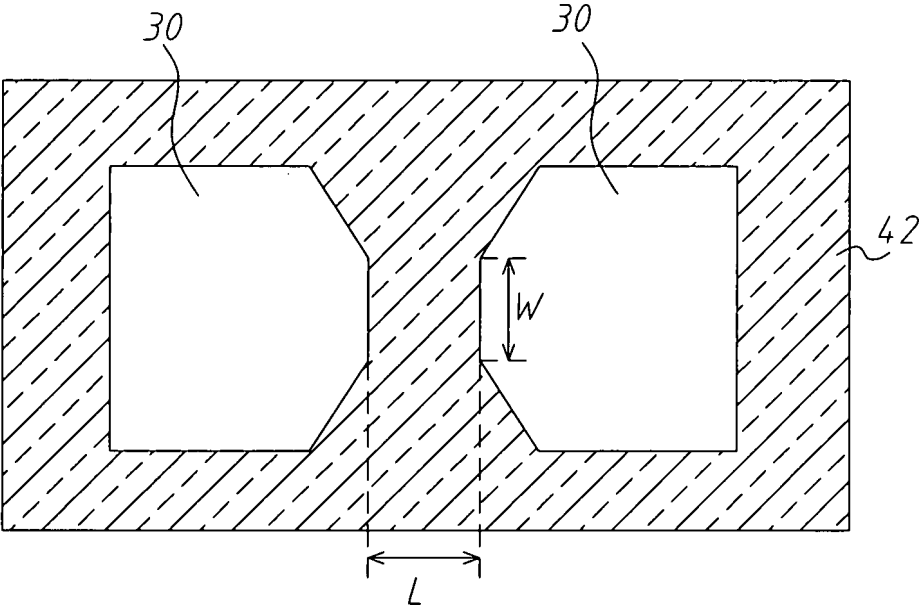
第 3(f) 圖



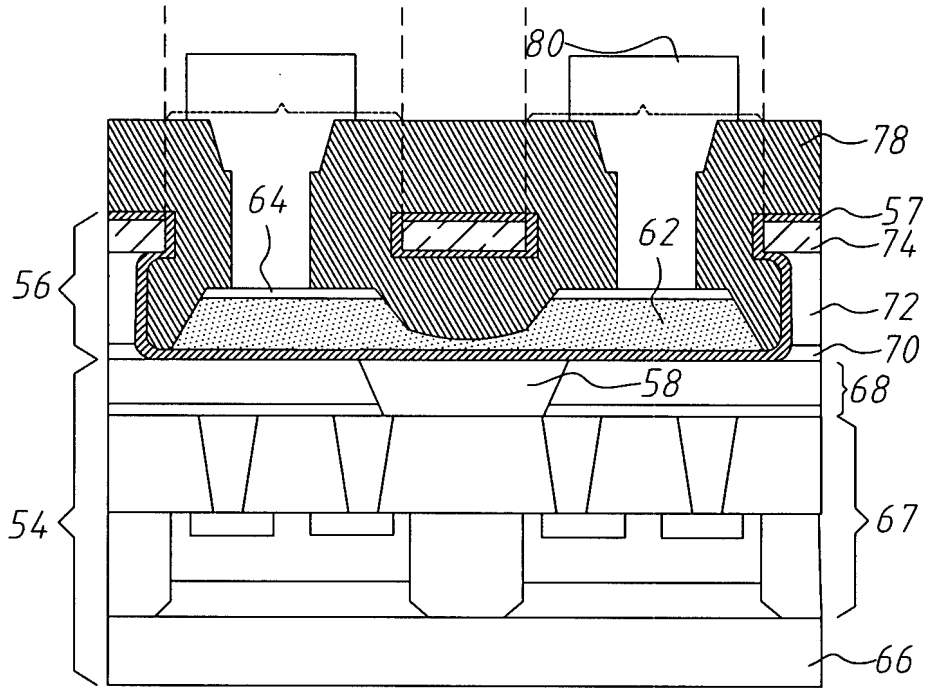
第 3(g) 圖



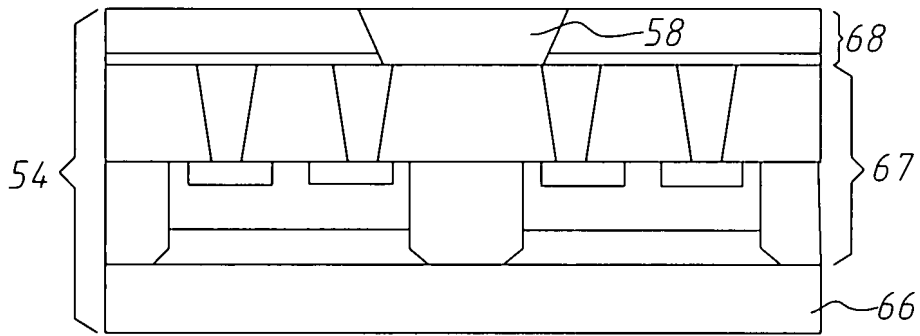
第 3(h) 圖



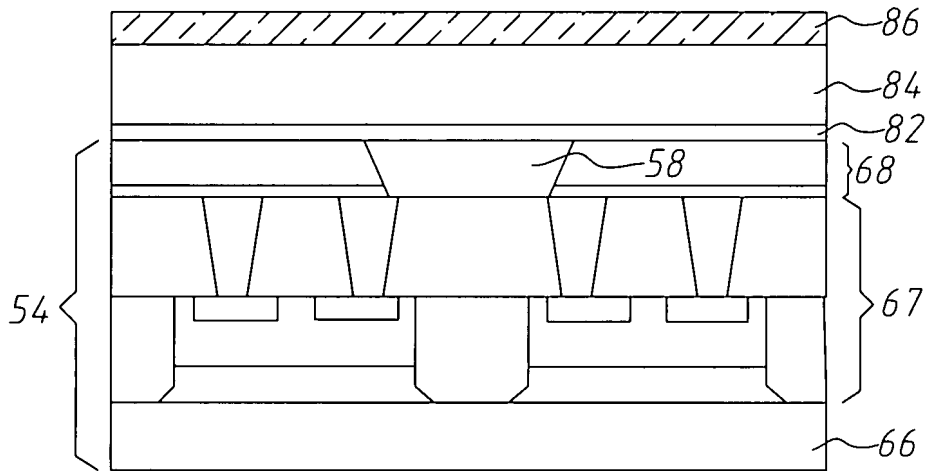
第 4 圖



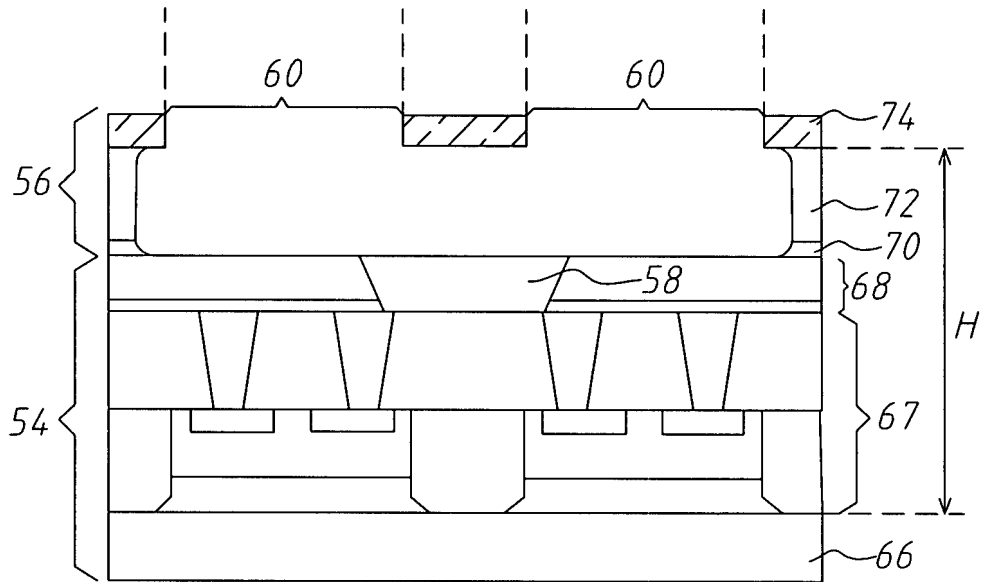
第 5 圖



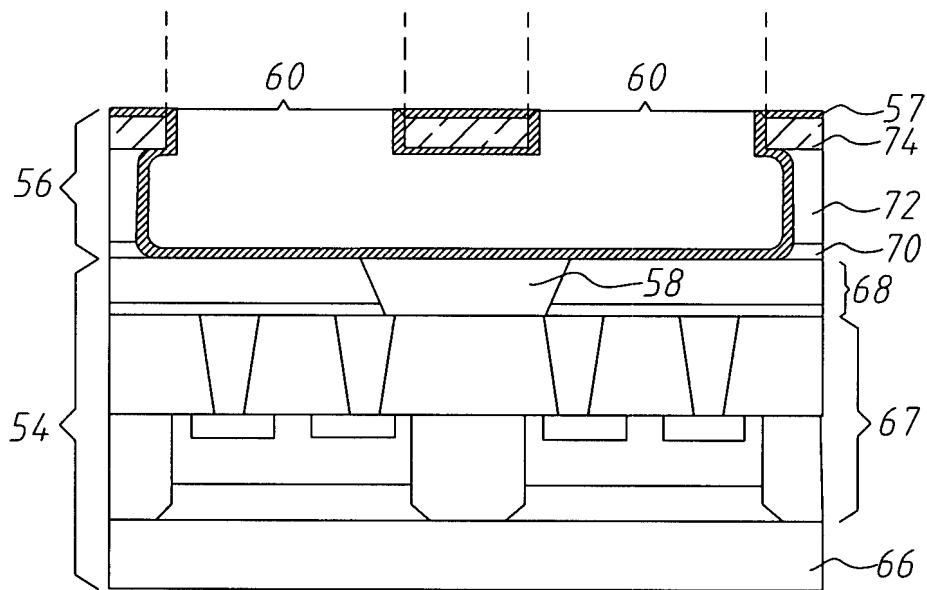
第 6(a) 圖



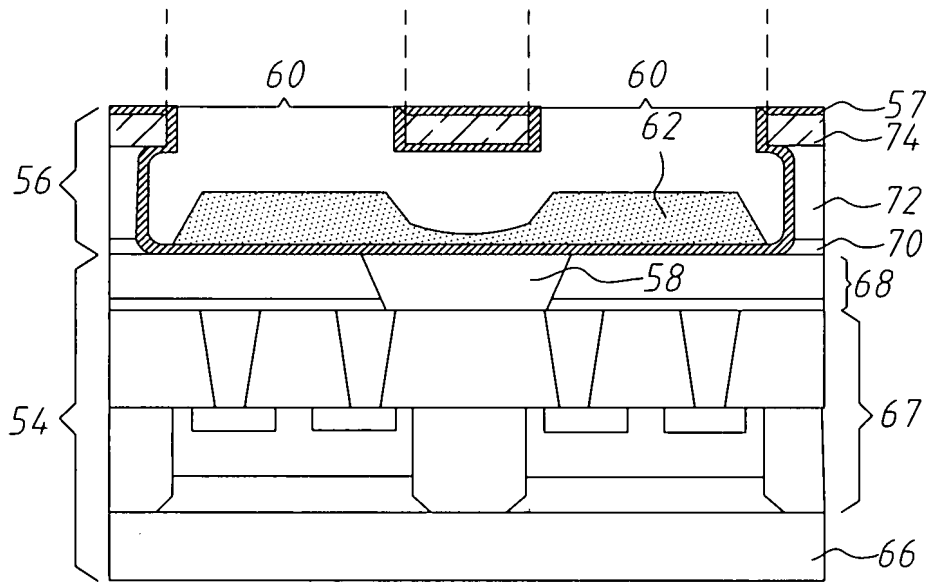
第 6(b) 圖



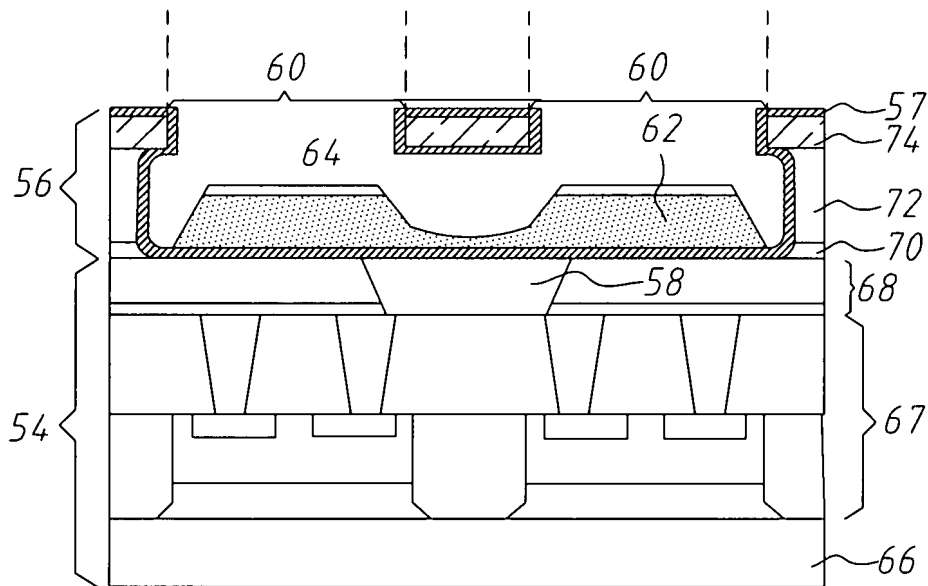
第 6(c) 圖



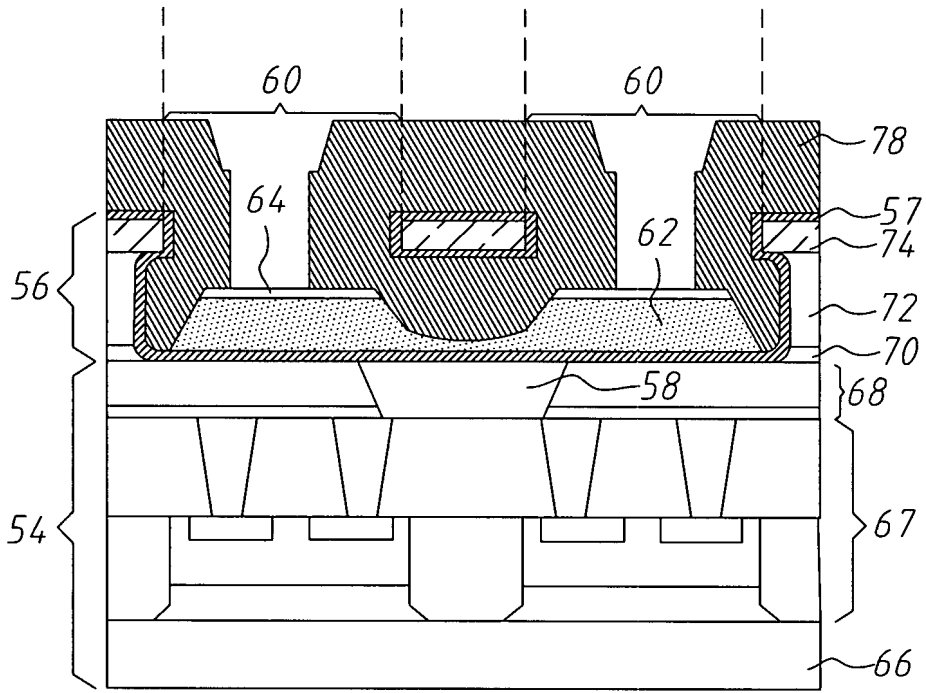
第 6(d) 圖



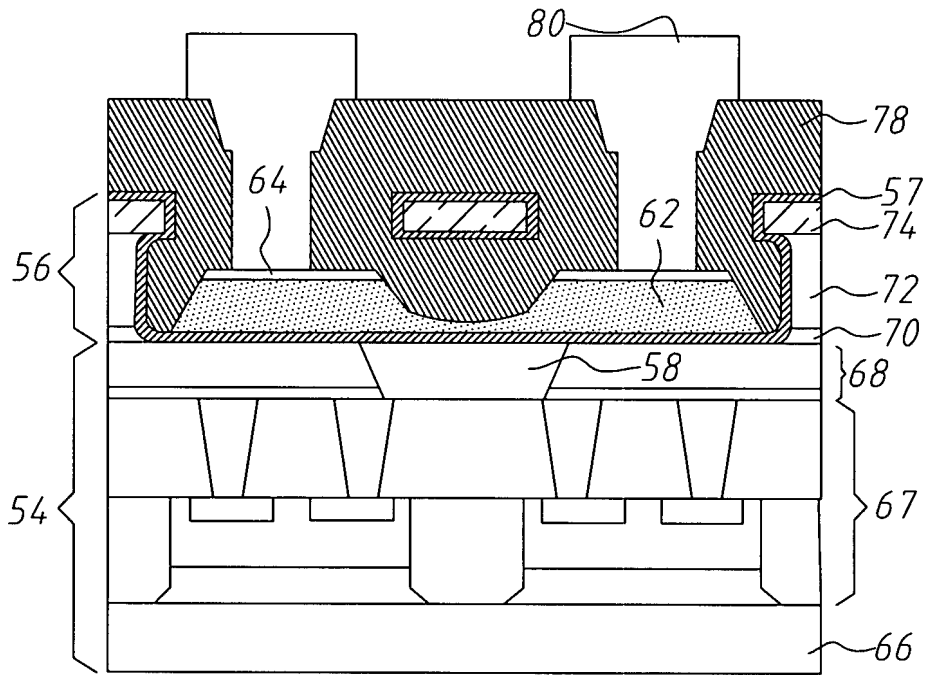
第 6(e) 圖



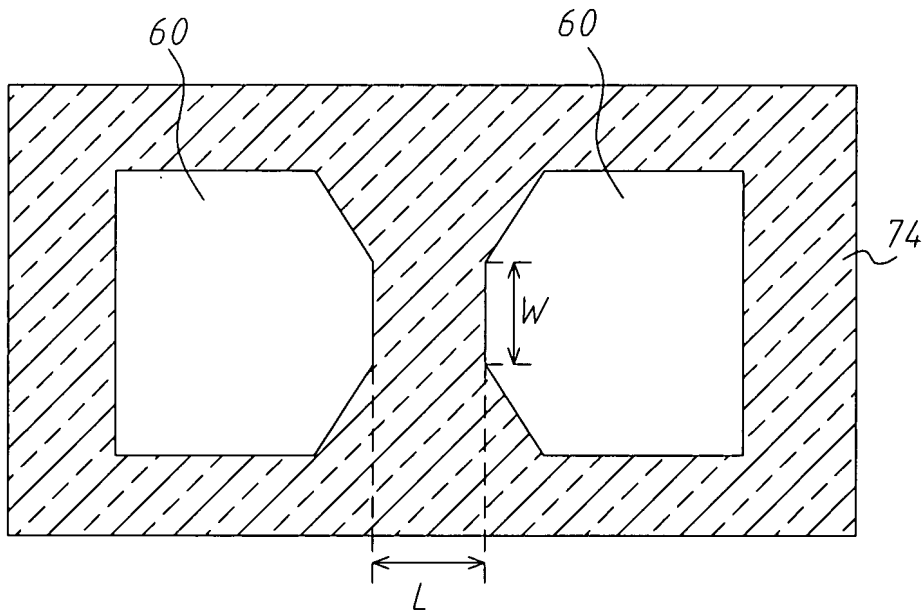
第 6(f) 圖



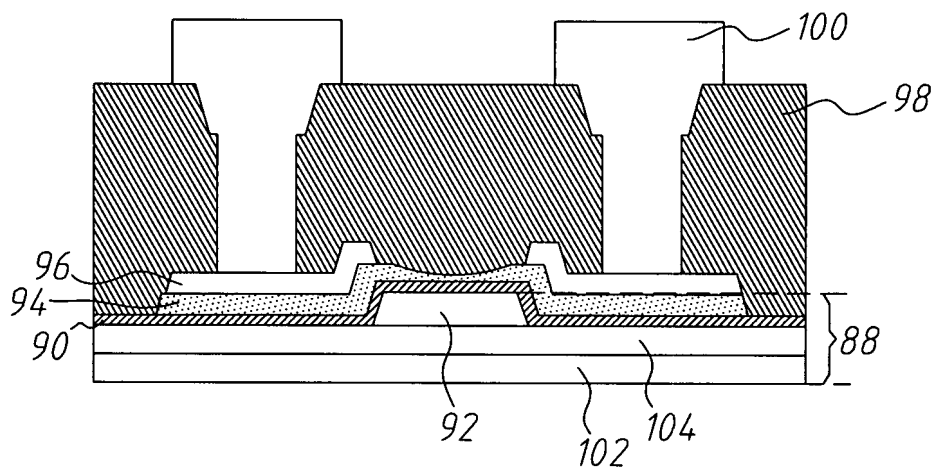
第 6(g) 圖



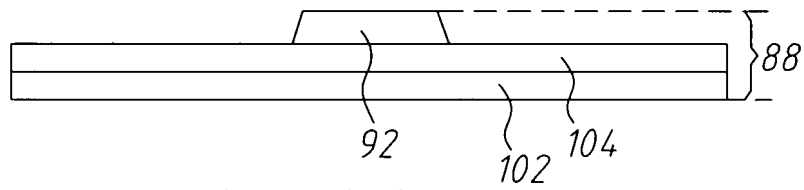
第 6(h) 圖



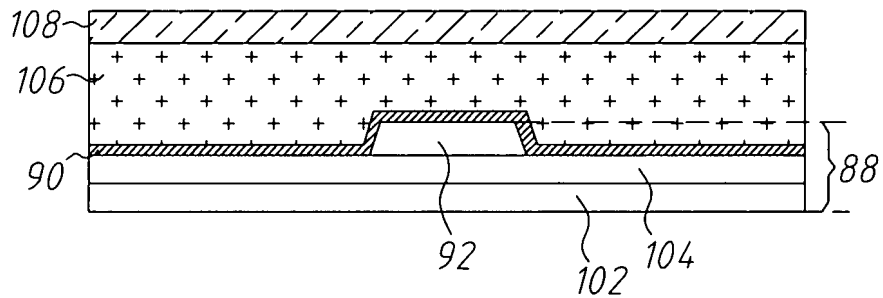
第 7 圖



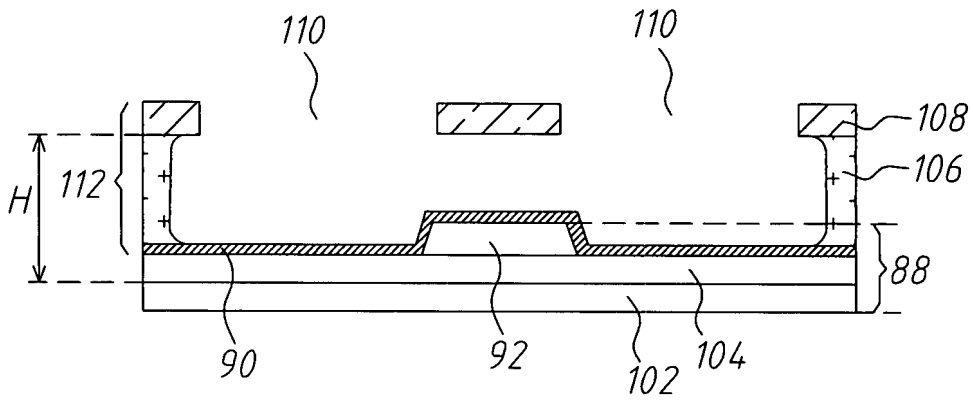
第 8 圖



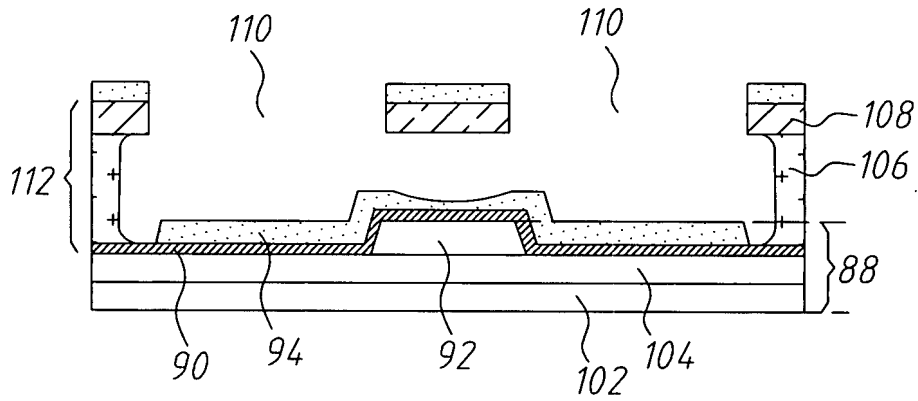
第 9(a) 圖



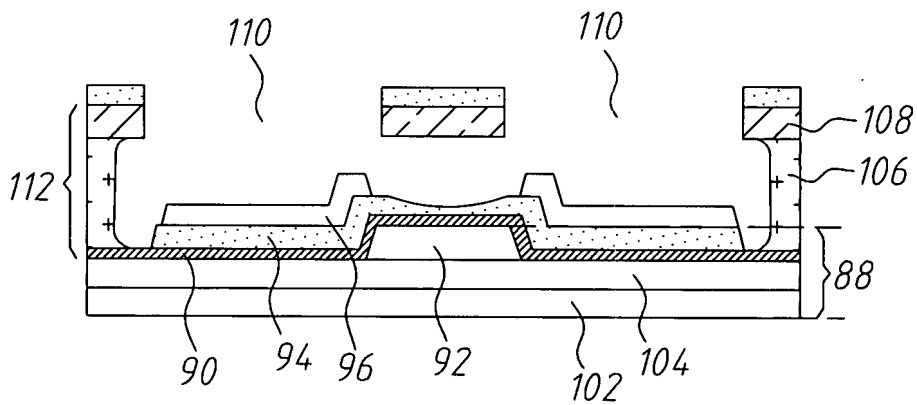
第 9(b) 圖



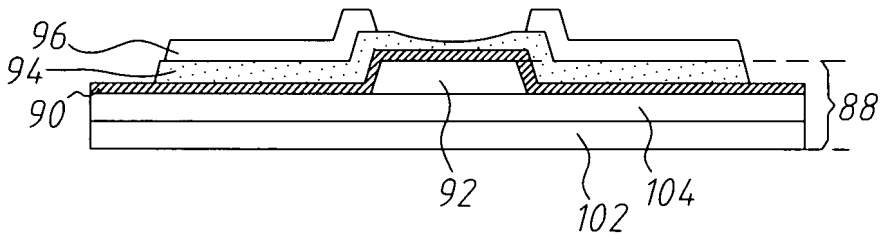
第 9(c) 圖



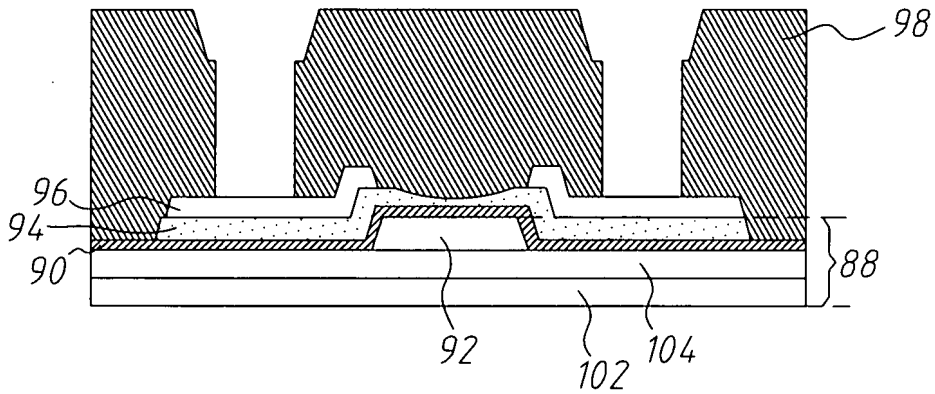
第 9(d) 圖



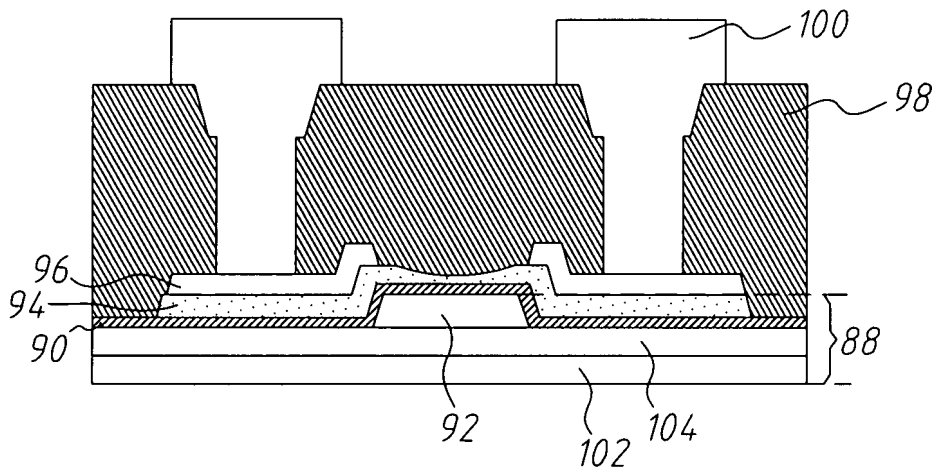
第 9(e) 圖



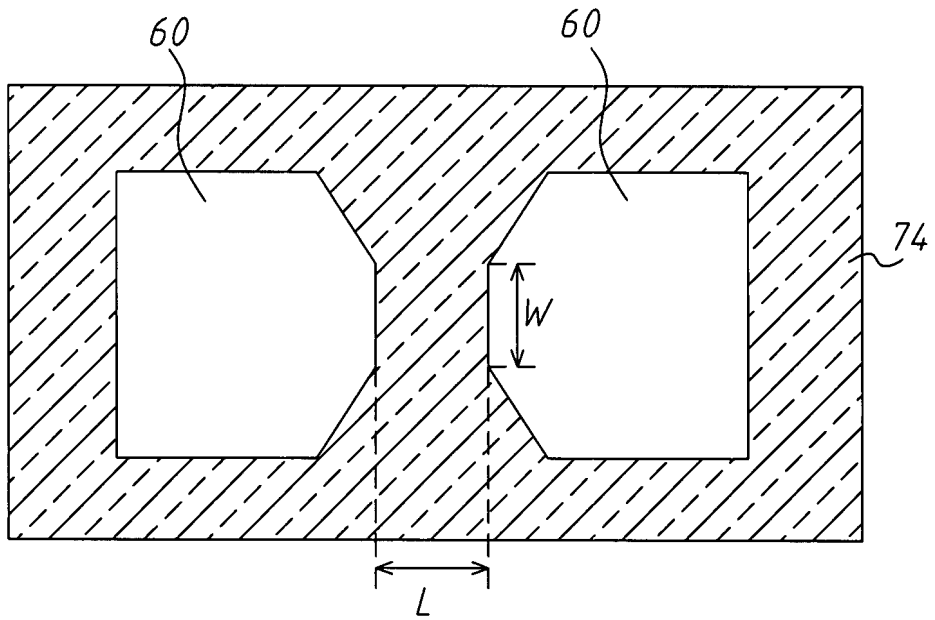
第 9(f) 圖



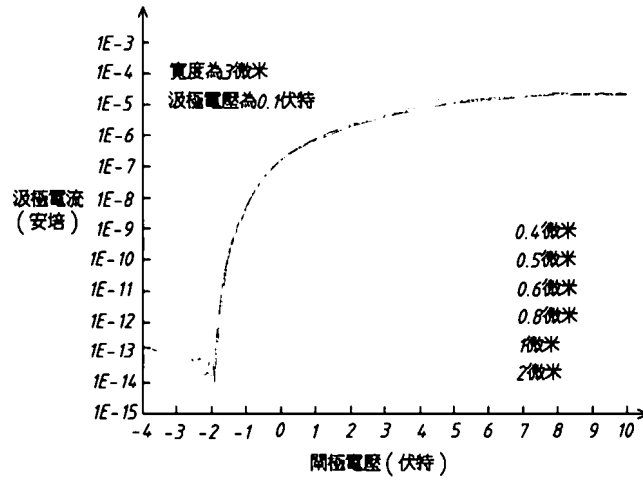
第 9(g) 圖



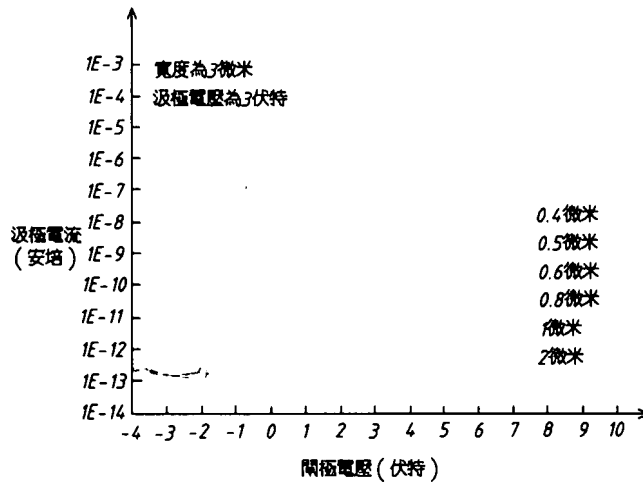
第 9(h) 圖



第 10 圖



第 11 圖



第 12 圖