



(21) 申請案號：100107824

(22) 申請日：中華民國 100 (2011) 年 03 月 08 日

(51) Int. Cl. : G11C11/41 (2006.01)

(71) 申請人：國立交通大學 (中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)
新竹市大學路 1001 號

(72) 發明人：邱議德 CHIU, YI TE (TW)；張銘宏 CHANG, MING HUNG (TW)；楊皓義 YANG, HAO I (TW)；黃威 HWANG, WEI (TW)

(74) 代理人：蔡清福

(56) 參考文獻：

US 5473574

US 6097651

US 6556472B2

US 7277348B2

US 7307907B2

US 7706174B2

審查人員：賴炳成

申請專利範圍項數：10 項 圖式數：5 共 31 頁

(54) 名稱

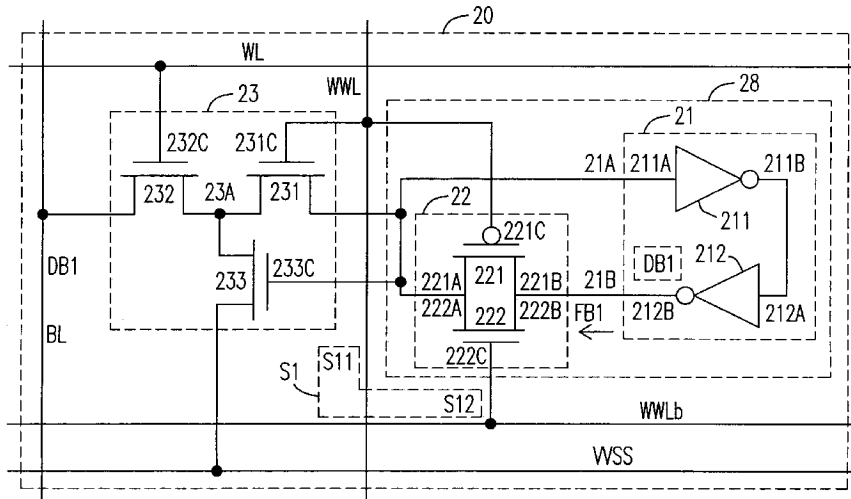
靜態隨機存取記憶體胞元及其操作方法

STATIC RANDOM ACCESS MEMORY CELL AND OPERATION METHOD THEREOF

(57) 摘要

一種靜態隨機存取記憶體胞元包括一閘鎖單元。該閘鎖單元包括一雙反相電路和一開關電路。該雙反相電路具有一第一端和一第二端。該開關電路電連接在該第一端和該第二端之間，其中當該開關電路接通時，該開關電路在該第一端和該第二端之間形成一回授以閘鎖該閘鎖單元，且當該開關電路關斷時，解除該回授以使該靜態隨機存取記憶體胞元將一資料位元寫到該閘鎖單元。

A static random access memory cell includes a latch unit. The latch unit includes a bi-inverting circuit and a switching circuit. The bi-inverting circuit has a first terminal and a second terminal. The switching circuit is electrically connected between the first terminal and the second terminal. When the switching circuit is turned on, the switching circuit forms a feedback between the first terminal and the second terminal to latch the latch unit. When the switching circuit is turned off, the feedback is removed to cause the static random access memory cell to write a data bit to the latch unit.



第一圖

- 20 . . . 靜態隨機存取記憶體胞元
- 28 . . . 閃鎖單元
- 21 . . . 雙反相電路
- 211、212 . . . 反相器
- 211A、212A . . . 輸入端
- 211B、212B . . . 儲存節點
- 21A . . . 第一端
- 21B . . . 第二端
- 22 . . . 開關電路
- 221、222、231、232 . . . 傳輸電晶體
- 221C、222C、231C、232C . . . 控制端
- 23 . . . 輔助電路
- 233 . . . 讀取緩衝電晶體
- 23A . . . 傳輸節點
- BL . . . 位元線
- DB1 . . . 資料位元
- FB1 . . . 回授
- S1 . . . 輸入訊號
- S11、S12 . . . 訊號
- WVSS . . . 虛公用線
- WL、WWL、WWLb . . . 字線

發明專利說明書

公告本

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：100/07824

※ 申請日：100,3,8 ※IPC 分類：G11C 11/41(2006.01)

一、發明名稱：(中文/英文)

靜態隨機存取記憶體胞元及其操作方法/ STATIC RANDOM
ACCESS MEMORY CELL AND OPERATION METHOD
THEREOF

二、中文發明摘要：

一種靜態隨機存取記憶體胞元包括一門鎖單元。該門鎖單元包括一雙反相電路和一開關電路。該雙反相電路具有一第一端和一第二端。該開關電路電連接在該第一端和該第二端之間，其中當該開關電路接通時，該開關電路在該第一端和該第二端之間形成一回授以門鎖該門鎖單元，且當該開關電路關斷時，解除該回授以使該靜態隨機存取記憶體胞元將一資料位元寫到該門鎖單元。

三、英文發明摘要：

A static random access memory cell includes a latch unit. The latch unit includes a bi-inverting circuit and a switching circuit. The bi-inverting circuit has a first terminal and a second terminal. The switching circuit is electrically connected between the first terminal and the second terminal. When the switching circuit is turned on, the switching circuit forms a feedback between the first terminal and the second

terminal to latch the latch unit. When the switching circuit is turned off, the feedback is removed to cause the static random access memory cell to write a data bit to the latch unit.

四、指定代表圖：

(一)本案指定代表圖為：第(一)圖

(二)本代表圖之元件符號簡單說明

20：靜態隨機存取記憶體胞元

28：閘鎖單元

21：雙反相電路

211、212：反相器

211A、212A：輸入端

211B、212B：儲存節點

21A：第一端

21B：第二端

22：開關電路

221、222、231、232：傳輸電晶體

221C、222C、231C、232C：控制端

23：輔助電路

233：讀取緩衝電晶體

23A：傳輸節點

BL：位元線

DB1：資料位元

FB1：回授

S1：輸入訊號

S11、S12：訊號

VVSS：虛公用線

WL、WWL、WWLb：字線

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

六、發明說明：

【發明所屬之技術領域】

本發明是關於一種靜態隨機存取記憶體(SRAM)胞元及其操作方法，特別是關於具有增強的寫入能力的一種單埠次臨界靜態隨機存取記憶體胞元及其操作方法。

【先前技術】

資訊、通訊、生醫、消費性電子產品等的積體電路系統都朝向單晶片系統發展。嵌入式記憶體為單晶片系統不可或缺的一部分，其中又以靜態隨機存取記憶體的使用最為廣泛，其應用於資料暫存以及資料傳輸。

生醫電子是現今相當熱門的領域，對於應用於生醫的積體電路，不需要快速運作，但需要長時間運作而必須具備極低的功率消耗。使電路操作於次臨界電壓區域提供有效的方法來達成超低功率消耗，但可靠度問題將伴隨而來。特別是在奈米製程下的製程變異、電壓變異和溫度變異，使得穩定度成為最重要的設計考量。

一習知技術方案記載於美國第 US 7,385,840 B2 號公告專利，其揭露一種具有獨立靜態雜訊邊限、脫扣電壓、和讀取電流最佳化的靜態隨機存取記憶體胞元。

一習知技術方案記載於下列的文獻 1 中：J. Chang, J.-J. Kim, S. P. Park, and K. Roy, "A 32kbit 10T subthreshold SRAM array with bitinterleaving and differential read-scheme in 90 nm CMOS", IEEE Journal of Solid-state Circuits, vol. 44, no. 2, Feb. 2009, pp. 650-658。

一習知技術方案記載於下列的文獻 2 中：Leland Chang, R. K. Montoye, Yutaka Nakamura, Kevin A. Batson, Richard J. Eickemeyer, Robert H. Dennard, Wilfried Haensch, and Damir Jamsek, “An 8T-SRAM for variability tolerance and low-voltage operation in high-performance caches”, IEEE JSSC, April 2008, pp. 956-963。

【發明內容】

本發明的一目的在於提出一種靜態隨機存取記憶體 (SRAM) 胞元，該 SRAM 胞元操作於次臨界電壓區域；當該 SRAM 胞元操作於該次臨界電壓區域時仍舊能夠提供穩健的操作以適合應用於與生醫相關的積體電路。

本發明的另一目的在於提出一種 SRAM 胞元，該 SRAM 胞元在寫入時切斷正回授的一儲存節點以增強寫入能力。

本發明的還另一目的在於提出一種 SRAM 胞元，該 SRAM 胞元具有位元交錯的架構，在該位元交錯的架構下對於軟錯誤的影響有益處，使在讀、寫時不會有半選定的干擾(half-selected disturbance)。

本發明的還另一目的在於提出一種 SRAM 胞元，在該 SRAM 胞元中用於資料儲存的反相器採用高臨界電壓元件來增強資料維持穩定度。

本發明的還另一目的在於提出一種 SRAM 胞元，在該 SRAM 胞元中，藉由資料儲存節點(data storage node)與位元線解耦而使讀取穩定度有所提昇。

本發明的還另一目的在於提出一種 SRAM 胞元，在該 SRAM 胞元中的讀/寫電晶體應用反短通道效應(reverse short channel effect)以增強讀/寫能力並減少臨界電壓因製程造成的變化程度。

本發明的還另一目的在於提出一種 SRAM 胞元，該 SRAM 胞元具有單端讀寫埠的架構，以進一步降低因為長位元線所造成的功率消耗。

本發明的第一構想在於提出一種靜態隨機存取記憶體胞元。該靜態隨機存取記憶體胞元包括一門鎖單元。該門鎖單元包括一雙反相電路和一開關電路。該雙反相電路具有一第一端和一第二端。該開關電路電連接在該第一端和該第二端之間，其中當該開關電路接通時，該開關電路在該第一端和該第二端之間形成一回授以門鎖該門鎖單元，且當該開關電路關斷時，解除該回授以使該靜態隨機存取記憶體胞元將一第一資料位元寫到該門鎖單元。

本發明的第二構想在於提出一種靜態隨機存取記憶體胞元的操作方法，其中該靜態隨機存取記憶體胞元包括一門鎖單元，該門鎖單元包括一雙反相電路和電連接在該雙反相電路的第一端和第二端之間的一開關電路，該方法包括下列步驟：藉由控制該開關電路而在該第一端和該第二端之間建立一回授以門鎖該門鎖單元；以及藉由控制該開關電路而解除該回授以將一第一資料位元寫到該門鎖單元。

本發明的第三構想在於提出一種靜態隨機存取記憶體胞元。該靜態隨機存取記憶體胞元包括一雙反相電路和一

開關電路。該雙反相電路具有一第一端及一第二端。該開關電路電連接在該第一端和該第二端之間，俾於其間形成一第一連接狀態，並因應一輸入訊號而將該第一端與該第二端之間改變成一第二連接狀態。

【實施方式】

請參閱第一圖，其為本發明一實施例所提靜態隨機存取記憶體(SRAM)胞元 20 的示意圖。如圖所示，SRAM 胞元 20 包括一閃鎖單元 28。閃鎖單元 28 包括一雙反相電路 21 和一開關電路 22，開關電路 22 電連接於雙反相電路 21。在一實施例中，雙反相電路 21 具有一第一端 21A 及一第二端 21B。開關電路 22 電連接在第一端 21A 和第二端 21B 之間，其中當開關電路 22 接通時，開關電路 22 在第一端 21A 和第二端 21B 之間形成一回授 FB1 以閃鎖閃鎖單元 28，且當開關電路 22 關斷時，解除回授 FB1 以使 SRAM 胞元 20 將一資料位元 DB1 寫到閃鎖單元 28。

例如，SRAM 胞元 20 是一個次臨界電路，且具有一單一讀寫埠。SRAM 胞元 20 可以應用一反短通道效應(reverse short channel effect)。例如，回授 FB1 是一正回授，且回授 FB1 的方向是從第二端 21B 到第一端 21A。

在一實施例中，雙反相電路 21 包括反相器 211 和反相器 212，反相器 212 電連接於反相器 211。反相器 211 具有輸入端 211A 和儲存節點 211B，反相器 212 具有輸入端 212A 和儲存節點 212B，且輸入端 212A 電連接於儲存節點 211B。例如，雙反相電路 21 的第一端 21A 是輸入端 211A，

且雙反相電路 21 的第二端 21B 是儲存節點 212B。例如，第一端 21A 作為存取節點，且輸入端 212A 僅僅接收儲存節點 211B 的輸出以使 SRAM 胞元 20 具有該單一讀寫埠。

在一實施例中，開關電路 22 包括一傳輸電晶體(pass transistor) 221 和一傳輸電晶體 222，傳輸電晶體 222 電連接於傳輸電晶體 221。傳輸電晶體 221 與雙反相電路 21 並聯，且具有一第一端 221A、一第二端 221B、一控制端 221C 和 p 型導電性。例如，傳輸電晶體 221 還具有一受控制路徑，該受控制路徑在第一端 221A 和第二端 221B 之間。傳輸電晶體 222 與傳輸電晶體 221 並聯，且具有一第一端 222A、一第二端 222B、一控制端 222C 和 n 型導電性，其中第一端 222A 電連接於第一端 221A 和第一端 222A，且第二端 222B 電連接於第二端 221B 和第二端 222B。

在一實施例中，開關電路 22 接收一輸入訊號 S1，且根據輸入訊號 S1 而被接通或關斷以建立或解除回授 FB1。輸入訊號 S1 可以包括訊號 S11 和 S12，例如，訊號 S11 是一行向寫入字線訊號，且訊號 S12 是一列向反相寫入字線訊號。例如，控制端 221C 接收訊號 S11，且控制端 222C 接收訊號 S12。

如第一圖所示，在一實施例中，SRAM 胞元 20 包括門鎖單元 28、一輔助電路 23、三條字線 WL、WWL 與 WWLb、一條位元線 BL 和一條虛公用線 VVSS，其中在 SRAM 胞元 20 中，位元線 BL 是單一的，且作為該單一讀寫埠。門鎖單元 28 包括雙反相電路 21 和開關電路 22，且門鎖單元 28 電連接於輔助電路 23、字線 WWL 和字線 WWLb。例

如，所述三條字線 WL、WWL 與 WWLb 分別是一列向字線、一行向寫入字線和一行向反相寫入字線，其中字線 WWL 電連接於控制端 221C 並接收訊號 S11，且字線 WWLb 電連接於控制端 222C 並接收訊號 S12。

輔助電路 23 用以控制閃鎖單元 28，且電連接於第一端 21A、位元線 BL、字線 WL、字線 WWL 和虛公用線 VVSS。在一實施例中，輔助電路 23 包括一傳輸電晶體 231、一傳輸電晶體 232、一讀取緩衝電晶體 233 和一傳輸節點 23A。傳輸電晶體 231 電連接於第一端 21A 和傳輸節點 23A 之間，且具有一控制端 231C 和 n 型導電性，其中控制端 231C 電連接於字線 WWL。

傳輸電晶體 232 電連接於傳輸節點 23A 和位元線 BL 之間，且具有一控制端 232C 和 n 型導電性，其中控制端 232C 電連接於字線 WL。讀取緩衝電晶體 233 電連接於傳輸節點 23A 和虛公用線 VVSS 之間，且具有一控制端 233C 和 n 型導電性，其中控制端 233C 電連接於第一端 21A。

在一實施例中，傳輸電晶體 231、傳輸電晶體 232 和讀取緩衝電晶體 233 均具有一反短通道效應的特性，且較 SRAM 胞元 20 中的其他電晶體具有較長的通道長度。雙反相電路 21 包括四個電晶體(顯示於第二圖中)。傳輸電晶體 221、222、231 和 232 的每一電晶體具有金屬氧化物半導體場效應電晶體(MOSFET)的正規臨界電壓。讀取緩衝電晶體 233 和所述四個電晶體的每一電晶體具有金屬氧化物半導體場效應電晶體(MOSFET)的高臨界電壓。雙反相電路 21 的所述四個電晶體和讀取緩衝電晶體 233 的每一電晶體

的臨界電壓大於傳輸電晶體 221、222、231 和 232 的每一電晶體的臨界電壓。

SRAM 胞元 20 在多個不同的時段中能夠分別具有維持狀態、讀取選定狀態、寫入選定狀態、讀取半選定狀態、第一寫入半選定狀態、和第二寫入半選定狀態。當 SRAM 胞元 20 在該寫入選定狀態中時，傳輸電晶體 221 和 222 被關斷以關斷開關電路 22，且傳輸電晶體 231 和 232 被接通以將在位元線 BL 上的資料位元 DB1 寫到閃鎖單元 28。當 SRAM 胞元 20 從該寫入選定狀態轉換到上述狀態中的另一狀態時，開關電路 22 被接通且雙反相電路 21 保持資料位元 DB1。當 SRAM 胞元 20 在該讀取選定狀態中時，傳輸電晶體 221、222 和 232 被接通，且傳輸電晶體 231 被關斷以在位元線 BL 和第一端 21A 解耦的條件下讀取在閃鎖單元 28 中的資料位元 DB1。

在一實施例中，當 SRAM 胞元 20 被配置在該維持狀態、該讀取選定狀態、該讀取半選定狀態、該第一寫入半選定狀態和該第二寫入半選定狀態的其中之一中時，回授 FB1 被建立。當 SRAM 胞元 20 被配置在該寫入選定狀態中時，藉由控制開關電路 22，回授 FB1 被解除。例如，傳輸電晶體 221 和 222 分別響應訊號 S11 和訊號 S12 而使閃鎖單元 28 在所述多個不同的時段中分別適用於該維持狀態、該讀取選定狀態、該寫入選定狀態、該讀取半選定狀態、該第一寫入半選定狀態、和該第二寫入半選定狀態。

在根據第一圖的一實施例中，SRAM 胞元 20 包括一雙反相電路 21 和一開關電路 22，開關電路 22 電連接於雙反

相電路 21。雙反相電路 21 具有第一端 21A 及第二端 21B。開關電路 22 電連接在第一端 21A 和第二端 21B 之間，俾於其間形成一第一連接狀態，並因應一輸入訊號 S1 而將第一端 21A 與第二端 21B 之間改變成一第二連接狀態。例如，該第一連接狀態是一接通狀態和一關斷狀態的其中之一，且該第一連接狀態和該第二連接狀態具有相反的接通關斷狀態。在一實施例中，當開關電路 22 響應輸入訊號 S1 而使該第一連接狀態被配置為該接通狀態時，開關電路 22 在第一端 21A 和第二端 21B 之間形成回授 FB1 以閉鎖雙反相電路 21。當開關電路 22 響應輸入訊號 S1 而使該第一連接狀態被改變成該第二連接狀態(該關斷狀態)時，開關電路 22 解除回授 FB1。

在一實施例中，SRAM 胞元 20 的設計採用多臨界互補金屬氧化物半導體(MTCMOS)設計，MTCMOS 設計帶來減少洩漏和增加寫入邊限/靜態雜訊邊限(WM/SNM)的好處。反短通道效應應用在傳輸電晶體 231、傳輸電晶體 232 和讀取緩衝電晶體 233；在次臨界區域中，導致小的面積懲罰；較長的通道長度具有“減少次臨界電壓區域的變化和改善接通關斷(ON-OFF)電流比率”的用處以導致較高的效能。

在一實施例中，SRAM 胞元 20 的組成電晶體均操作於 MOS 電晶體的次臨界區域中以使 SRAM 胞元 20 成為次臨界電路並操作於次臨界電壓中。SRAM 胞元 20 具有一單一的讀寫埠和反短通道效應的特性，在該讀取選定狀態中，閉鎖單元 28 的儲存節點 212B 與位元線 BL 解耦；在該寫

入選定狀態中，來自閃鎖單元 28 的儲存節點 212B 的正回授被切斷；當 SRAM 胞元 20 操作於該次臨界區域中時，能夠保持在該維持狀態和該讀取選定狀態中的穩定度，且提昇寫入能力。

反短通道效應應用在傳輸電晶體 231、傳輸電晶體 232 和讀取緩衝電晶體 233 使其臨界電壓降低並減少其漏電流，因此提昇其讀/寫能力並減少其臨界電壓因製程造成的變化程度。在該讀取選定狀態中，閃鎖單元 28 的儲存節點 212B 與位元線 BL 解耦，因此，儲存節點 211B 或儲存節點 212B 不受位元線 BL 上訊號的干擾，進而增強讀取時的抗雜訊能力。在該寫入選定狀態中，來自閃鎖單元 28 的儲存節點 212B 的正回授被切斷，因此，大幅增強寫入能力。SRAM 胞元 20 的單端讀、寫的架構可以減少位元線數目，進而降低位元線所造成的功率消耗。

在根據第一圖的一實施例中，SRAM 胞元 20 的操作方法包括下列步驟：藉由控制開關電路 22 而在第一端 21A 和第二端 21B 之間建立一回授 FB1 以閃鎖閃鎖單元 28；以及，藉由控制開關電路 22 而解除回授 FB1 以將資料位元 DB1 寫到閃鎖單元 28。

請參閱第二圖，其為本發明一實施例所提 SRAM 胞元 20 的一配置 201 的示意圖。與第一圖比較，第二圖顯示閃鎖單元 28 的細部結構，且在第一圖和第二圖中相同的元件符號具有相同的名稱和功能。在第二圖中，SRAM 胞元 20 的配置 201 包括閃鎖單元 28、輔助電路 23、字線 WL、WWL 與 WWLb、單一位元線 BL 和虛公用線 VVSS。閃鎖

單元 28 包括雙反相電路 21 和開關電路 22，且雙反相電路 21 包括反相器 211 和反相器 212。反相器 211 包括一拉升電晶體 2111 和一下拉電晶體 2112，且反相器 212 包括一拉升電晶體 2121 和一下拉電晶體 2122。拉升電晶體 2111、下拉電晶體 2112、拉升電晶體 2121 和下拉電晶體 2122 之間的連接關係顯示於第二圖中。反相器 211 和反相器 212 均具有一供應電壓 VDD。供應電壓 VDD 的大小使 SRAM 胞元 20 的每一電晶體均操作於次臨界區域。

請參閱第三圖，其為本發明一實施例所提 SRAM 陣列 90 在讀取模式中之一配置 901 的示意圖。如圖所示，SRAM 陣列 90 的配置 901 包括 SRAM 胞元 30 和 SRAM 胞元 40，SRAM 胞元 30 和 SRAM 胞元 40 相鄰且在 SRAM 陣列 90 的同一列中。SRAM 陣列 90 具有一讀取模式。在該讀取模式期間，SRAM 胞元 30 的閃鎖單元 28 具有資料位元 DB2，SRAM 胞元 30 被配置在一讀取選定狀態中，且 SRAM 胞元 40 被配置在一讀取半選定狀態中，以便從 SRAM 胞元 30 的閃鎖單元 28 將資料位元 DB2 讀取到位元線 BL1。

在第三圖中，“1”狀態表示高電壓位準狀態，且“0”狀態表示低電壓位準狀態。在該讀取模式期間，字線 WL 和 WWLb 的電壓位準分別被配置為在“1”狀態和“1”狀態中，虛公用線 VVSS 的電壓位準被配置為在“0”狀態中。位元線 BL0 被預充電到“1”狀態，且字線 WWL0、位元線 BL1 和字線 WWL1 的電壓位準分別被配置為在“0”狀態、“浮動 (floating)”狀態、和“0”狀態中。

在該讀取模式期間，在 SRAM 胞元 30 中的傳輸電晶

體 231 和在 SRAM 胞元 40 中的傳輸電晶體 231 均被關斷，藉此將資料儲存節點與干擾雜訊隔離。

請參閱第四圖，其為本發明一實施例所提 SRAM 陣列 90 在寫入模式中之一配置 902 的示意圖。如圖所示，SRAM 陣列 90 的配置 902 包括 SRAM 胞元 50、60、70 和 80。SRAM 胞元 50 和 SRAM 胞元 60 相鄰且在 SRAM 陣列 90 的同一列中。SRAM 胞元 50 和 SRAM 胞元 70 相鄰且在 SRAM 陣列 90 的同一行中。SRAM 胞元 80 和 SRAM 胞元 60 相鄰且在 SRAM 陣列 90 的同一行中。SRAM 胞元 80 和 SRAM 胞元 70 相鄰且在 SRAM 陣列 90 的同一列中。SRAM 陣列 90 具有一寫入模式。在該寫入模式期間，SRAM 胞元 50 被配置在一寫入選定狀態中，SRAM 胞元 60 被配置在一第一寫入半選定狀態中，SRAM 胞元 70 被配置在一第二寫入半選定狀態中，且 SRAM 胞元 80 被配置在一維持狀態中，以便將位元線 BL0 上的一資料位元 DB3 寫到 SRAM 胞元 50 的閃鎖單元 28。

在第四圖中，在該寫入模式期間，字線 WL0、WWLb0、WL1 和 WWLb0 的電壓位準分別被配置為在“1”狀態、“0”狀態、“0”狀態和“1”狀態中，虛公用線 VVSS0 和 VVSS1 的電壓位準均被配置為在“1”狀態中。位元線 BL0 接收資料位元 DB3，且字線 WWL0、位元線 BL1 和字線 WWL1 的電壓位準分別被配置為在“1”狀態、“1”狀態、和“0”狀態中。在該寫入模式期間，藉由關斷在 SRAM 胞元 50 中的傳輸電晶體 221 和 222 而切斷儲存點正回授，以致大幅增強在該寫入選定狀態中的 SRAM 胞元 50 的寫入能力。

請參閱第五圖(a)，其為本發明第四圖和文獻 2 所提 SRAM 胞元在寫入半選定狀態中的靜態雜訊邊限(SNM)分佈的示意圖。第五圖(a)顯示曲線 SNM_1、SNM_L 和 SNM_V。曲線 SNM_1 表示文獻 2 所提 8T SRAM 胞元在寫入半選定狀態中的 SNM 分佈，曲線 SNM_L 和 SNM_V 分別表示本發明第四圖 SRAM 胞元 60 和 70 在第一寫入半選定狀態和第二寫入半選定狀態中的 SNM 分佈。請參閱第五圖(b)，其為本發明第四圖所提 SRAM 胞元在維持狀態中的 SNM 分佈的示意圖。在第五圖(b)中，曲線 SNM_H 表示本發明第四圖 SRAM 胞元 80 在該維持狀態中的 SNM 分佈。

如第五圖(a)和第五圖(b)所示，SRAM 陣列 90 操作在該寫入模式期間，SRAM 胞元 50 被配置在該寫入選定狀態中，分別在該第一和該第二寫入半選定狀態中的 SRAM 胞元 60 和 70 具有與在該維持狀態中的 SRAM 胞元 80 幾乎相同的靜態雜訊邊限(SNM)。雖然，在 SRAM 胞元 60 和 70 的每一胞元中，在開關電路 22 中的傳輸電晶體 221 和傳輸電晶體 222 其中僅僅具有正規臨界電壓的一個傳輸電晶體是接通的，它們的 SNM 與在維持狀態中的 SRAM 胞元 80 的 SNM 幾乎相同。

如第五圖(a)所示，由於在寫入半選定狀態中的干擾，文獻 2 所提 8T SRAM 胞元具有嚴重惡化的 SNM 分佈。如第三圖、第四圖、第五圖(a)和第五圖(b)所示，SRAM 陣列 90 利用字線 WWL0 和 WWL1 來形成一位元交錯的結構，該位元交錯的結構對於軟錯誤(soft error)的影響有益處，且

在讀、寫時不會有半選定的干擾。

實施例

1. 一種靜態隨機存取記憶體胞元包括一閃鎖單元。該閃鎖單元包括一雙反相電路和一開關電路。該雙反相電路具有一第一端和一第二端。該開關電路電連接在該第一端和該第二端之間，其中當該開關電路接通時，該開關電路在該第一端和該第二端之間形成一回授以閃鎖該閃鎖單元，且當該開關電路關斷時，解除該回授以使該靜態隨機存取記憶體胞元將一第一資料位元寫到該閃鎖單元。

2. 根據實施例 1 所述的記憶體胞元，該靜態隨機存取記憶體胞元是一個次臨界電路，且具有一單一讀寫埠。該靜態隨機存取記憶體胞元應用一反短通道效應。

3. 根據上述實施例中任意一個實施例所述的記憶體胞元，該雙反相電路包括一第一反相器和一第二反相器。該第一反相器具有一第一輸入端和一第一儲存節點。該第二反相器具有一第二輸入端和一第二儲存節點，該第二輸入端電連接於該第一儲存節點。該回授是一正回授。該第一端是該第一輸入端，且該第二端是該第二儲存節點。該開關電路包括一第一傳輸電晶體和一第二傳輸電晶體。該第一傳輸電晶體與該雙反相電路並聯，且具有一第一控制端和 p 型導電性。該第二傳輸電晶體，與該第一傳遞電晶體並聯，且具有一第二控制端和 n 型導電性。

4. 根據上述實施例中任意一個實施例所述的記憶體胞元，所述的記憶體胞元更包括一列向字線、一列向反相寫入字線、一虛公用線、一單一位元線、一行向寫入字線、

一第三傳輸電晶體、一第四傳輸電晶體和、一讀取緩衝電晶體。該列向反相寫入字線電連接於該第二控制端。該行向寫入字線電連接於該第一控制端。該第三傳輸電晶體電連接於該第一端和一傳輸節點之間，且具有一第三控制端和 n 型導電性，其中該第三控制端電連接於該行向寫入字線。該第四傳輸電晶體電連接於該傳輸節點和該單一位元線之間，且具有一第四控制端和 n 型導電性，其中該第四控制端電連接於該列向字線。該讀取緩衝電晶體電連接於該傳輸節點和該虛公用線之間，且具有一第五控制端和 n 型導電性，其中該第五控制端電連接於該第一端。

5. 根據上述實施例中任意一個實施例所述的記憶體胞元，該第三傳輸電晶體、該第四傳輸電晶體和該讀取緩衝電晶體均具有一反短通道效應的特性。該雙反相電路包括四個電晶體。所述四個電晶體和該讀取緩衝電晶體的每一電晶體的臨界電壓大於該第一、該第二、該第三和該第四傳輸電晶體的每一電晶體的臨界電壓。當該靜態隨機存取記憶體胞元在一寫入選定狀態中時，該第一和該第二傳輸電晶體被關斷以關斷該開關電路，且該第三和該第四傳輸電晶體被接通以將在該單一位元線上的該第一資料位元寫到該閃鎖單元。當該開關電路接通時，該雙反相電路保持該第一資料位元。當該靜態隨機存取記憶體胞元在一讀取選定狀態中時，該第一、該第二和該第四傳輸電晶體被接通，且該第三傳輸電晶體被關斷以在該單一位元線和該第一端解耦的條件下讀取該第一資料位元。

6. 根據上述實施例中任意一個實施例所述的記憶體

胞元，該靜態隨機存取記憶體胞元包括於一靜態隨機存取記憶體陣列中，以及該靜態隨機存取記憶體陣列利用該行向寫入字線形成一位元交錯的結構。

7. 一種靜態隨機存取記憶體胞元的操作方法，其中該靜態隨機存取記憶體胞元包括一閃鎖單元，該閃鎖單元包括一雙反相電路和電連接在該雙反相電路的第一端和第二端之間的一開關電路，該方法包括下列步驟：藉由控制該開關電路而在該第一端和該第二端之間建立一回授以閃鎖該閃鎖單元；以及，藉由控制該開關電路而解除該回授以將一第一資料位元寫到該閃鎖單元。

8. 根據實施例 7 所述的操作方法，該雙反相電路包括一第一反相器和一第二反相器。該第一反相器具有一第一輸入端和一第一儲存節點。該第二反相器具有一第二輸入端和一第二儲存節點，該第二輸入端電連接於該第一儲存節點。該開關電路包括一第一傳輸電晶體和一第二傳輸電晶體。該第一傳輸電晶體與該雙反相電路並聯，且具有一第一控制端和 p 型導電性。該第二傳輸電晶體與該第一傳遞電晶體並聯，且具有一第二控制端和 n 型導電性。該靜態隨機存取記憶體胞元更包括一行向寫入字線和一系列向反相寫入字線。該行向寫入字線，電連接於該第一控制端，且接收一第一訊號。該列向反相寫入字線，電連接於該第二控制端，且接收一第二訊號。該靜態隨機存取記憶體胞元是一個次臨界電路，且具有一單一讀寫埠。該回授是一正回授。該第一端是該第一輸入端，且該第二端是該第二儲存節點。該靜態隨機存取記憶體胞元在多個不同的時

段中分別具有一維持狀態、一讀取選定狀態、一寫入選定狀態、一讀取半選定狀態、一第一寫入半選定狀態、和一第二寫入半選定狀態。當該靜態隨機存取記憶體胞元被配置在該維持狀態、該讀取選定狀態、該讀取半選定狀態、該第一寫入半選定狀態和該第二寫入半選定狀態的其中之一中時，該回授被建立。當該靜態隨機存取記憶體胞元被配置在該寫入選定狀態中時，該回授被解除。

9. 根據實施例 7-8 中任意一個實施例所述的操作方法，更包括步驟：藉由該第一和該第二傳輸電晶體分別響應該第一訊號和該第二訊號而使該閃鎖單元適用於該維持狀態、該讀取選定狀態、該寫入選定狀態、該讀取半選定狀態、該第一寫入半選定狀態、和該第二寫入半選定狀態。

10. 一種靜態隨機存取記憶體胞元，包括一雙反相電路和一開關電路。該雙反相電路具有一第一端及一第二端。該開關電路電連接在該第一端和該第二端之間，俾於其間形成一第一連接狀態，並因應一輸入訊號而將該第一端與該第二端之間改變成一第二連接狀態。

綜上所述，本案所提出的技術方案達成了發明內容所設定的功效。唯，以上所述者僅為本案之較佳實施例，舉凡熟悉本案技藝之人士，在爰依本案精神所作之等效修飾或變化，皆應涵蓋於以下之申請專利範圍內。

【圖式簡單說明】

本案得藉由下列圖式之詳細說明，俾得更深入之瞭解：

第一圖：本發明一實施例所提靜態隨機存取記憶體(SRAM)胞元的示意圖；

第二圖：本發明一實施例所提SRAM胞元的一配置的示意圖；

第三圖：本發明一實施例所提SRAM陣列在讀取模式中一配置的示意圖；

第四圖：本發明一實施例所提SRAM陣列在寫入模式中一配置的示意圖；

第五圖(a)：本發明第四圖和文獻2所提SRAM胞元在寫入半選定狀態中的靜態雜訊邊限(SNM)分佈的示意圖；
以及

第五圖(b)：本發明第四圖所提SRAM胞元在維持狀態中的SNM分佈的示意圖。

【主要元件符號說明】

20、30、40、50、60、70、80：靜態隨機存取記憶體胞元

201、901、902：配置

28：閃鎖單元

21：雙反相電路

211、212：反相器

2111、2121：拉升電晶體

2112、2122：下拉電晶體

211A、212A：輸入端

211B、212B：儲存節點

21A：第一端

21B：第二端

22：開關電路

221、222、231、232：傳輸電晶體

221C、222C、231C、232C：控制端

23：輔助電路

233：讀取緩衝電晶體

23A：傳輸節點

90：靜態隨機存取記憶體陣列

BL：位元線

DB1、DB2、DB3：資料位元

FB1：回授

S1：輸入訊號

S11、S12：訊號

SNM_1、SNM_L、SNM_V、SNM_H：曲線

VDD：供應電壓

VVSS：虛公用線

WL、WWL、WWLb：字線

七、申請專利範圍：

1. 一種靜態隨機存取記憶體胞元，包括：

一閃鎖單元，包括：

一雙反相電路，具有一第一端和一第二端；以及

一開關電路，電連接在該第一端和該第二端之間，並包括一第一傳輸電晶體和一第二傳輸電晶體，其中該第一傳輸電晶體與該雙反相電路並聯，並具有一第一控制端和 p 型導電性，且該第二傳輸電晶體與該第一傳遞電晶體並聯，並具有一第二控制端和 n 型導電性；

一列向字線；

一列向反相寫入字線，電連接於該第二控制端；

一虛公用線；

一單一位元線；

一行向寫入字線，電連接於該第一控制端；以及

一輔助電路，電連接於該閃鎖單元、該單一位元線、該列向字線、該行向寫入字線和該虛公用線，以控制該閃鎖單元，其中當該開關電路接通時，該開關電路在該第一端和該第二端之間形成一回授以閃鎖該閃鎖單元，且當該開關電路關斷時，解除該回授以使該靜態隨機存取記憶體胞元將一第一資料位元寫到該閃鎖單元。

2. 如申請專利範圍第 1 項的記憶體胞元，其中：

該靜態隨機存取記憶體胞元是一個次臨界電路，且具有一單一讀寫埠；以及

該靜態隨機存取記憶體胞元應用一反短通道效應。

3. 如申請專利範圍第 1 項的記憶體胞元，其中：

該雙反相電路包括：

一第一反相器，具有一第一輸入端和一第一儲存節點；以及

一第二反相器，具有一第二輸入端和一第二儲存節點，該第二輸入端電連接於該第一儲存節點；

該回授是一正回授；

該第一端是該第一輸入端，且該第二端是該第二儲存節點。

4.如申請專利範圍第 1 項的記憶體胞元，其中該輔助電路包括：

一傳輸節點；

一第三傳輸電晶體，電連接於該第一端和該傳輸節點之間，且具有一第三控制端和 n 型導電性，其中該第三控制端電連接於該行向寫入字線；

一第四傳輸電晶體，電連接於該傳輸節點和該單一位元線之間，且具有一第四控制端和 n 型導電性，其中該第四控制端電連接於該列向字線；以及

一讀取緩衝電晶體，電連接於該傳輸節點和該虛公用線之間，且具有一第五控制端和 n 型導電性，其中該第五控制端電連接於該第一端。

5.如申請專利範圍第 4 項的記憶體胞元，其中：

該第三傳輸電晶體、該第四傳輸電晶體和該讀取緩衝電晶體均具有一反短通道效應的特性；

該雙反相電路包括四個電晶體；

所述四個電晶體和該讀取緩衝電晶體的每一電晶體的

臨界電壓大於該第一、該第二、該第三和該第四傳輸電晶體的每一電晶體的臨界電壓；

當該靜態隨機存取記憶體胞元在一寫入選定狀態中時，該第一和該第二傳輸電晶體被關斷以關斷該開關電路，且該第三和該第四傳輸電晶體被接通以將在該單一位元線上的該第一資料位元寫到該門鎖單元；

當該開關電路接通時，該雙反相電路保持該第一資料位元；以及

當該靜態隨機存取記憶體胞元在一讀取選定狀態中時，該第一、該第二和該第四傳輸電晶體被接通，且該第三傳輸電晶體被關斷以在該單一位元線和該第一端解耦的條件下讀取在該門鎖單元中的該第一資料位元。

6.如申請專利範圍第 1 項的記憶體胞元，其中：

該靜態隨機存取記憶體胞元包括於一靜態隨機存取記憶體陣列中；以及

該靜態隨機存取記憶體陣列利用該行向寫入字線形成一位元交錯的結構。

7.一種靜態隨機存取記憶體胞元的操作方法，其中該靜態隨機存取記憶體胞元包括一門鎖單元，該門鎖單元包括一雙反相電路和電連接在該雙反相電路的第一端和第二端之間的一開關電路，該開關電路包括一第一傳輸電晶體和一第二傳輸電晶體，該第一傳輸電晶體與該雙反相電路並聯，並具有一第一控制端和 p 型導電性，且該第二傳輸電晶體與該第一傳遞電晶體並聯，並具有一第二控制端和 n 型導電性，該方法包括下列步驟：

藉由控制該第一傳輸電晶體和該第二傳輸電晶體，使該靜態隨機存取記憶體胞元在多個不同的時段中分別具有一維持狀態、一讀取選定狀態、一寫入選定狀態、一讀取半選定狀態、一第一寫入半選定狀態、和一第二寫入半選定狀態；

當該靜態隨機存取記憶體胞元被配置在該維持狀態、該讀取選定狀態、該讀取半選定狀態、該第一寫入半選定狀態和該第二寫入半選定狀態的其中之一中時，在該第一端和該第二端之間建立一回授以閃鎖該雙反相電路；以及

當該靜態隨機存取記憶體胞元被配置在該寫入選定狀態中時，解除該回授以將一第一資料位元寫到該雙反相電路。

8.如申請專利範圍第 7 項的操作方法，其中：

該雙反相電路包括：

一第一反相器，具有一第一輸入端和一第一儲存節點；以及

一第二反相器，具有一第二輸入端和一第二儲存節點，該第二輸入端電連接於該第一儲存節點；

該靜態隨機存取記憶體胞元更包括：

一行向寫入字線，電連接於該第一控制端，且接收一第一訊號；以及

一列向反相寫入字線，電連接於該第二控制端，且接收一第二訊號；

該靜態隨機存取記憶體胞元是一個次臨界電路，且具有一單一讀寫埠；

該回授是一正回授；以及

該第一端是該第一輸入端，且該第二端是該第二儲存節點。

9.如申請專利範圍第 8 項的操作方法，更包括步驟：藉由該第一和該第二傳輸電晶體分別響應該第一訊號和該第二訊號而使該閃鎖單元在所述多個不同的時段中分別適用於該維持狀態、該讀取選定狀態、該寫入選定狀態、該讀取半選定狀態、該第一寫入半選定狀態、和該第二寫入半選定狀態。

10.一種靜態隨機存取記憶體胞元，包括：

一閃鎖單元，包括：

一雙反相電路，具有一第一端及一第二端；以及

一開關電路，包括一第一傳輸電晶體和一第二傳輸電晶體，電連接在該第一端和該第二端之間，俾於其間形成一第一連接狀態，並因應一輸入訊號而將該第一端與該第二端之間改變成一第二連接狀態，其中該第一傳輸電晶體與該雙反相電路並聯，並具有一第一控制端和 p 型導電性，且該第二傳輸電晶體與該第一傳遞電晶體並聯，並具有一第二控制端和 n 型導電性；

一列向字線；

一列向反相寫入字線，電連接於該第二控制端；

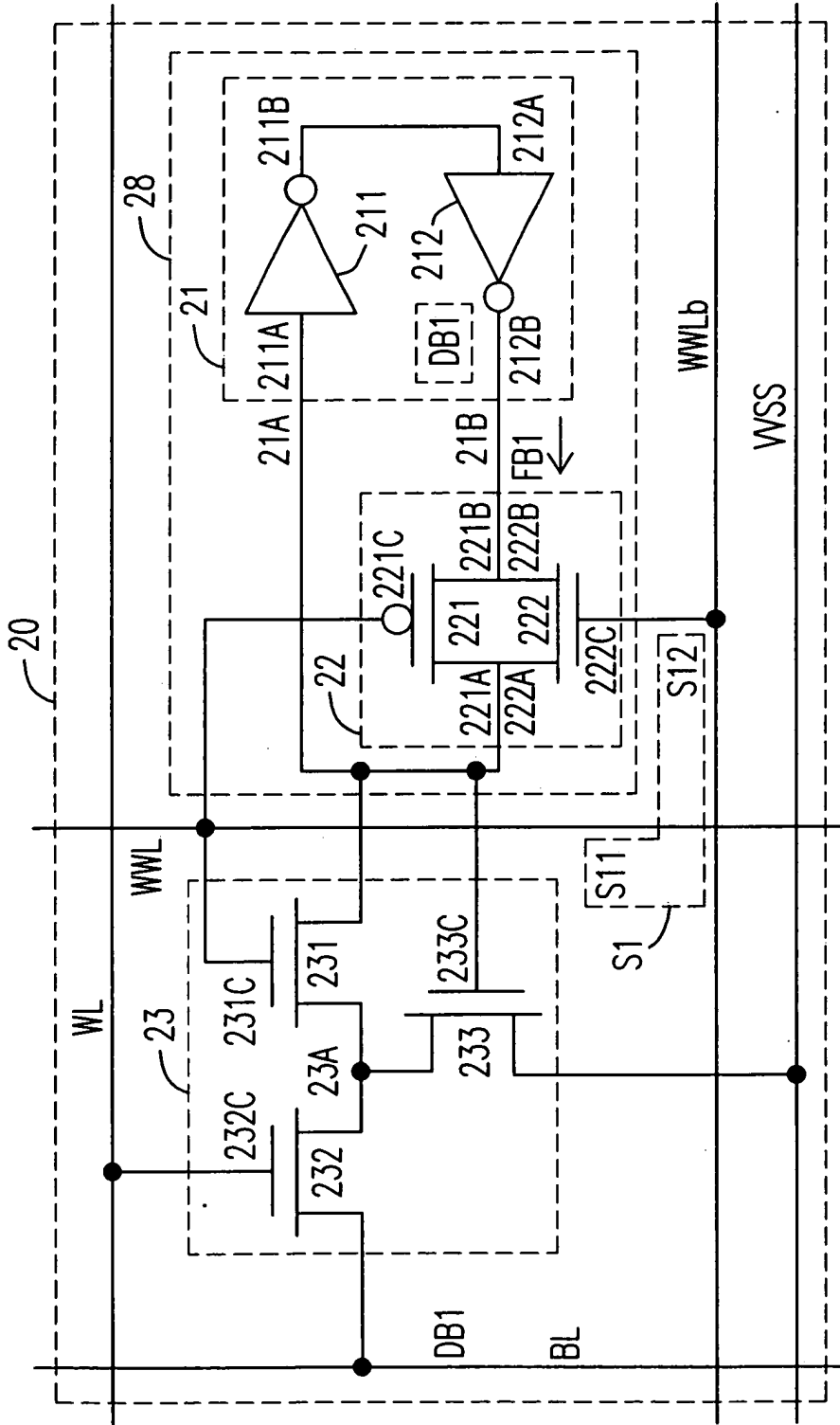
一虛公用線；

一單一位元線；

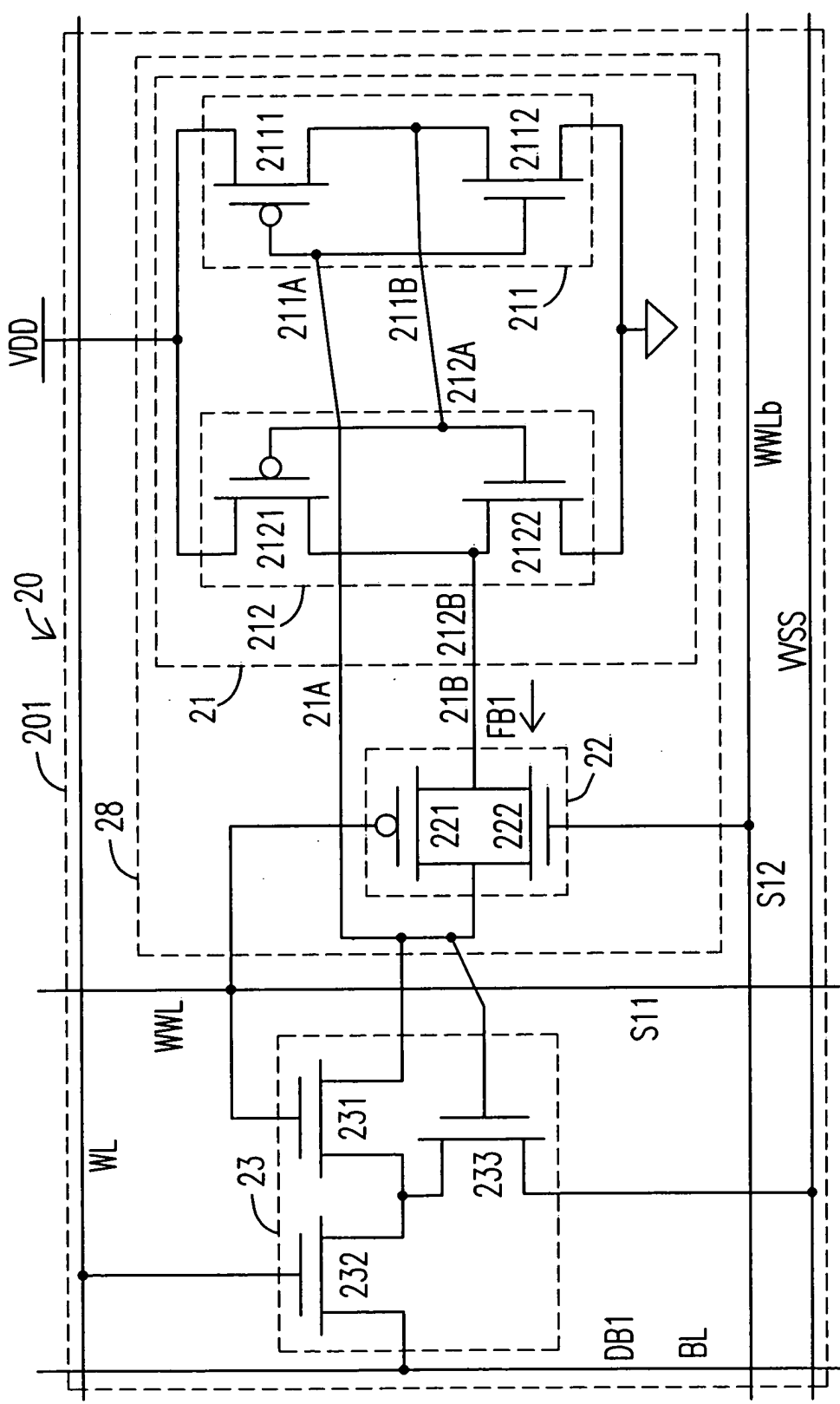
一行向寫入字線，電連接於該第一控制端；以及

一輔助電路，電連接於該閃鎖單元、該單一位元線、

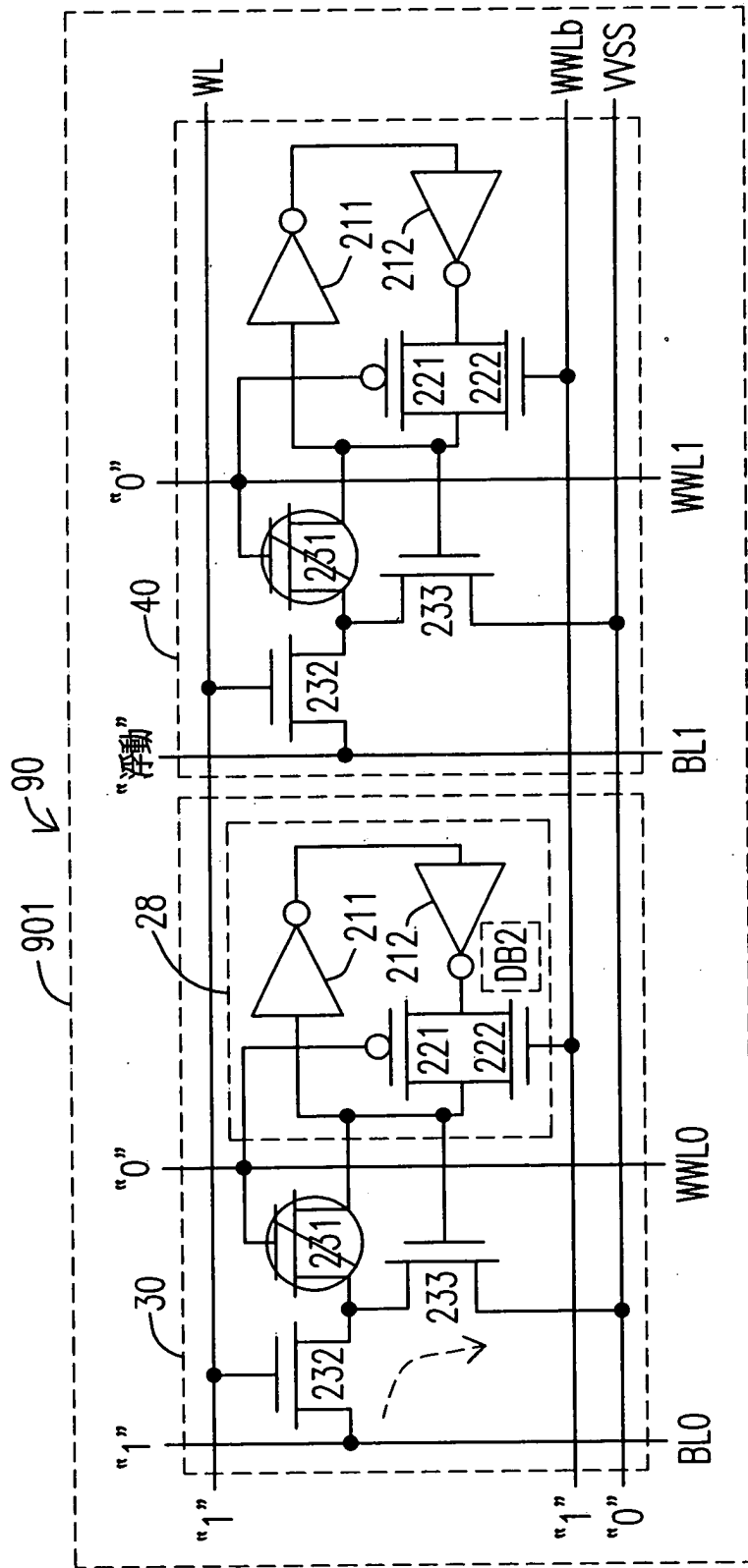
該列向字線、該行向寫入字線和該虛公用線，以控制該門鎖單元。



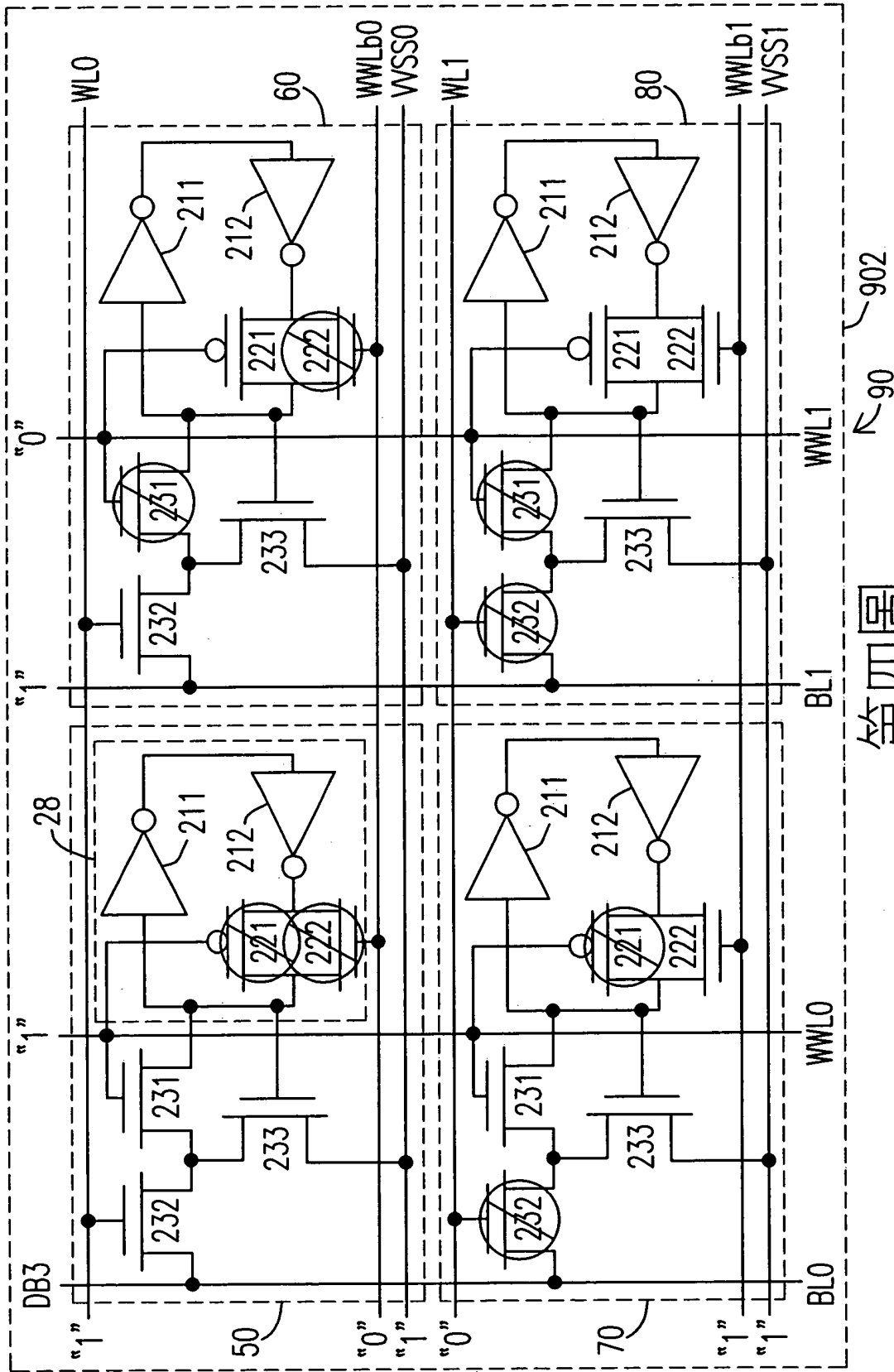
第一圖



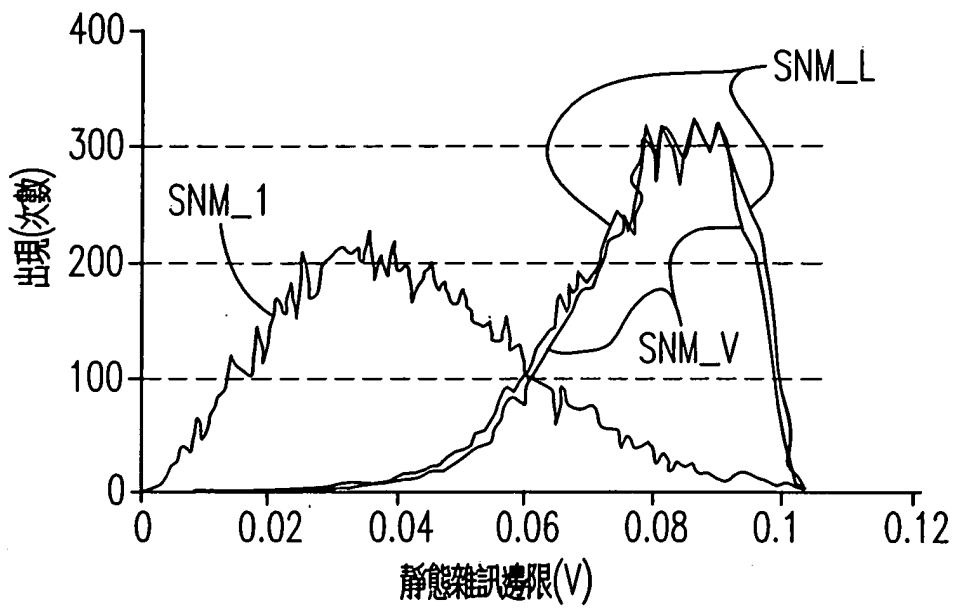
第二圖



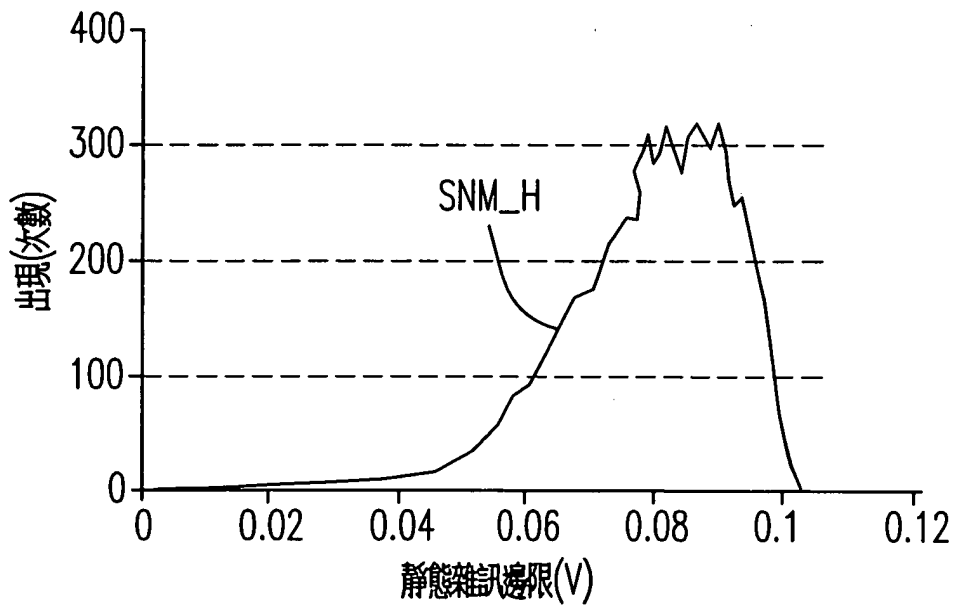
第三圖



第四圖



第五圖(a)



第五圖(b)