



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201438109 A

(43)公開日：中華民國 103 (2014) 年 10 月 01 日

(21)申請案號：102110004

(22)申請日：中華民國 102 (2013) 年 03 月 21 日

(51)Int. Cl.：

H01L21/336 (2006.01)

H01L21/28 (2006.01)

(71)申請人：國立交通大學(中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)

新竹市大學路 1001 號

(72)發明人：劉柏村 LIU, PO TSUN (TW)；鄧立峯 TENG, LI FENG (TW)；羅婉柔 LO, YUAN

JOU (TW)；李耀仁 LEE, YAO JEN (TW)

(74)代理人：黃孝惇

申請實體審查：有 申請專利範圍項數：7 項 圖式數：4 共 21 頁

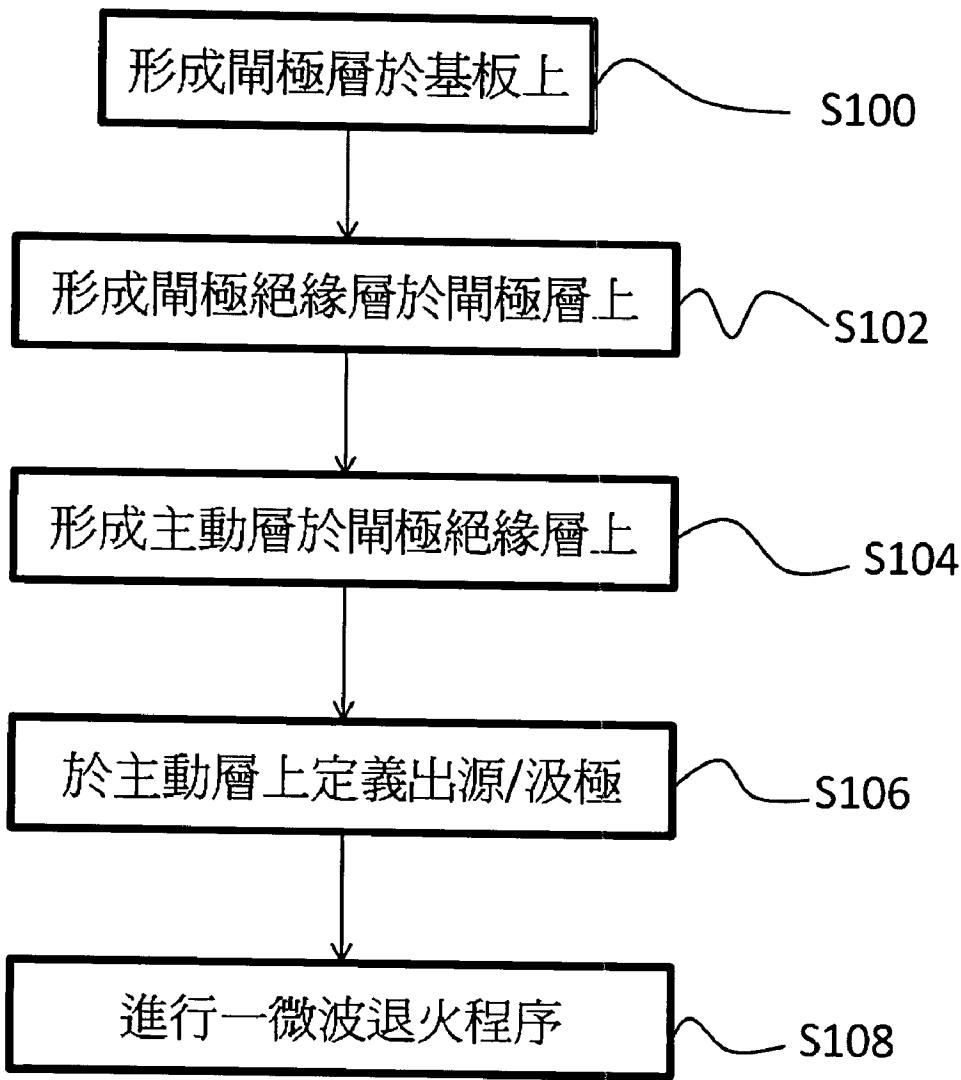
(54)名稱

半導體元件製造方法

METHOD FOR FABRICATING SEMICONDUCTOR DEVICE

(57)摘要

本發明提供一種半導體元件製造方法，用以增強一半導體元件之效能，上述製造方法至少包含下列步驟：首先，形成一閘極層於一基板上。接著，形成一閘極絕緣層於閘極層上，再形成一主動層於閘極絕緣層上。其中，上述主動層係由一微波吸收材料所組成。最後，定義一源/汲極於主動層上，並進行一微波退火程序，以形成半導體元件。



第 1 圖

發明摘要

※ 申請案號：102110004

※ 申請日：102. 3. 21

※IPC 分類： H01L 21/336 2006.01
H01L 21/28 2006.01

【發明名稱】(中文/英文)

半 導 體 元 件 製 造 方 法 /METHOD FOR FABRICATING SEMICONDUCTOR DEVICE

【中文】

本發明提供一種半導體元件製造方法，用以增強一半導體元件之效能，上述製造方法至少包含下列步驟：首先，形成一閘極層於一基板上。接著，形成一閘極絕緣層於閘極層上，再形成一主動層於閘極絕緣層上。其中，上述主動層係由一微波吸收材料所組成。最後，定義一源/汲極於主動層上，並進行一微波退火程序，以形成半導體元件。

【英文】

A method for fabricating a semiconductor device is disclosed in the present invention. The abovementioned method at least comprises the following steps. First, a gate is formed on a substrate. A gate insulating layer is then formed on the gate, and further an active layer is disposed on the gate insulating layer wherein the active layer is composed of a microwave absorbing material. Source/ drain are defined on the active layer to form the semiconductor device, and a microwave annealing process is finally performed thereon.

【代表圖】

【本案指定代表圖】：第（ 1 ）圖。

【本代表圖之符號簡單說明】：

S100~S108 半導體元件製造步驟

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

(無)

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

半導體元件製造方法 /METHOD FOR FABRICATING SEMICONDUCTOR DEVICE

【技術領域】

本發明係有關於一種半導體元件製造方法，尤其是一種利用微波退火 (microwave annealing) 技術於製程中以增強半導體元件的效能與電性可靠度之半導體元件製造方法。

【先前技術】

隨著平面顯示器技術的蓬勃發展，薄膜電晶體(Thin Film Transistor, TFT) 元件的應用獲得極大的重視。當下，使用薄膜型元件取代外接式積體電路組，以完成製作各種功能型電路於顯示面板上的系統整合面板(System on Panel,SoP)技術，已經被廣泛地發展來達成產品輕、薄、低成本與高製造良率的目標。其中，非晶態金屬氧化物半導體由於具有高的載子遷移率、低製程溫度、均勻性極佳以及透明等特性，十分適合應用於未來的顯示器相關產品以及高的穿透率等特性，普遍被認為是下個世代顯示器的主流之一。

然而，上述技術與材料一直以來都存在著不少問題，面臨技術突破上的瓶頸。首先，基於目前薄膜電晶體的製程，導致得到的薄膜電晶體內往往會存在有許多缺陷(defects)，而此些缺陷的存在會造成載子移動率(mobility)的下降與低導通電流，同時也會造成元件漏電流的提高而使得元件可靠度降低。

近來雖然提出不少修補缺陷的方法，如：利用氫或氧或氨電漿的處理，如：高壓下以高溫水蒸氣修補的方式也曾被提出，或是如：利用爐管退火程序處理等。然而，以上述傳統爐管退火程序來說，高溫、長時間的製程不僅容易造成元件的損毀，同時也增加了製程上的負擔。

有鑑於前述，故需要提供一種半導體元件製造方法，除可用以修補半

導體元件中的缺陷結構，更可以進而增強半導體元件之效能。

【發明內容】

本發明提供一種半導體元件製造方法，可用以修補半導體元件中的缺陷結構，更進而增強半導體元件之效能。前述製造方法至少包含下列步驟：

首先，形成一閘極層於一基板上。接著，形成一閘極絕緣層於閘極層上，再形成一主動層於閘極絕緣層上。其中，上述主動層係由一微波吸收材料所組成。最後，定義一源/汲極於主動層上，以形成半導體元件，並進行一微波退火程序。

在本發明一實施例中，其中微波吸收材料係包含一金屬氧化物、一金屬氮化物或一金屬氮氧化物。

在本發明一實施例中，其中上述主動層係為一非晶態材料層。

在本發明一實施例中，其中上述進行微波退火程序的步驟中所產生之微波頻率係介於 2GHz 至 18GHz 之間。

在本發明一實施例中，其中上述進行微波退火程序的步驟中所產生之微波功率係不大於 1500W。

在本發明一實施例中，其中上述微波退火程序的處理時間係介於 0 秒至 600 秒之間。

在本發明一實施例中，其中於上述進行微波退火程序的步驟中半導體元件的溫度係不大於攝氏 600 度。

故而，關於本發明之優點與精神可以藉由以下發明詳述及附圖式解說來得到進一步的瞭解。

【圖式簡單說明】

第 1 圖顯示本發明一實施例中半導體元件製造方法之流程示意圖；

第 2 圖顯示本發明一實施例中半導體元件之橫截面示意圖；

第 3A 圖顯示本發明第一實施例所提供之半導體元件於不同微波退火製程條件下汲極電流與閘極電壓之關係；

第 3B 圖顯示本發明第一實施例所提供之半導體元件於不同微波退火

製程條件下受偏壓應力效應之後的臨界電壓漂移曲線；

第 3C 圖顯示本發明第一實施例所提供之半導體元件與習知元件的電性效能比較圖；

第 3D 圖顯示本發明第一實施例所提供之半導體元件與習知元件的電性可靠度效能圖；

第 3E 圖顯示本發明第一實施例所提供之半導體元件與習知元件的氧鍵結分析比較圖；

第 4A 圖顯示本發明第二實施例所提供之半導體元件與習知元件的汲極電流與閘極電壓之關係；以及

第 4B 圖顯示本發明第二實施例所提供之半導體元件與習知元件的電性效能比較圖。

【實施方式】

承前述，請參考第 1 圖與第 2 圖，第 1 圖顯示本發明一實施例中半導體元件製造方法之流程示意圖，而第 2 圖顯示本發明一實施例中半導體元件之橫截面示意圖。如圖所示，本發明提供一種半導體元件製造方法，其至少包含下列步驟：首先，於一基板 10 上形成一閘極層 20，如步驟 S100 所示。接著，形成閘極絕緣層 30 於閘極層 20 上 S102，再形成一主動層 40 於閘極絕緣層 30 上 S104。最後，於主動層 40 上定義源極與汲極 50 以形成一半導體元件 100 後，再對此半導體元件 100 進行一微波退火程序，如步驟 S106 與 S108 所示。

必須說明的是，本發明中主動層 40 係直接由一微波吸收材料所組成，因而本發明所提供之半導體元件中並不需要額外增設任何微波吸收單元或是額外的加熱源。較佳地，上述微波吸收材料可為一金屬氧化物、一金屬氮化物或一金屬氧氮化物。另外，本發明所使用之基板也不予以限制，亦即玻璃基板或塑膠基板均可。

後續，本發明所提供之半導體製造方法將經由將一第一實施例與一第二實施例詳述如后。首先，在本發明之第一實施例中，步驟 S100 係於清洗過的玻璃基板 10 上利用直流濺鍍方式(DV sputter)沉積 100nm 的金屬鉬(Mo)

做為閘極電極 20。接著，利用化學氣相沈積法(PECVD)在 400°C 以下沉積 150nm 的氮化矽做為閘極絕緣層 30，即步驟 S102。

再者，於步驟 S104 中，主動層 40 係使用直流濺鍍沉積之 50nm 非晶態氧化銦鎵鋅薄膜(a-IGZO)，其使用之氧化銦鎵鋅靶材成分比例為 1:1:1:4(In:Ga:Zn:O)，其他製程條件則為濺鍍系統功率 100W、通入氬氣(流量為 100sccm)、室溫，但僅為一較佳實施例說明，本發明並不欲以此為限。

於步驟 S106 中，所謂於主動層 40 上定義源極與汲極，則是先利用交流濺鍍(RF sputter)沈積 100nm 的氧化銦錫薄膜(ITO)，再利用光罩搭配後續之蝕刻製程進行之，以完成如第 2 圖所示之半導體元件 100。最後，利用微波加熱系統對半導體元件 100 進行退火，且步驟 S108 之製程條件如下：

退火處理時間：0 秒~600 秒

微波強度：不大於 1500W

微波頻率：2GHz~18GHz

進一步來說，依照步驟 S108 的製程條件，可將半導體元件概略分為四組：1P_100s(微波強度 600W 搭配退火處理時間 100s)、1P_300s(微波強度 600W 搭配退火處理時間 300s)、1P_600s(微波強度 600W 搭配退火處理時間 600s)以及 2P_100s(微波強度 1200W 搭配退火處理時間 100s)，以進行後續元件特性的評估。

必須注意的是，雖然第一實施例中主動層 40 所使用之材料為氧化銦鎵鋅材料(即金屬氧化物)，但如前文所述，本發明亦適用於金屬氮化物或金屬氮氧化物。因此，在本發明第二實施例中所提供之半導體元件的製造方法係先於步驟 S100 中利用直流濺鍍方式沉積 100nm 的金屬鎢鉬(MoW)於基板 10 上做為閘極電極 20。接著，利用化學氣相沈積法(PECVD)沉積 300nm 的二氧化矽做為閘極絕緣層 30，即步驟 S102。

再者，於步驟 S104 中，主動層 40 係使用直流磁控濺鍍沉積 50nm 非晶態氮摻雜之氧化銦鎵鋅薄膜(a-IGZO:N)。接著再於步驟 S106 中，在主動層 40 上則是先利用交流濺鍍(RF sputter)沈積 100nm 的氧化銦錫薄膜(ITO)，再利用光罩搭配後續之蝕刻製程定義出源極與汲極，以完成如第 2 圖所示之半導體元件 100。最後，利用微波退火系統對半導體元件 100 進行退火，且步驟 S108 之製程條件如下：

退火處理時間：300 秒

微波強度：600W

微波頻率：5.8GHz

接著，依據上述第一實施例之製造方法所得之半導體元件，其元件特性請參考第 3A 圖至第 3E 圖。其中，第 3A 圖顯示本發明第一實施例所提供之半導體元件於不同微波退火製程條件下汲極電流與閘極電壓之關係，第 3B 圖顯示本發明第一實施例所提供之半導體元件於不同微波退火製程條件下受偏壓應力效應之後的臨界電壓漂移曲線，第 3C 圖顯示本發明第一實施例所提供之半導體元件與習知元件的電性效能比較圖，第 3D 圖顯示本發明第一實施例所提供之半導體元件與習知元件的電性可靠度效能圖，以及第 3E 圖顯示本發明第一實施例所提供之半導體元件與習知元件的氧鍵結分析比較圖。另外，上述所謂之習知元件係指經由習知長時間(1 小時)高溫爐管(450°C)退火所製備之元件。

首先，如第 3A 圖所示，第 3A 圖係於汲極-源極電壓(V_{DS})11V 下觀察包含有主動層為非晶態氧化銦鎵鋅(a-IGZO)之半導體元件於不同微波退火條件(如：1P_100s、1P_300s、1P_600s、2P_100s)下的轉移特性曲線、電子遷移率以及臨界電壓等特性。如圖所示，當在固定之微波強度(100W)，且退火處理時間從 100s 增加至 600s 時，半導體元件的臨界電壓從 11.4V 降至 1.62V，而其電子遷移率則是隨之遞增。由此可知，增加退火處理時間可以提升半導體元件的電性效能。再者，當微波強度由 600W 增加至 1200W，而退火處理時間均維持為 100s 時，半導體元件的臨界電壓從 11.4V 降至 3.13V，而其電子遷移率從 4.86 cm^2/Vs 增加至 13.9 cm^2/Vs 。也就是說半導體元件經上述微波退火處理後均能提升其電性效能。

接著，當施予 2.5MV/cm 之電場於閘極電極，而源極與汲極接地時，在不同的微波退火條件下，閘極偏壓應力對於半導體元件的影響則如第 3B 圖所示。其中，經退火處理過後的半導體元件，其臨界電壓係由 1P_100s 的 16.2V 降至 2P_100s 的 1.6V，由此可知，半導體元件經上述微波退火處理後也提升了其電性可靠度。同樣地，提高微波強度以及處理時間亦可有效地提升半導體元件之微波吸收性質。

請繼續參考第 3C 圖至第 3E 圖，上述三圖係將本發明第一實施例所提供

之半導體元件(亦即經微波退火處理者,在此係以 2P_100s 為例)與習知元件(經高溫爐管退火者)進行一系列之元件特性比較。首先,如第 3C 圖所示,本發明所提供之經微波退火處理之半導體元件,其電子遷移率明顯高於習知元件,且其次臨界擺幅小於習知元件,由於半導體元件的缺陷密度(N_i)可經由將次臨界擺幅帶入下式取得:

$$S.S. = \log_e 10 \times k_B T / e [1 + e(tN_i + D_{it})/C_i],$$

其中 K_B 代表波茲曼常數, T 代表溫度, D_{it} 代表介面缺陷密度, t 代表主動層的厚度, e 代表元電荷,另外假設 tN_i 為主要,而 D_{it} 可被忽略,此時本發明所提供之半導體元件與習知元件的缺陷密度分別為 2.49×10^{17} 以及 $3.51 \times 10^{17} \text{ cm}^{-3}$ 。也就是說,本發明第一實施例所提供之半導體元件的缺陷密度低於習知元件。

最後,請參考第 3E 圖,其經過微波退火處理後的半導體元件具有較強的氧鍵結能(請見 Peak A)以及較低的缺陷成份結構(請見 Peak B)。因此,上述資料確認了微波能量可以有效地滲透至半導體元件之主動層內,修補與改善元件中的缺陷結構,進而增強半導體元件的電性效能與可靠度。

請進一步參考第 4A 圖至第 4B 圖,第 4A 圖顯示本發明第二實施例所提供之半導體元件與習知元件的汲極電流與閘極電壓之關係,而第 4B 圖顯示本發明第二實施例所提供之半導體元件與習知元件的電性效能比較圖。基本上,本發明之第二實施例與第一實施例最主要的差異係在於主動層的材質不同,在第二實施例中主動層係由含氮摻雜之氧化銦鎵鋅所組成。

如第 4A 圖以及第 4B 圖所示,曲線(a)係為本發明第二實施例所提供之經微波退火處理過之半導體元件(微波強度 600W,處理時間為 300s),曲線(b)則為習知經高溫爐管退火處理之元件(350°C,處理時間為 1hr),本發明第二實施例所提供之半導體元件具有較低之臨界電壓以及次臨界擺幅,也因此其相較於習知元件也具有較低之缺陷密度。由此可知,本發明所提供之製造方法亦可適用於如金屬氮化物或金屬氮氧化物等微波吸收材料所組成之主動層上。

綜上所述,本發明提供一種半導體元件製造方法,旨在利用具有微波吸收特性之主動層以及後續之微波退火程序之處理,修補元件中的缺陷結

構，同時具有下述特點：

1、於本發明所提供之半導體元件製造方法中，上述步驟 S108 中半導體元件的溫度係不大於攝氏 600 度，故整體製程係為一低熱預算製程，能有效減少熱能消耗；

2、降低製程時間，以提高產能；

3、可針對特定材料或特定薄膜層進行加熱(亦即前文所述之主動層)，減少高溫對其他材料層造成的影響；

4、熱均勻度高；以及

5、微波退火所得之半導體元件，相較於傳統爐管退火的處理，其基本電性、載子移動率、次臨界擺幅，以及長時間操作的可靠度等特性皆有改善。

以上所述僅為本發明之較佳實施例而已，並非用以限定本發明之申請專利範圍；凡其它未脫離本發明所揭示之精神下所完成之等效改變或修飾，均應包含在下述之申請專利範圍內。

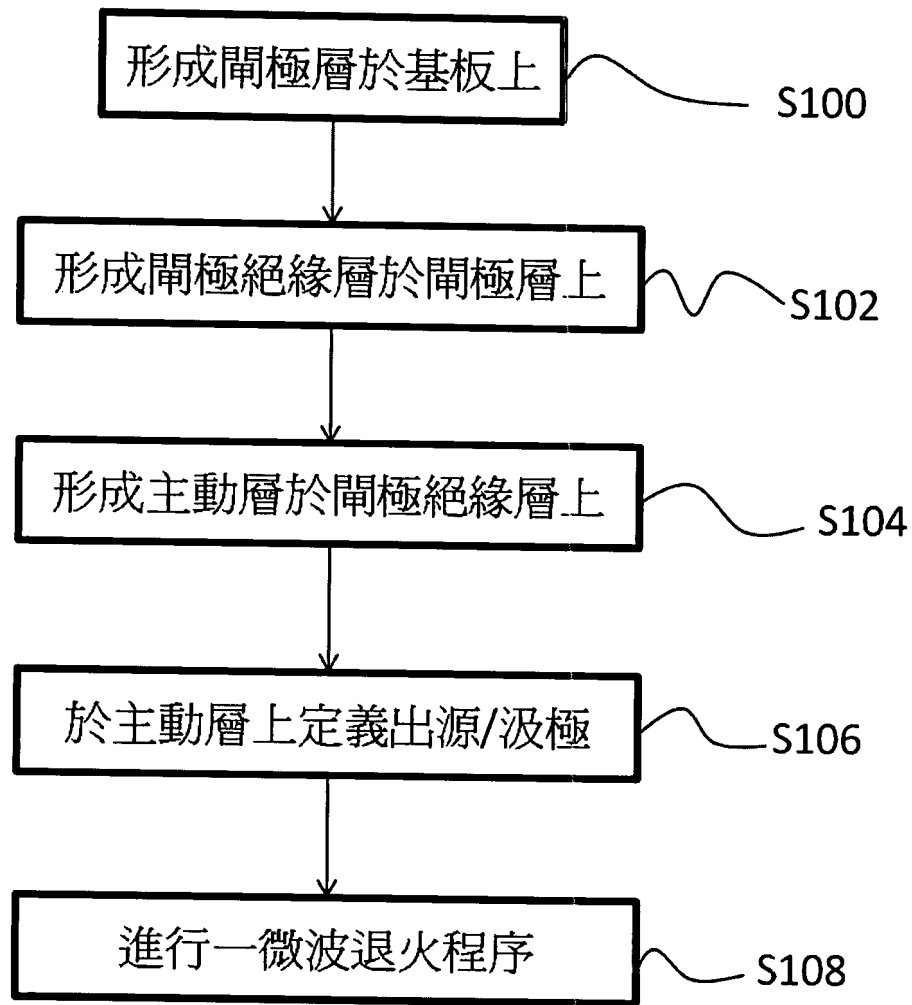
【符號說明】

10	基板
20	閘極
30	閘極絕緣層
40	主動層
50	源 / 汲極
100	半導體元件
S100~S108	半導體元件製造步驟

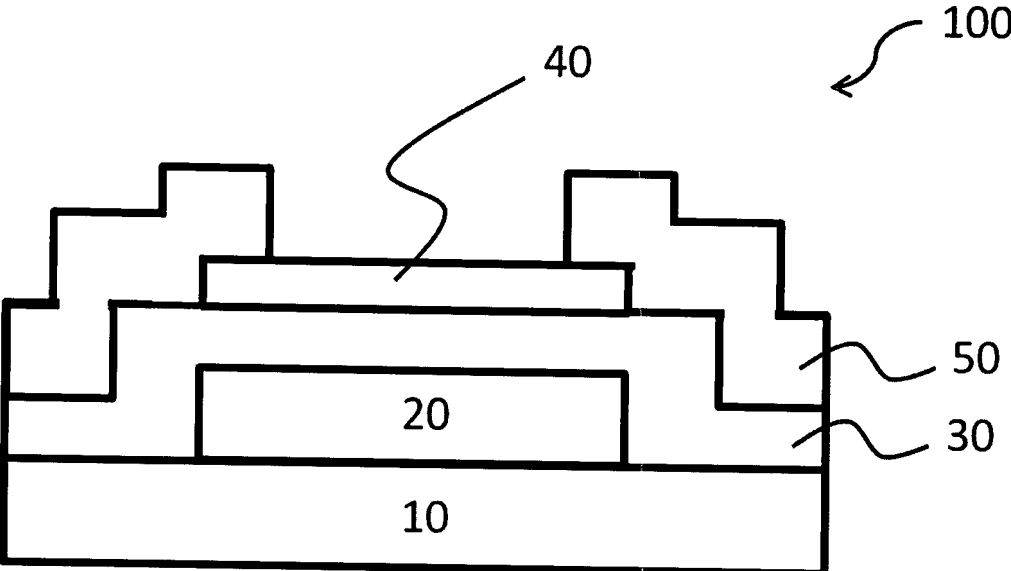
申請專利範圍

1. 一種半導體元件製造方法，用以增強一半導體元件之效能，該製造方法至少包含下列步驟：
 - 形成一閘極層於一基板上；
 - 形成一閘極絕緣層於該閘極層上；
 - 形成一主動層於該閘極絕緣層上，且該主動層係由一微波吸收材料所組成；
 - 定義一源/汲極於該主動層上，以形成該半導體元件；以及
 - 進行一微波退火程序。
2. 如申請專利範圍第 1 項所述之製造方法，其中該微波吸收材料係由一金屬氧化物、一金屬氮化物以及一金屬氮氧化物群組中所選出。
3. 如申請專利範圍第 2 項所述之製造方法，其中該主動層係為一非晶態材料層。
4. 如申請專利範圍第 1 項所述之製造方法，其中於該進行該微波退火程序的步驟中所產生之微波頻率係介於 2GHz 至 18GHz 之間。
5. 如申請專利範圍第 1 項所述之製造方法，其中於該進行該微波退火程序的步驟中所產生之微波功率約係不大於 1500W。
6. 如申請專利範圍第 1 項所述之製造方法，其中該微波退火程序的處理時間係介於 0 秒至 600 秒之間。
7. 如申請專利範圍第 1 項所述之製造方法，其中於該進行該微波退火程序的步驟中該半導體元件的溫度係不大於攝氏 600 度。

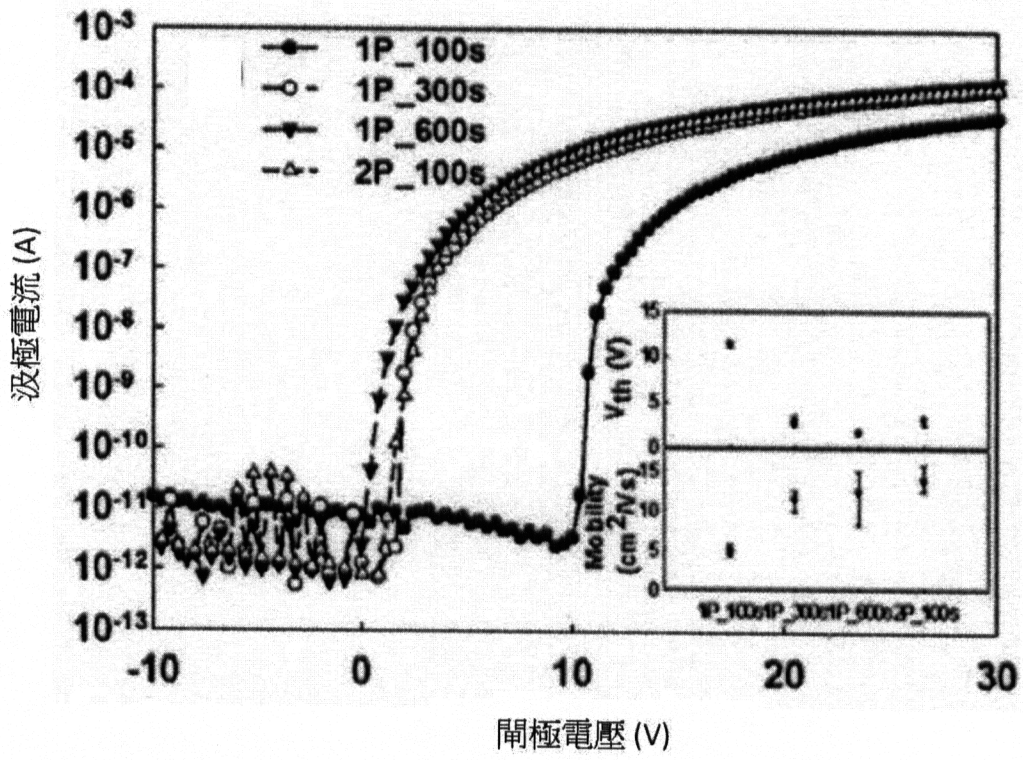
圖式



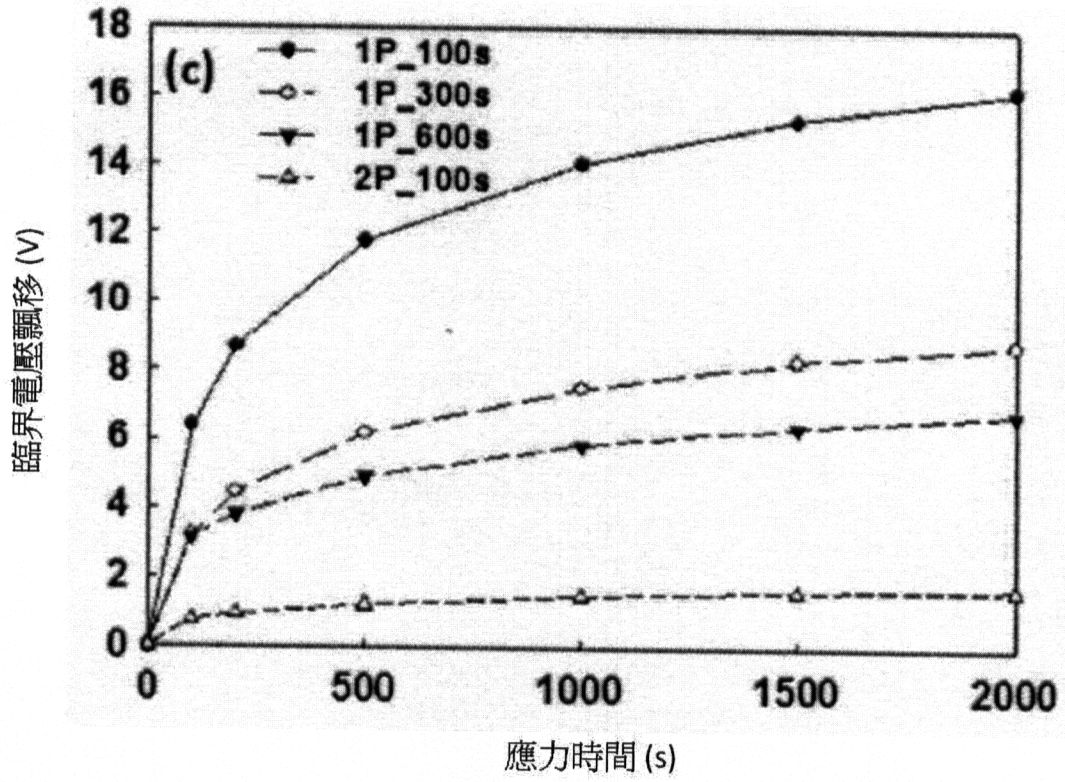
第 1 圖



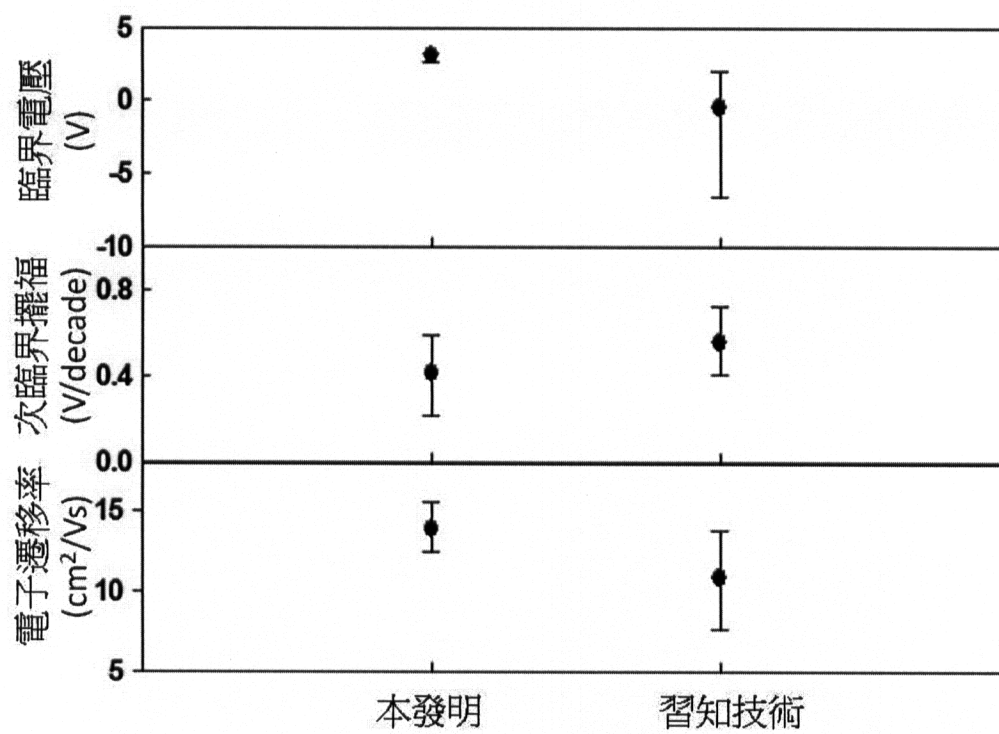
第 2 圖



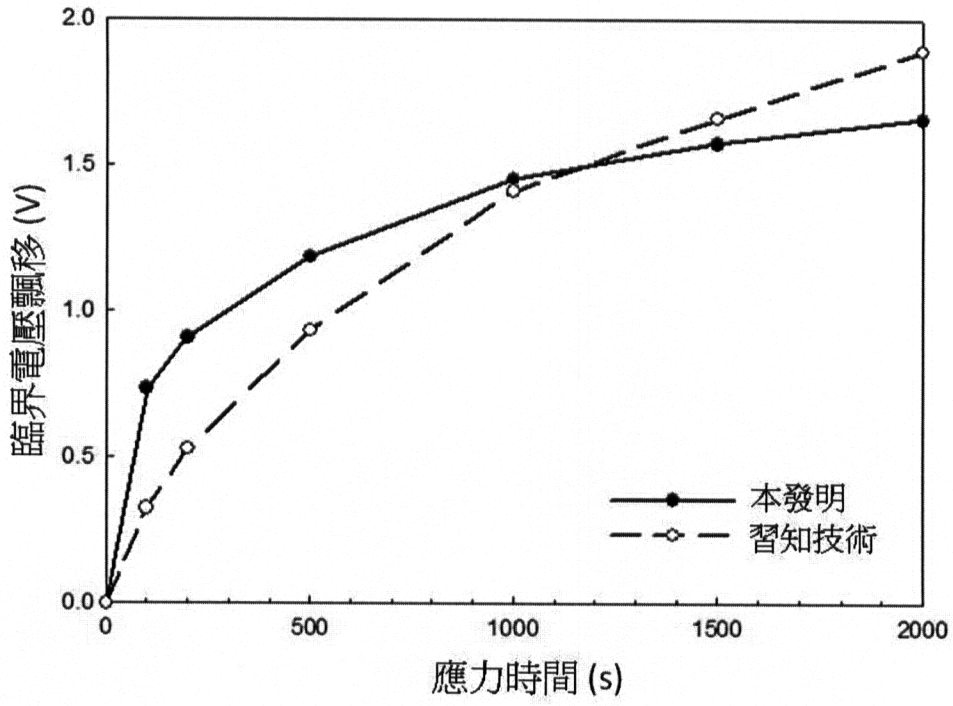
第3A圖



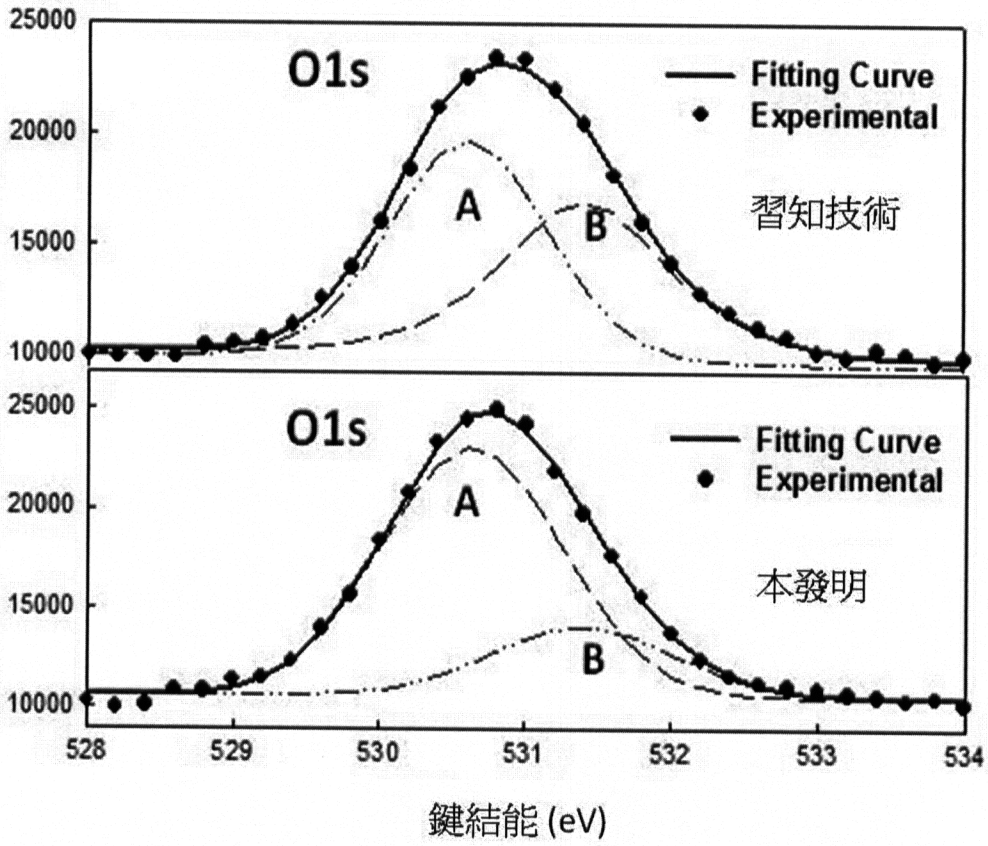
第 3B 圖



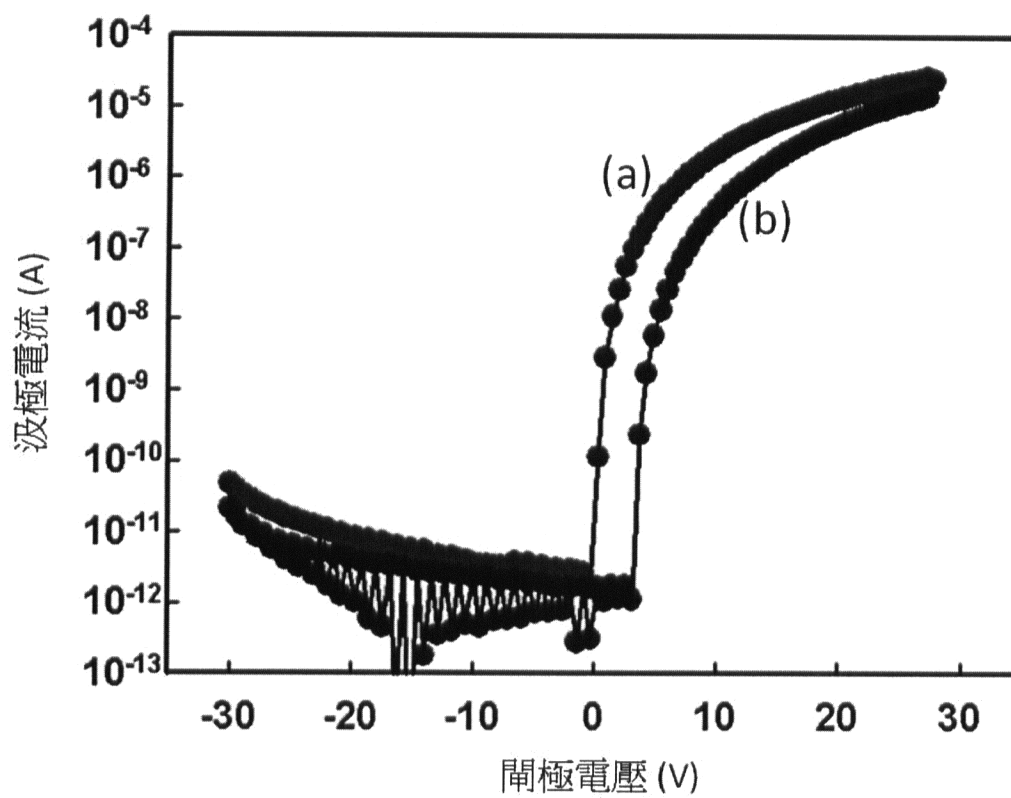
第 3C 圖



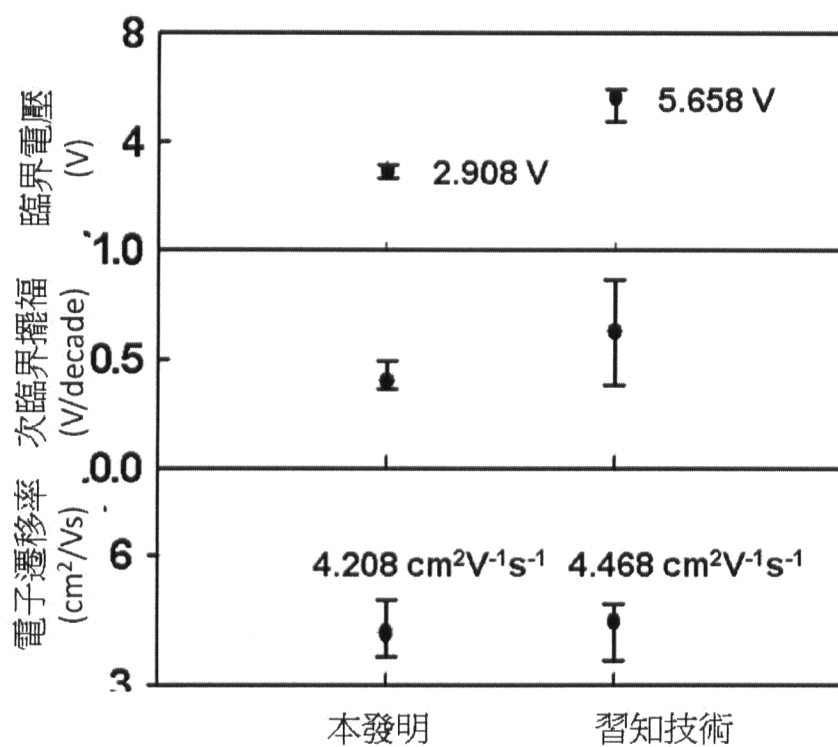
第 3D 圖



第 3E 圖



第4A圖



第 4B 圖