



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201432828 A

(43)公開日：中華民國 103 (2014) 年 08 月 16 日

(21)申請案號：102134714

(22)申請日：中華民國 102 (2013) 年 09 月 26 日

(51)Int. Cl. : H01L21/60 (2006.01)

H01L23/48 (2006.01)

(30)優先權：2013/02/07 中華民國

102104935

(71)申請人：國立交通大學(中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)  
新竹市大學路 1001 號

(72)發明人：陳智 CHEN, CHIH (TW)；劉道奇 LIU, TAOCHI (TW)；黃以撒 HUANG, YI SA (TW)；劉健民 LIU, CHIEN MIN (TW)

(74)代理人：吳冠賜；蘇建太

申請實體審查：有 申請專利範圍項數：20 項 圖式數：19 共 44 頁

(54)名稱

電性連接結構及其製備方法

ELECTRICAL CONNECTING ELEMENT AND METHOD FOR MANUFACTURING THE SAME

(57)摘要

本發明係有關於一種用以電性連接一第一基板及一第二基板之電性連接結構及其製備方法，其中製備方法包括：(A)提供一第一基板及一第二基板，其中第一基板上係設有一第一銅膜，第二基板上係設有一第一金屬膜，第一銅膜之一第一接合面係為一含(111)面之接合面，且該第一金屬膜具有一第二接合面；以及(B)將第一銅膜及第一金屬膜相互接合以形成接點，其中第一銅膜之第一接合面係與第一金屬膜之第二接合面相互對應。

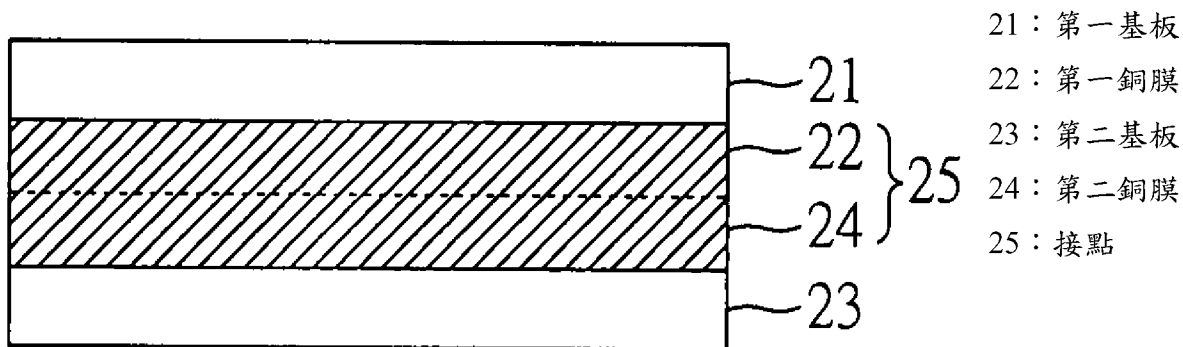


圖 2C



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201432828 A

(43)公開日：中華民國 103 (2014) 年 08 月 16 日

(21)申請案號：102134714

(22)申請日：中華民國 102 (2013) 年 09 月 26 日

(51)Int. Cl. : H01L21/60 (2006.01)

H01L23/48 (2006.01)

(30)優先權：2013/02/07 中華民國

102104935

(71)申請人：國立交通大學(中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)  
新竹市大學路 1001 號

(72)發明人：陳智 CHEN, CHIH (TW)；劉道奇 LIU, TAOCHI (TW)；黃以撒 HUANG, YI SA (TW)；劉健民 LIU, CHIEN MIN (TW)

(74)代理人：吳冠賜；蘇建太

申請實體審查：有 申請專利範圍項數：20 項 圖式數：19 共 44 頁

(54)名稱

電性連接結構及其製備方法

ELECTRICAL CONNECTING ELEMENT AND METHOD FOR MANUFACTURING THE SAME

(57)摘要

本發明係有關於一種用以電性連接一第一基板及一第二基板之電性連接結構及其製備方法，其中製備方法包括：(A)提供一第一基板及一第二基板，其中第一基板上係設有一第一銅膜，第二基板上係設有一第一金屬膜，第一銅膜之一第一接合面係為一含(111)面之接合面，且該第一金屬膜具有一第二接合面；以及(B)將第一銅膜及第一金屬膜相互接合以形成接點，其中第一銅膜之第一接合面係與第一金屬膜之第二接合面相互對應。

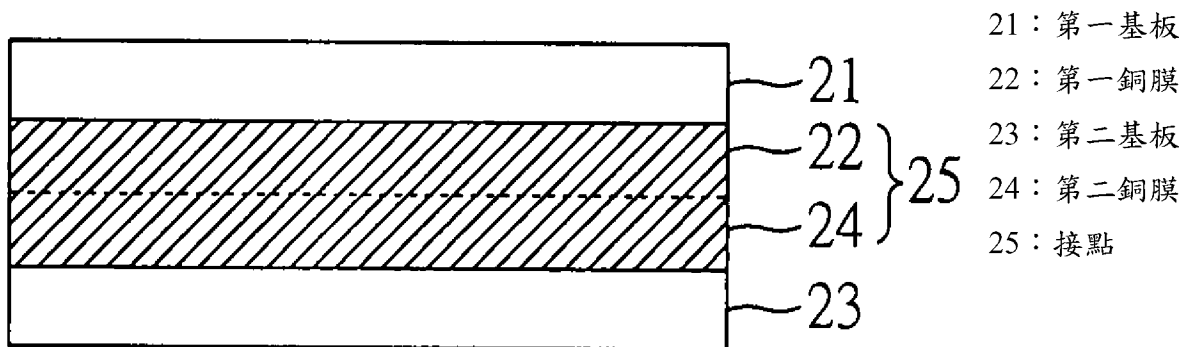


圖 2C

## 發明摘要

※ 申請案號： 102134714

※ 申請日： 102.9.26

※IPC 分類：

H01L 21/60 (2006.01)

H01L 23/48 (2006.01)

## 【發明名稱】(中文/英文)

電性連接結構及其製備方法

Electrical connecting element and method for manufacturing the same

## 【中文】

○ 本發明係有關於一種用以電性連接一第一基板及一第二基板之電性連接結構及其製備方法，其中製備方法包括：(A) 提供一第一基板及一第二基板，其中第一基板上係設有一第一銅膜，第二基板上係設有一第一金屬膜，第一銅膜之一第一接合面係為一含(111)面之接合面，且該第一金屬膜具有一第二接合面；以及(B) 將第一銅膜及第一金屬膜相互接合以形成接點，其中第一銅膜之第一接合面係與第一金屬膜之第二接合面相互對應。

## 【英文】

○ An electrical connecting element for connecting a first substrate and a second substrate and a method for manufacturing the same are disclosed. The method of the present invention comprises: (A) providing a first substrate and a second substrate, wherein a first copper film is formed on the first substrate, a first metal film is formed on the second substrate, a first connecting surface of the first copper film has a (111)-containing surface, and the first metal film has a second connecting surface; and (B) connecting the first copper film and the first metal film to form an interconnect, wherein the first connecting surface of the first copper film is faced to the second connecting surface of the first metal film.

**【代表圖】**

**【本案指定代表圖】：**圖（ 2C ）。

**【本代表圖之符號簡單說明】：**

21	第一基板	22	第一銅膜
23	第二基板	24	第二銅膜
25	接點		

**【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：**

無。

# 發明專利說明書

## 【發明名稱】(中文/英文)

電性連接結構及其製備方法 / Electrical connecting element and method for manufacturing the same

## 【技術領域】

【0001】 本發明係關於一種電性連接結構及其製備方法，尤指一種適用於三維積體電路用之電性連接結構及其製備方法。

## 【先前技術】

【0002】 隨著電子產業的蓬勃發展，對於具有體積小、重量輕、多功能且高性能之電子產品需求亦日益增加。於目前積體電路的發展上，爲了將多種主動元件及被動元件設於同一個裝置上，現今多採用半導體封裝技術，以達到在有限的單位面積下容納更多數量的線路及電子元件之目的。

【0003】 於封裝基板或電路板之堆疊中，可使用焊料或銅膜進行堆疊。當使用一般的銅材料所做成之銅膜進行堆疊時，由於一般的銅材料晶格方向並無單一性，而形成方向性零散的小晶粒，故接合前需進行多種如精細的表面拋光且蝕刻之前處理，而後再於限制多的環境(如，氮氣、酸氣)下，進行熱壓接合，此外，熱壓接合的溫度需在 300°C 以上的溫度下進行，此溫度有可能會破壞電路板中的元件。另外，雖然已經有報導銅膜能在室溫下接合，但是銅

表面必須是原子級的平整，而且接合的環境必須是在 10-8 torr 的超高真空內，因此無法量產。

【0004】 如圖 1A 所示，當兩基板 11, 13 以銅膜 12, 14 進行接合時，若銅膜 12, 14 之接合面不具有良好平整度時，容易於接合處產生接縫或空孔(如圖 1B 所示)，而導致產品可靠度降低。

【0005】 由於電子產業越趨精密，產品的接點也往更精細的方向發展，導致接點的接合面積也相對減少。同時，爲了提升產品的可靠度，接合製程也相對更加複雜。因此，若能發展出一種可減少製程並防止接合處產生接縫之結構與製備方法，則可應用於各種半導體製程上，特別是三維積體電路上，以提升產品的可靠度，同時也可以達到無須使用鉍錫之目的，而可以降低產品成本。

### 【發明內容】

【0006】 本發明之主要目的係在提供一種電性連接結構，其兩基板間之接點(特別是接面)具有很好的接著，只有少數的接縫或空孔，甚至沒有接縫或孔洞，而不容易產生接點斷裂的情形。

【0007】 本發明之另一目的係在提供一種電性連接結構之製備方法，俾能製作出具有高度產品可靠度之電性連接結構。

【0008】 爲達成上述目的，本發明之用以電性連接一第一基板及一第二基板之電性連接結構之製備方法，包括下列步驟：(A) 提供一第一基板及一第二基板，其中第一基

板上係設有一第一銅膜，第二基板上係設有一第一金屬膜，第一銅膜之一第一接合面係為一含(111)面之接合面，且該第一金屬膜具有一第二接合面；以及(B) 將第一銅膜及第一金屬膜相互接合以形成一接點，其中第一銅膜之第一接合面係與第一金屬膜之第二接合面相互對應。

【0009】 透過上述製備方法，本發明之用以電性連接一第一基板及一第二基板之電性連接結構，包括：一第一基板；一第二基板；以及一接點，係設於第一基板與第二基板間，其中該接點係由一第一銅膜及一第一金屬膜相互接合而成，且於第一銅膜與第一金屬膜間之接面係包括複數個晶粒，而該晶粒係沿著[111]晶軸方向堆疊而成。

【0010】 於本發明中，所使用之第一銅膜具有高度[111]優選方向，此優選方向具有最高的自擴散速度，且其含(111)面之接合面具有最高的面堆積密度。在此，需特別強調的是，於本發明所提供之製備方法中，僅須第一銅膜具有[111]優選方向，而另一者可為無任何優選方向之銅膜或其他異質金屬材料，即可形成少數的接縫或空孔，甚至沒有接縫或空洞之接點；即便第一銅膜為多晶銅而第一金屬膜為多晶銅或其他異質金屬材料，亦可達到此功效。其原因在於，當將至少一具有(111)接合面之銅膜形成於基板(例如，半導體晶片或電路基板等)上以作為電性連接媒介，因於(111)接合面處銅晶格方向規則排列，故僅在低溫下透過簡單的壓合製程，也不易於接合處產生接縫或空孔。

【0011】 此外，透過本發明之製備方法所製得之電性連

接結構，第一銅膜與第一金屬膜間之接合處(即，接面)可形成具有[111]優選方向之晶粒結構，且完全接合而無縫隙。由於接合之第一基板與第二基板間之接點無接縫，故可減少接點斷裂的風險，提升元件可靠度與使用壽命，並同時保留了銅的高導電性與高散熱性。特別是，以本發明之製備方法所製得之電性連接結構，將銅與異質金屬材料進行接合，仍可達到接點無接縫之目的。

【0012】 於本發明中，第一金屬膜之材料可與第一銅膜相同或不同，且較佳為第一金屬膜之材料係選自由金、銀、鉑、鎳、銅、鈦、鋁及鈮所組成之群組。

於本發明之一實施態樣中，第一金屬膜係為一第二銅膜。其中，第一銅膜與第二銅膜之材料並無特殊限制，只要其中一者接合面為含(111)面之接合面即可。舉例而言，本發明之第一銅膜可為接合面為含(111)面之接合面之銅層，而第二銅膜為多晶銅且無優選方向；或者本發明之第一銅膜與第二銅膜可分別為接合面為含(111)面之接合面之銅層或一奈米雙晶銅層。無論是銅層(包括多晶銅層)或奈米雙晶銅層，經接合後，接合處(接面)係形成有沿著[111]晶軸方向堆疊而成之複數個晶粒。較佳為，此些晶粒係為柱狀晶粒。於本發明中，所謂之「(111)面」係指：銅膜中複數銅晶粒之(111)面之法向量與接合面之法向量之角度在15度內。在此定義的前提下，「含(111)面之接合面」係指以該含(111)面之接合面之總面積為基準，40-100%之總面積係為(111)面；較佳為50-100%之總面積係為(111)面；更佳為60-100%



之總面積係為(111)面。若本發明之第一銅膜與第二銅膜為奈米雙晶銅層時，較佳為奈米雙晶銅層之 50%以上的體積包括複數個晶粒。由於奈米雙晶銅之雙晶排列而可提升銅膜之抗電遷移能力，進而增加產品的可靠度，而特別適用於積體電路的製作上。

【0013】 於本發明之一實施態樣中，第一金屬膜之材料係可為金、銀、鉑、鎳、鈦、鋁、鈮、或其合金。此時，第一銅膜之材料及其接合面係與前述相同，故在此不再贅述。

【0014】 於本發明之電性連接結構之製備方法中，於步驟(A)前可更包括一步驟(A')：清洗第一銅膜之第一接合面與第一金屬膜之第二接合面，以去除氧化物或其他雜質。特別是，使用酸液(如：鹽酸)清洗第一銅膜之第一接合面與第一金屬膜之第二接合面。此外，於本發明之電性連接結構之製備方法中，於步驟(B)中，進行接合之裝置並無特殊限制，可為本技術領域常用之技術，如以夾具進行接合。此外，更可透過加壓方式以將第一銅膜及第一金屬膜相互接合。其中，加壓之壓力並無特殊限制，較佳為低壓力，如約 1.5-5 kg/cm<sup>2</sup>。

【0015】 再者，於本發明之電性連接結構之製備方法中，於步驟(B)中，可於升溫下進行接合，其中接合溫度並無特殊限制，只要可在不影響兩基板結構下達到接合目的即可，例如可於 100-400°C 之低溫下進行接合；且較佳透過加壓並於 150-300°C 之溫度下，以將第一銅膜及第一金屬膜

相互接合。在此，步驟(B)之接合的溫度較佳為 150-400°C；更佳為 150-250°C。此外，接合時間並無特殊限制，只要可將兩基板完成接合即可，例如可約 0.1-5 小時，且較佳約 0.1-1.5 小時。

【0016】 於本發明之電性連接結構之製備方法中，於步驟(B)中，可於低真空度下將第一銅膜及第一金屬膜相互接合。較佳為，低真空度為  $1-10^{-3}$  torr。

【0017】 於本發明之電性連接結構之製備方法中，當接合時，第一銅膜之接合面為(111)面。(111)面具有較高的擴散速率且表面能較低，且為面心立方(FCC)最密堆積面，故可容易達到無接縫接合。無論是以多晶銅或奈米雙晶銅做為膜材料，只要第一接合面具有(111)優選方向，即可簡單的先將接合面表面透過拋光步驟即可進行接合，且亦可達到很少接縫接合之接點。利用銅原子在(111)表面擴散速度特別快，可以在 200°C 以下達到很好接合之效果。據此，而可降低接合環境的限制，而無需使用設備昂貴的機台，生產成本也因而可大幅下降。

【0018】 於本發明之電性連接結構及其製備方法中，奈米雙晶銅之晶粒係為柱狀雙晶體(columnar twinned grain)。此外，複數個晶粒彼此間係互相連接，該每一晶粒係由複數個奈米雙晶銅沿著[111]晶軸方向堆疊而成，且相鄰之該晶粒間之堆疊方向之夾角係 0 至 20 度。

【0019】 再者，於本發明之電性連接結構之製備方法中，做為第一銅膜及第二銅膜材料之含有(111)面之奈米雙

晶銅或多晶銅之形成方法可為直流電鍍或脈衝電鍍。較佳為，以下述方法形成含有(111)面之奈米雙晶銅或多晶銅：提供一電鍍裝置，該電鍍裝置包括一陽極、一陰極、一電鍍液、以及一電力供應源，電力供應源係分別與陽極及陰極連接，且陽極及陰極係浸泡於該電鍍液中；以及使用電力供應源提供電力進行電鍍，由陰極之一表面成長奈米雙晶銅層。在此，所使用之電鍍液可包括有：一銅的鹽化物、一酸、以及一氫離子來源。

【0020】 於上述之電鍍液中，氫離子主要功能之一係可用以微調整晶粒成長方向，使銅層(特別是雙晶銅層)具有結晶優選方向。此外，其酸可為一有機或無機酸，以增加電解質濃度而提高電鍍速度，例如可使用硫酸、甲基磺酸、或其混合，此外，電鍍液中的酸之濃度較佳可為 80-120 g/L。再者，電鍍液須同時包含有銅離子來源(亦即，銅之鹽化物，例如，硫酸銅或甲基磺酸銅)。該電鍍液較佳的組成中，也可更包括一添加物係選自由：明膠(gelatin)、介面活性劑、晶格修整劑(lattice modification agent)、及其混合所組成之群組，用以調整此些添加物質可用以微調整晶粒成長成具有[111]優選方向。

【0021】 在此，電鍍裝置之電力供應源較佳係直流電電鍍供應源、或高速脈衝電鍍供應源、或直流電鍍與高速脈衝電鍍二者交互使用為之，可使金屬層形成速率提升。當該步驟(B)中使用直流電電鍍供應源時，電流密度較佳可為 1-12 ASD，最佳可為 2-10 ASD(例如，8 ASD)。當該步驟(B)

中使用高速脈衝電鍍供應源時，其操作條件較佳為： $T_{on} / T_{off}$  (sec)為 0.1/2-0.1/0.5 之間(例如，0.1/2、0.1/1、或 0.1/0.5)，電流密度為 1-25 ASD(最佳可為 5ASD)。在此條件下進行電鍍，銅層之成長速率以實際通電時間計算，較佳可為 0.22-2.64  $\mu\text{m}/\text{min}$ 。例如，當電鍍之電流密度為 8 ASD 時，金屬層之成長速率可至 1.5-2  $\mu\text{m}/\text{min}$ (例如，1.76  $\mu\text{m}/\text{min}$ )。本發明中，銅層之厚度可依據電鍍時間長短進行調整，其範圍較佳為約 0.1-500  $\mu\text{m}$ ，更佳為 0.8-200  $\mu\text{m}$ ，最佳為 1-20  $\mu\text{m}$ 。

【0022】 特別是，習知技術所製得具有優選方向的雙晶銅金屬層無填孔性，量產厚度僅可達到約 0.1  $\mu\text{m}$ ，因此僅可作為晶種層使用，無法直接應用於如導線之處。然而，以本發明前述方法所製得之電鍍奈米雙晶銅層的厚度可達 0.1-500  $\mu\text{m}$ ，而可直接鍍製在介電層之開口或溝槽中，而可應用於本發明之電路板之線路層製作上。

【0023】 此外，當電鍍進行時，該陰極或該電鍍液係可以 50-1500 rpm 之轉速旋轉，以幫助晶粒成長方向及速率。透過適當的電鍍條件，本發明所得之奈米雙晶銅層之晶粒之直徑較佳可為 0.1-50  $\mu\text{m}$ ，更佳可為 1-10  $\mu\text{m}$ ；晶粒厚度較佳可為 0.01-500  $\mu\text{m}$ ，更佳可為 0.1-200  $\mu\text{m}$ 。

【0024】 再者，於本發明之電性連接結構及其製備方法中，第一基板及第二基板可各自獨立為一半導體晶片、一封裝基板、或一電路板；且較佳為半導體晶片。據此，本發明之技術可應用於，例如覆晶封裝(Flip chip)、晶圓接合

(wafer bonding)、晶圓級晶片封裝(wafer level chip scale packaging, WLCSP)等常見於 IBM C4 技術所衍生的各種封裝技術中，尤其是具高頻與高功率元件。特別是，本發明之技術更可應用於需要高機械性質且產品可靠度之三維積體電路上。舉例而言，當第一基板及第二基板為半導體晶片時，經接合後則可形成所謂的三維積體電路(3D-IC)；此外，亦可將三維積體電路做為第一基板，且封裝基板做為第二基板進行接合。在此，僅用以舉例用，而非用以限制本發明。

### 【圖式簡單說明】

#### 【0025】

圖 1A 係習知接點結構示意圖。

圖 1B 係習知接點結構之接合處放大示意圖。

圖 2A 至圖 2C 係為本發明實施例 1 之具有雙晶銅之電性連接結構之製備流程剖面示意圖。

圖 3 係為本發明實施例 1 之用以形成銅膜之電鍍裝置示意圖。

圖 4 係本發明實施例 1 之銅層之電子背向散射繞射俯視圖。

圖 5A 至圖 5B 係分別為本發明實施例 1 之奈米雙晶銅之聚焦離子束剖面圖及立體示意圖。

圖 6 係本發明實施例 1 之電性連接結構之接合處之聚焦離子束剖面圖。

圖 7A 至圖 7B 係為本發明實施例 2 之具有雙晶銅之電

性連接結構之製備流程剖面示意圖。

圖 8A 至圖 8C 係為本發明實施例 3 之以銅層形成之電性連接結構之製備流程剖面示意圖。

圖 9 係本發明實施例 3 之銅層之電子背向散射繞射俯視圖。

圖 10 係為本發明實施例 3 之銅層之穿透式電子顯微鏡之剖面明視野影像。

圖 11 係為本發明實施例 3 之電性連接結構之接合處之高解析穿透式電子顯微鏡影像。

圖 12 係為本發明實施例 3 之電性連接結構之接合處之穿透式電子顯微鏡之剖面明視野影像。

圖 13 係為本發明實施例 4 之電性連接結構之接合處之聚焦離子束剖面圖。

圖 14 係為本發明實施例 5 之電性連接結構之接合處之穿透式電子顯微鏡之明視野剖面影像。

圖 15 係為本發明實施例 6 之電性連接結構之接合處之穿透式電子顯微鏡之明視野影像。

圖 16 係為本發明實施例 7 之電性連接結構之接合處之穿透式電子顯微鏡之明視野剖面影像。

圖 17 係本發明實施例 8 之含有 64%(111)表面之銅層之電子背向散射繞射俯視圖。

圖 18 係為本發明實施例 8 之電性連接結構之接合處之穿透式電子顯微鏡之明視野剖面影像。

圖 19 係為本發明實施例 9 之電性連接結構之接合處之

聚焦離子束剖面圖。

### 【實施方式】

【0026】 以下係藉由特定的具體實施例說明本發明之實施方式，熟習此技藝之人士可由本說明書所揭示之內容輕易地了解本發明之其他優點與功效。本發明亦可藉由其他不同的具體實施例加以施行或應用，本說明書中的各項細節亦可基於不同觀點與應用，在不悖離本發明之精神下進行各種修飾與變更。

#### 【0027】 實施例 1

【0028】 圖 2A 至圖 2C 係為本實施例之具有雙晶銅之電性連接結構之製備流程剖面示意圖。圖 3 係為本實施例之用以形成銅膜之電鍍裝置示意圖。圖 4 係本實施例之銅層之電子背向散射繞射俯視圖，(111)面之比例為 100%。圖 5A 及 5B 係分別為本實施例之奈米雙晶銅層之聚焦離子束(FIB)剖面圖及立體示意圖。

【0029】 如圖 2A 所示，首先提供一第一基板 21，且第一基板 21 係為一晶圓。在此，為了簡潔說明，僅以示意圖表示第一基板 21 之結構，其線路、主動元件、被動元件或其他部分並未揭示於圖式中。

【0030】 而後，使用如圖 3 所示之電鍍裝置，對第一基板 21 進行電鍍。如圖 3 所示，將第一基板 21 置於一電鍍裝置 3 中作為陰極；其中，該電鍍裝置 3 包括有陽極 32，係浸泡於電鍍液 34 中並連接至一直流電供應源 36(在此係使用 Keithley 2400)。陽極 32 使用之材料可為金屬銅、磷銅或

惰性陽極(如鈦鍍白金)；於本實施例中，陽極 32 使用之材料為金屬銅。此外，電鍍液 34 係包括有硫酸銅(銅離子濃度為 20-60 g/L)、氯離子(濃度為 10-100 ppm)、以及甲基磺酸(濃度為 80-120 g/L)，並可添加其他界面活性劑或晶格修整劑(如 BASF Lugalvan 1-100 ml/L)。選擇性地，本實施例之電鍍液 34 更可包含有機酸(例如，甲基磺酸)、明膠(gelatin)、或以上的混合物，用以調整晶粒結構與尺寸。

【0031】 接著，以 2-10 ASD 的電流密度之直流電進行電鍍，由第一基板 21 開始朝著箭頭所指之方向(如圖 3 所示)於第一基板 21 表面成長第一銅膜 22，如圖 2A 所示。成長過程中，雙晶之(111)面以及第一銅膜 22 之平面係約垂直於電場的方向，並以約  $1.76 \mu\text{m}/\text{min}$  的速率成長雙晶銅；更具體而言，第一銅膜 22(即，奈米雙晶銅層)係沿著垂直(111)方向，即平行電場方向成長。

【0032】 成長完成之第一銅膜 22 包括有複數個雙晶銅晶粒，該雙晶銅晶粒由複數個雙晶銅所組成，此奈米雙晶銅晶粒延伸到表面，因此第一銅膜 22 表面所顯露的同樣是(111)面。電鍍完成後得到的第一銅膜 22 厚度約  $5\sim 20 \mu\text{m}$ ，且[111]晶軸係為垂直(111)面之軸，(111)面之比例為 100%。而後，將第一基板 21 從電鍍裝置中取出，則可得到上方形成有第一銅膜 22 之第一基板 21，且第一銅膜 22 係為奈米雙晶銅層，且其第一接合面 221 係為(111)面，(111)面之比例為 100%，如圖 4 之電子背向散射繞射(EBSD)俯視圖所示，其中藍色部分面積為(111)面。



【0033】 在此，請參閱圖 5A 及圖 5B，其分別為本實施例所形成之作爲第一銅膜之奈米雙晶銅層之聚焦離子束 (FIB)剖面圖及立體示意圖。如圖 5A 所示，本實施例之奈米雙晶銅層之 50%以上的體積包括有複數個柱狀晶粒 41，而每一晶粒中有複數個層狀奈米雙晶銅(例如，相鄰的一組黑線與白線構成一個雙晶銅，係以堆疊方向 42 堆疊而構成品粒 41，如圖 5B 所示)。因此本發明中，奈米雙晶銅層整體則包含有非常多的奈米雙晶銅。此些柱狀晶粒 41 之直徑  $D$  之範圍係約爲  $0.5\ \mu\text{m}$  至  $8\ \mu\text{m}$  且高度  $L$  約爲  $2\ \mu\text{m}$  至  $20\ \mu\text{m}$ ，奈米雙晶平面 411(水平條紋)與(111)平面平行，雙晶晶粒間是晶界 412，銅之(111)平面垂直於厚度  $T$  方向，且雙晶銅層之厚度  $T$  約爲  $20\ \mu\text{m}$ (可於  $0.1\ \mu\text{m}$ - $500\ \mu\text{m}$  之間任意調整)。相鄰之該晶粒間之堆疊方向(幾乎等同於[111]晶軸)之夾角係 0 至 20 度以內。

【0034】 接著，請參閱圖 2B，提供一第二基板 23，且第二基板 23 亦爲一晶圓。同樣的，爲了簡潔說明，僅以示意圖表示第二基板 23 之結構，其線路、主動元件、被動元件或其他部分並未揭示於圖式中。

【0035】 同時，使用與形成第一銅膜 22 相同之電鍍方法，以於第二基板 23 上形成第二銅膜 24，其厚度約  $5\sim 20\ \mu\text{m}$ ，且[111]晶軸係爲垂直(111)面之軸。因此，第二銅膜 24 係爲奈米雙晶銅層，且其第二接合面 241 亦爲(111)面。在此，第二銅膜 24 之奈米雙晶銅層與第一銅膜 22 具有相同結構，故在此不再贅述。

【0036】 將第一銅膜 22 之第一接合面 221 及第二銅膜 24 之第二接合面 241 以鹽酸水溶液(鹽酸與去離子水的體積比例為 1:1)加以清洗後，分別將第一基板 21 與第二基板 23 置於夾具 261, 262 上，並使第一接合面 221 與第二接合面 241 相對。而後，置於真空爐管中，以  $10^{-3}$  torr 之低真空度，將爐管升溫至 200°C 接合並退火 1 小時，於接合期間適當調整加壓壓力，則可維持第一銅膜 22 與第二銅膜 24 及其接合處之雙晶結構。

【0037】 經由上述製程，如圖 2C 所示，則可得到本實施例之具有雙晶銅之電性連接結構，其包括：一第一基板 21；一第二基板 23；以及接點 25，係設於第一基板 21 與第二基板 23 間，其中接點 25 係由一第一銅膜 22 及一第二銅膜 24 相互接合而成，接點 25 之材料係為奈米雙晶銅層，該奈米雙晶銅層之 50%以上的體積包括複數個晶粒。其中，第一銅膜 22 與第二銅膜 24 經接合後形成接點 25，而其接合處以虛線表示。

【0038】 圖 6 係為本實施例之具有雙晶銅之電性連接結構之接合處之聚焦離子束剖面圖；此結果顯示，以(111)面作為接合面時，第一銅膜 22 及第二銅膜 24 所形成之接點 25 其接合處並未見有接縫。

【0039】 實施例 2

【0040】 圖 7A 至圖 7B 係為本實施例之具有雙晶銅之電性連接結構之製備流程剖面示意圖。

【0041】 如圖 7A 及圖 7B 所示，於本實施例中，第一基

板 21 與第二基板 23 上係分別形成有複數第一銅膜 22 及複數第二銅膜 24。在此，可搭配如黃光顯影之圖案化製程以及如實施例 1 所述之相同電鍍製程，以分別於第一基板 21 及第二基板 23 上形成複數第一銅膜 22 及複數第二銅膜 24。其中，第一銅膜 22 及第二銅膜 24 分別包括複數個雙晶銅晶粒，該雙晶銅晶粒由複數個雙晶銅所組成，此奈米雙晶銅晶粒延伸到表面；且 [111] 晶軸係為垂直 (111) 面之軸。因此，第一銅膜 22 之第一接合面 221 與第二銅膜 24 之第二接合面 241 均為 (111) 面，(111) 面之比例為 100%，其電子背向散射繞射分析結果係與實施例 1 之圖 4 相同。

【0042】 於本實施例中，第一基板 21 與第二基板 23 係同時為半導體晶片。同樣的，為了簡潔說明，僅以示意圖表示第一基板 21 與第二基板 23 之結構，其線路或其他部分並未揭示於圖式中。

【0043】 以與實施例 1 相同之方法，如圖 7A 所示，將第一銅膜 22 之第一接合面 221 及第二銅膜 24 之第二接合面 241 以鹽酸水溶液(鹽酸與去離子水的體積比例為 1:1)加以清洗後，分別將第一基板 21 與第二基板 23 置於夾具 261, 262 上，並使第一接合面 221 與第二接合面 241 相對。而後，置於真空爐管中，以  $10^{-3}$  torr 之低真空度，將爐管升溫至 200°C 接合並退火 10 分鐘至 1 小時，於接合期間適當調整加壓壓力，則可維持第一銅膜 22 與第二銅膜 24 及其接合處之雙晶結構。

【0044】 經由上述製程，如圖 7B 所示，則可得到本實

施例之具有雙晶銅之電性連接結構，其包括：一第一基板 21；一第二基板 23；以及複數接點 25，係設於第一基板 21 與第二基板 23 間，其中接點 25 之材料係為奈米雙晶銅，該奈米雙晶銅之 50% 以上的體積包括複數個晶粒。其中，第一銅膜 22 與第二銅膜 24 經接合後形成接點 25，而其接合處以虛線表示。

**【0045】 實施例 3**

**【0046】** 具(111)面之銅層之製作方法為在矽晶片上利用濺鍍方式先沉積厚度為 100 nm 之鈦層(作為接著層)，之後在鈦層上利用電鍍方式沉積厚度為 200 nm 之具(111)面之銅層，在此，可使用與先前描述相同之電鍍製程。於本實施例中，係使用艾克爾先進科技股份有限公司所提供之形成有具(111)面銅層之矽晶片。(111)之比例可藉由在矽晶片上之不同的接合層來控制，在此使用鈦做為接著(adhesion layer)層可獲得 97% 的(111)面。

**【0047】** 圖 8A 至圖 8C 係為本實施例之電性連接結構之製備流程剖面示意圖；其中與實施例 1 不同之處主要在於使用具有前具包含 97%(111)面之接合面之銅層取代奈米雙晶銅層。

**【0048】** 如圖 8A 所示，首先提供一第一基板 21，其係為一矽基板，且上方形成有一第一接著層 221；其中，此第一接著層 221 係為一厚度為 100 nm 之鈦金屬層。然而，本實施例之第一接著層僅為了用以將矽基板與後續於其上所形成之銅層有良好接合，可隨著不同基板材料不同，而選

用不同材料之接著層或不使用接著層。此外，於本實施例中，爲了簡潔說明，僅以示意圖表示第一基板 21 之結構，其線路、主動元件、被動元件或其他部分並未揭示於圖式中。

【0049】 而後，於第一基板 21 之第一接著層 221 上成長第一銅層 22，此第一銅層 22 係爲一具有爲(111)面之銅層，且其厚度約 200 nm。

【0050】 經由電子背向散射繞射(EBSD)分析後，如圖 9 所示，本實施例所製備之銅層表面有 97%以上的面積皆爲(111)面，藍色部分面積爲(111)面。此外，經由穿透式電子顯微鏡(TEM)分析銅層之橫切面後，本實施例所製備之銅層呈現柱狀結構(柱狀晶體)，如圖 10 所示。再者，經 X 光繞射影像分析發現，銅層的長軸方向爲[111]方向；且高解析穿透式電子顯微鏡(HRTEM)影像分析亦顯示銅層之橫切面亦顯示本實施例所製得之銅層表面爲(111)平面，如圖 11 所示。

【0051】 接著，請參閱圖 8B，提供一第二基板 23，其係爲一矽基板，且上方形成有一第二接著層 231。而後，於第二基板 23 之第二接著層 231 上成長第二銅層 24，此第二銅層 24 係爲一具有爲(111)面之銅層，且其厚度約 200 nm。在此，第二接著層 231 與第二銅層 24 之製程、材料、厚度及功用係分別與前述之第一接著層 211 與第二銅層 24 相似，故在此不再贅述。此外，爲了簡潔說明，僅以示意圖表示第二基板 23 之結構，其線路、主動元件、被動元件或

其他部分並未揭示於圖式中。

【0052】 而後，如圖 8B 所示，將第一銅層 22 之第一接合面 221 及第二銅層 24 之第二接合面 241 以鹽酸水溶液(鹽酸與去離子水的體積比例為 1:1)加以清洗後，分別將第一基板 21 與第二基板 23 置於夾具 261, 262 上，並使第一接合面 221 與第二接合面 241 相對。而後，置於真空爐管中，以約  $10^{-3}$  torr 之低真空度，將爐管升溫至  $200^{\circ}\text{C}$  接合並退火一小時，於接合期間適當調整加壓壓力(約  $3\text{ kg/cm}^2$ )。

【0053】 經由上述製程，如圖 8C 所示，則可得到本實施例之具(111)但無雙晶銅之電性連接結構，其包括：一第一基板 21；一第二基板 23；以及接點 25，係設於第一基板 21 與第二基板 23 間，其中接點 25 係由一第一銅層 22 及一第二銅層 24 相互接合而成，且於第一銅層 22 與第二銅層 24 間之接面係具有複數個晶粒，而晶粒係沿著[111]晶軸方向堆疊而成。其中，第一銅層 22 與第二銅層 24 經接合後形成接點 25，而其接合處(即，接面)以虛線表示。

【0054】 圖 12 係為本實施例之以銅層所形成之電性連接結構之 TEM 剖面結果；此結果顯示，雖未使用雙晶銅，但以具有(111)面作為接合面之銅層進行接合後，接合處(即，接面)並未見有接縫且仍保持柱狀晶粒結構。同時，經由 HRTEM 影像分析亦顯示銅層之橫切面亦顯示接合界面為晶界結構且無氧化層的存在，如圖 11 所示。

【0055】 實施例 4

【0056】 請同時參考圖 8A 至圖 8C，本實施例之材料、

製作流程及結構均與實施例 3 相同，除了本實施例之第一基板 21 上之第一銅層 22 係為一具有(111)面(第一接合面 221)之多晶銅層，且其厚度約  $2 \mu\text{m}$ ；而第二基板 23 之第二銅層 24 則為不具有(111)面(第二接合面 241)之銅層，且其厚度約  $2 \mu\text{m}$ 。此外，接合時之條件係為  $10^{-3}$  torr 之低真空度， $200^{\circ}\text{C}$  之接合溫度，壓力約  $4 \text{ kg/cm}^2$ ，且接合時間為一小時。

【0057】 圖 13 係為本實施例之電性連接結構之接合處之聚焦離子束(FIB)剖面圖。其結果顯示，雖未使用雙晶銅且僅一接合面 221 為(111)面，接合處(即，接面)仍未見有接縫。

【0058】 前述結果顯示，當使用具有高度[111]優選方向之銅層，僅需其中一個接合面具有(111)面，無須兩個接合面均為(111)面，即可在低真空、低壓力及低溫下達到良好的熱壓接合結果，且接合界面無氧化層存在。同時，因接合溫度較低，故接合後的銅層(即，銅層)仍具有[111]優選方向之柱狀晶體結構。

#### 【0059】 實施例 5

【0060】 請同時參考圖 8 至圖 8C，本實施例之材料、製作流程及結構均與實施例 3 相同，除了本實施例之第一基板 21 上之第一銅膜 22 以及第二基板 23 之第二銅膜 24 均為一奈米雙晶銅層，且其第一接合面 221 及第二接合面 241 均為含有 97%之(111)面之接合面(以第一接合面 221 或第二接合面 241 之總面積為基準)。此外，接合時之條件係為  $10^{-3}$

torr 之低真空度，250°C 之接合溫度，壓力約 100 psi，且接合時間為 10 分鐘。

【0061】 本實施例之銅層之電子背向散射繞射分析圖係與實施例 3 之圖 9 相同，可得知本實施例中之第一接合面 221 及第二接合面 241 均為含有 97% 之(111)面之接合面，藍色部分面積為(111)面。此外，如圖 14 之穿透式電子顯微鏡之明視野影像所示，接合處(即，接面)仍未見有接縫，且無孔洞產生。

【0062】 實施例 6

【0063】 本實施例之材料、製作流程及結構均與實施例 5 相同，除了接合時之條件係為  $10^{-3}$  torr 之低真空度，200°C 之接合溫度，壓力約 100 psi，且接合時間為 30 分鐘。如圖 15 之穿透式電子顯微鏡之明視野影像所示，接合處(即，接面)仍未見有接縫，且無孔洞產生。

【0064】 實施例 7

【0065】 本實施例之材料、製作流程及結構均與實施例 5 相同，除了接合時之條件係為  $10^{-3}$  torr 之低真空度，150°C 之接合溫度，壓力約 100 psi，且接合時間為 60 分鐘。如圖 16 之穿透式電子顯微鏡之明視野影像所示，接合處(即，接面)仍未見有接縫，且無孔洞產生。

【0066】 實施例 8

【0067】 請同時參考圖 8A 至圖 8C，本實施例之材料、製作流程及結構均與實施例 3 相同，除了本實施例之第一基板 21 上之第一銅膜 22 以及第二基板 23 之第二銅膜 24



均為一奈米雙晶銅層，且其第一接合面 221 及第二接合面 241 均為含有 64%之(111)面之接合面(以第一接合面 221 或第二接合面 241 之總面積為基準)。此外，接合時之條件係為  $10^{-3}$  torr 之低真空度， $200^{\circ}\text{C}$  之接合溫度，壓力約 100 psi，且接合時間為 30 分鐘。

【0068】 圖 17 係本實施例之銅層之電子背向散射繞射分析圖，可得知本實施例中之第一接合面 221 及第二接合面 241 均為含有 64%之(111)面之接合面，藍色部分面積為(111)面。(111)之比例可藉由在矽晶片上之不同的接合層來控制，在此使用鈦鎢做為接著層可獲得 64%的(111)面。此外，如圖 18 之穿透式電子顯微鏡之明視野影像所示，接合處(即，接面)仍未見有接縫，且無孔洞產生。

【0069】 由前述結果顯示，當使用具有高度[111]優選方向之銅層，即便僅有 50%之接合面為(111)面，仍可在低真空、低壓力及低溫下達到良好的熱壓接合結果，且接合界面無接縫及孔洞產生。同時，因接合溫度較低，故接合後的銅層(即，銅膜)仍具有[111]優選方向之柱狀晶體結構。

#### 【0070】 實施例 9

【0071】 請同時參考圖 8A 至圖 8C，本實施例之材料、製作流程及結構均與實施例 1 相同，除了第二基板 23 之第二銅層 24 係以一金膜所取代，而第二基板 23 係為一依序層疊有二氧化矽層及鈦層之矽基板。其中，金膜係使用 FCTD-0056-6 Microfab Au100 電鍍液(向 Electroplating Engineers of Japan Ltd.購買，室溫下以 5 ASD 的電流密度之

直流電進行進行電鍍，形成厚度為 100 nm 之金膜，此金膜具有(220)優選方向。此外，接合時之條件係為  $10^{-3}$  torr 之低真空度，200°C 之接合溫度，壓力約 4 kg/cm<sup>2</sup>，且接合時間為一小時。

【0072】 圖 19，為本實施例之電性連接結構之接合處之聚焦離子束(FIB)剖面圖。如圖 19 結果所示，具有(111)接合面之第一銅膜 22(奈米雙晶銅膜)與金膜 27 的直接接合界面並無孔洞存在，此結果證實奈米雙晶銅膜與金膜的直接接合結果相當良好。

【0073】 由前述結果顯示，當使用具有高度[111]優選方向之銅層，即便接合之第一金屬膜為其他異質材料之金屬層，仍可在低真空、低壓力及低溫下達到良好的熱壓接合結果，且接合界面無接縫及孔洞產生。同時，因接合溫度較低，故接合後的銅層(即，銅膜)仍具有[111]優選方向之柱狀晶體結構。

【0074】 上述實施例僅係為了方便說明而舉例而已，本發明所主張之權利範圍自應以申請專利範圍所述為準，而非僅限於上述實施例。

### 【符號說明】

11, 13	基板	12, 14	銅膜
21	第一基板	221	第一接著層
22	第一銅膜	221	第一接合面
23	第二基板	231	第二接著層

24	第二銅膜	241	第二接合面
25	接點	261, 262	夾具
27	金膜	3	電鍍裝置
32	陽極	34	電鍍液
36	直流電供應源	41	柱狀晶粒
411	奈米雙晶平面	412	晶界
D	直徑	T	厚度

## 申請專利範圍

1. 一種用以電性連接一第一基板及一第二基板之電性連接結構之製備方法，包括下列步驟：

(A) 提供一第一基板及一第二基板，其中該第一基板上係設有一第一銅膜，該第二基板上係設有一第一金屬膜，該第一銅膜之一第一接合面係為一含(111)面之接合面，且該第一金屬膜具有一第二接合面；以及

(B) 將該第一銅膜及該第一金屬膜相互接合以形成一接點，其中該第一銅膜之該第一接合面係與該第一金屬膜之該第二接合面相互對應。

2. 如申請專利範圍第1項所述之製備方法，其中該第一銅膜之該第一接合面及該第一金屬膜之該第二接合面均為一含(111)面之接合面。

3. 如申請專利範圍第1項所述之製備方法，其中該第一銅膜係包括複數具有(111)面之銅晶粒，以該銅晶粒之(111)面之法向量與接合面之法向量之角度為15度定為(111)面之基礎下，於該含(111)面之接合面中，以該含(111)面之接合面之總面積為基準，40-100%之總面積係為(111)面。

4. 如申請專利範圍第1項所述之製備方法，其中該第一金屬膜之材料係選自由金、銀、鉑、鎳、銅、鈦、鋁及鈮所組成之群組。

5. 如申請專利範圍第1項所述之製備方法，其中該第一金屬膜係為一第二銅膜。

6. 如申請專利範圍第5項所述之製備方法，其中該第一銅膜及該第二銅膜之材料係分別為一接合面為(111)面之銅層、或一奈米雙晶銅層。

7. 如申請專利範圍第1項所述之製備方法，其中於步驟(A)前更包括一步驟(A')：以酸液清洗該第一銅膜之該第一接合面與該第一金屬膜之該第二接合面。

8. 如申請專利範圍第6項所述之製備方法，其中該奈米雙晶銅層之50%以上的體積包括複數個晶粒。

9. 如申請專利範圍第7項所述之製備方法，其中該晶粒係為柱狀雙晶體。

10. 如申請專利範圍第8項所述之製備方法，其中該晶粒彼此間係互相連接，該每一晶粒係由複數個奈米雙晶銅沿著[111]晶軸方向堆疊而成，且相鄰之該晶粒間之堆疊方向之夾角係0至20度。

11. 如申請專利範圍第1項所述之製備方法，其中於步驟(B)中，係透過加壓以將該第一銅膜及該第一金屬膜相互接合。

12. 如申請專利範圍第1項所述之製備方法，其中於步驟(B)中，係於100-400°C之溫度下，透過加壓以將該第一銅膜及該第一金屬膜相互接合。

13. 如申請專利範圍第1項所述之製備方法，其中於步驟(B)中，係於 $1 \cdot 10^{-3}$  torr真空度下將該第一銅膜及該第一金屬膜相互接合。

14. 一種用以電性連接一第一基板及一第二基板之電性連接結構，包括：

—第一基板；

—第二基板；以及

—接點，係設於該第一基板與該第二基板間，其中該接點係由一第一銅膜及一第一金屬膜相互接合而成，且於該第一銅膜與該第一金屬膜間之接面係包括複數個晶粒，而該晶粒係沿著[111]晶軸方向堆疊而成。

15. 如申請專利範圍第14項所述之電性連接結構，其中該晶粒係為柱狀晶粒。

16. 如申請專利範圍第14項所述之電性連接結構，其中該第一金屬膜之材料係選自由金、銀、鉑、鎳、銅、鈦、鋁及鈮所組成之群組。

17. 如申請專利範圍第14項所述之電性連接結構，其中該第一銅膜之材料係為一接合面為(111)面之銅層、或一奈米雙晶銅層。

18. 如申請專利範圍第17項所述之電性連接結構，其中該奈米雙晶銅層之50%以上的體積包括複數個晶粒。

19. 如申請專利範圍第18項所述之電性連接結構，其中該晶粒係為柱狀雙晶體。

20. 如申請專利範圍第18項所述之電性連接結構，其中該晶粒彼此間係互相連接，該每一晶粒係由複數個奈米雙晶銅沿著[111]晶軸方向堆疊而成，且相鄰之該晶粒間之堆疊方向之夾角係0至20度。

圖式

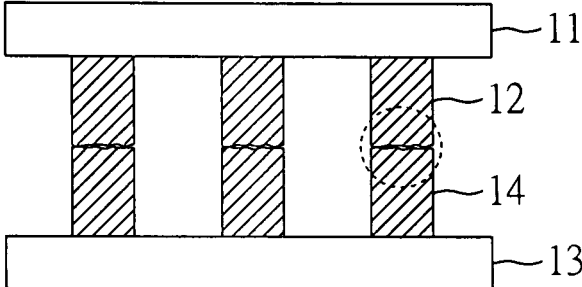


圖1A

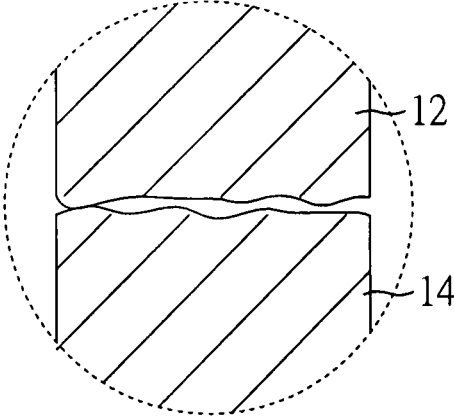


圖1B

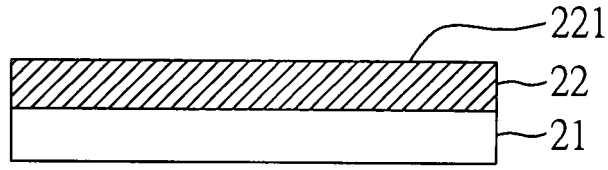


圖2A

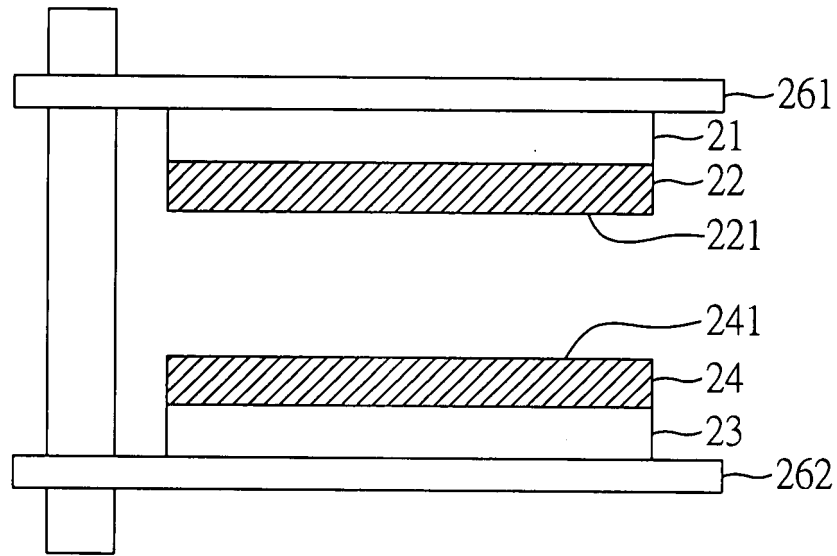


圖2B

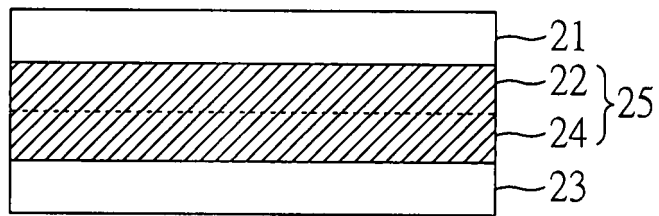


圖2C



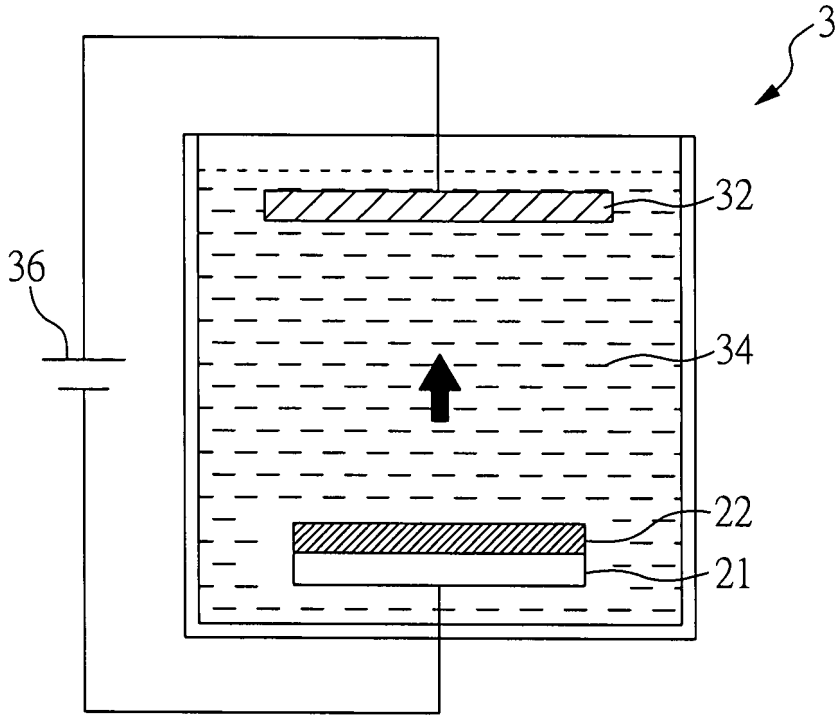


圖3

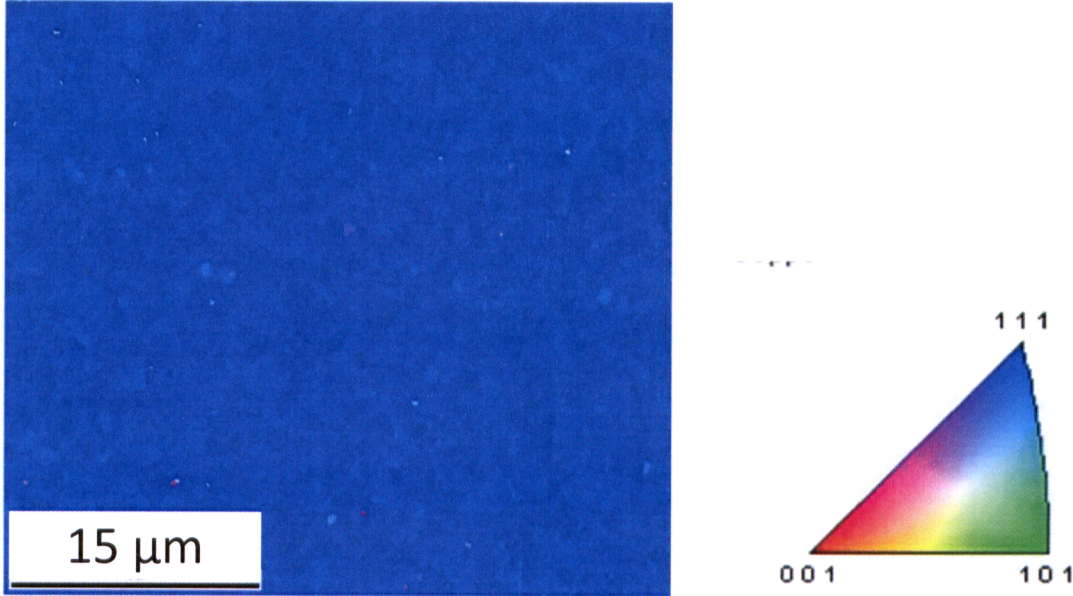


圖 4

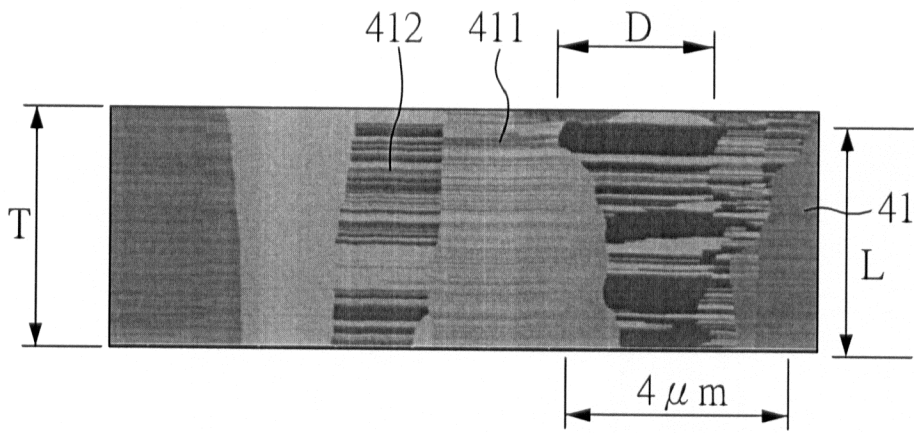


圖5A

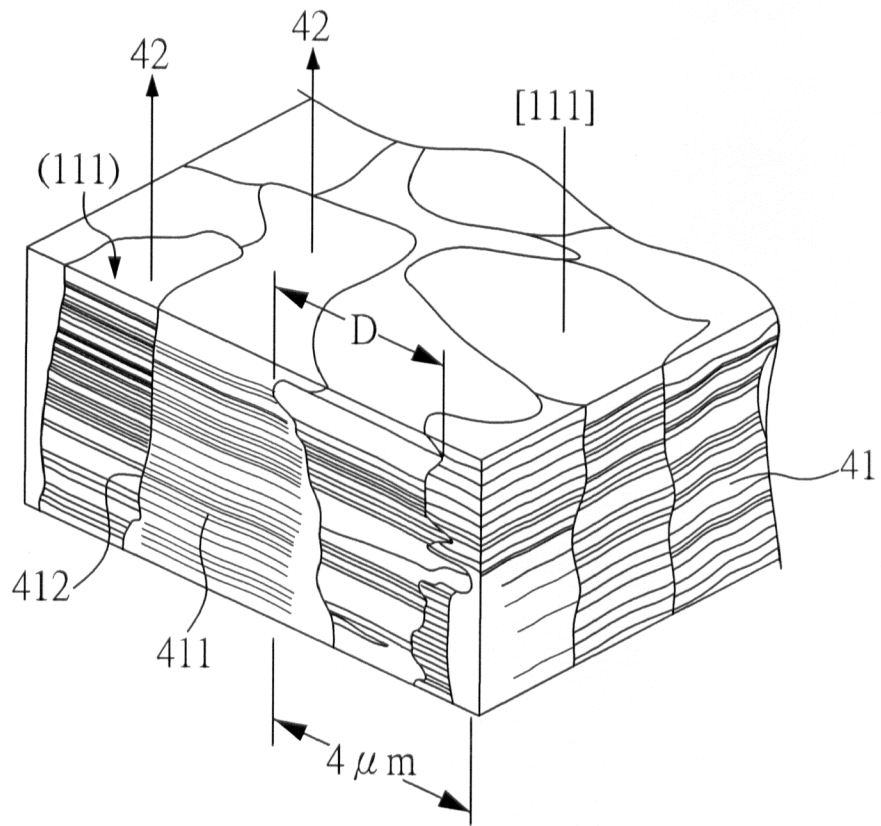


圖5B

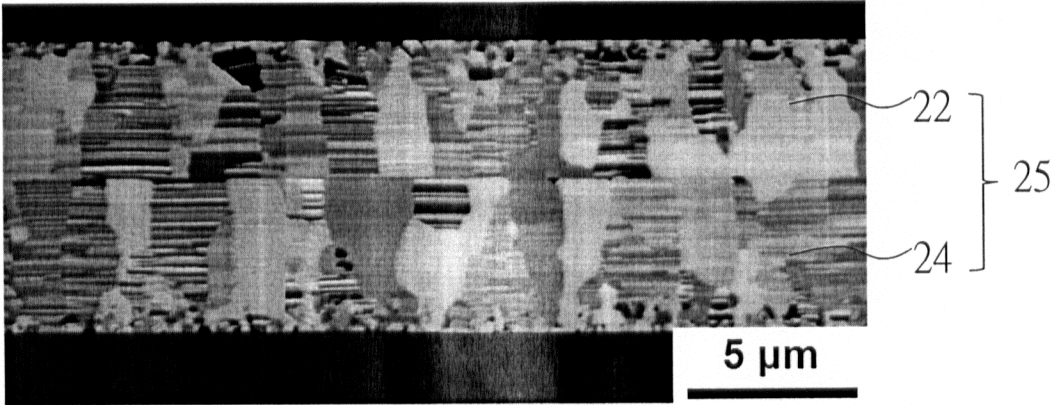


圖 6

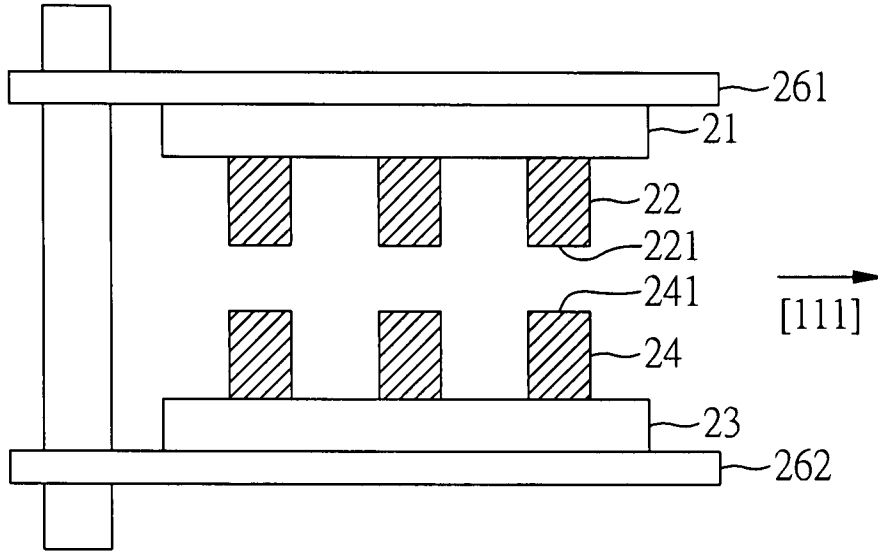


圖7A

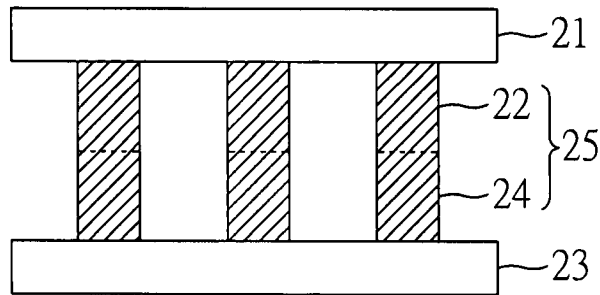


圖7B

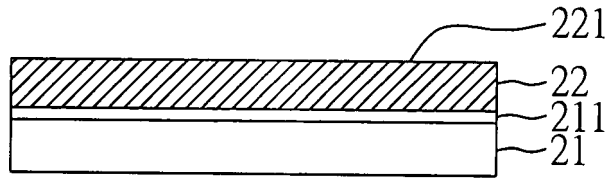


圖8A

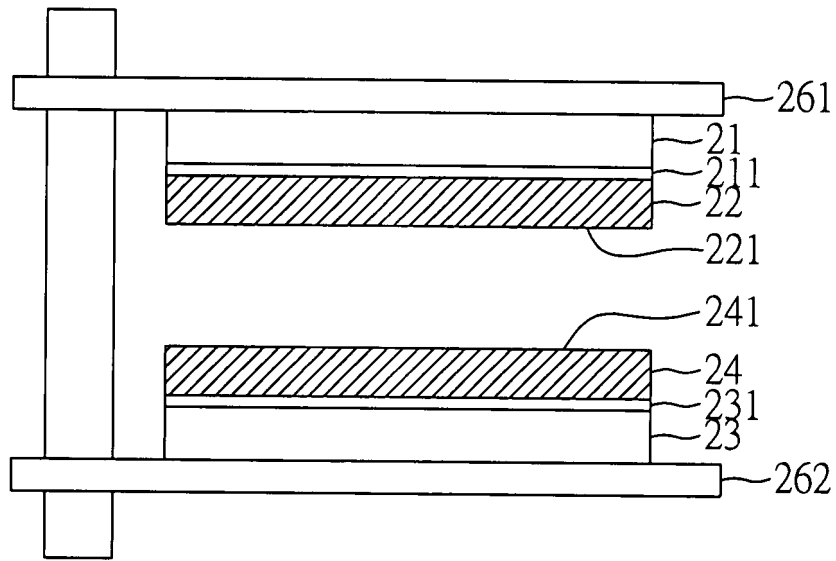


圖8B

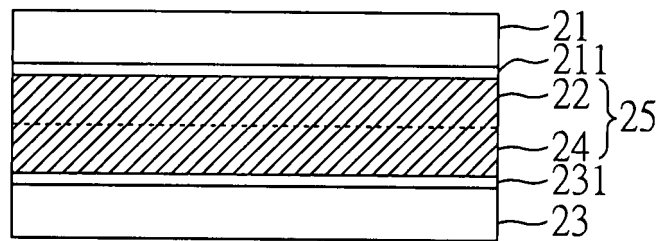


圖8C

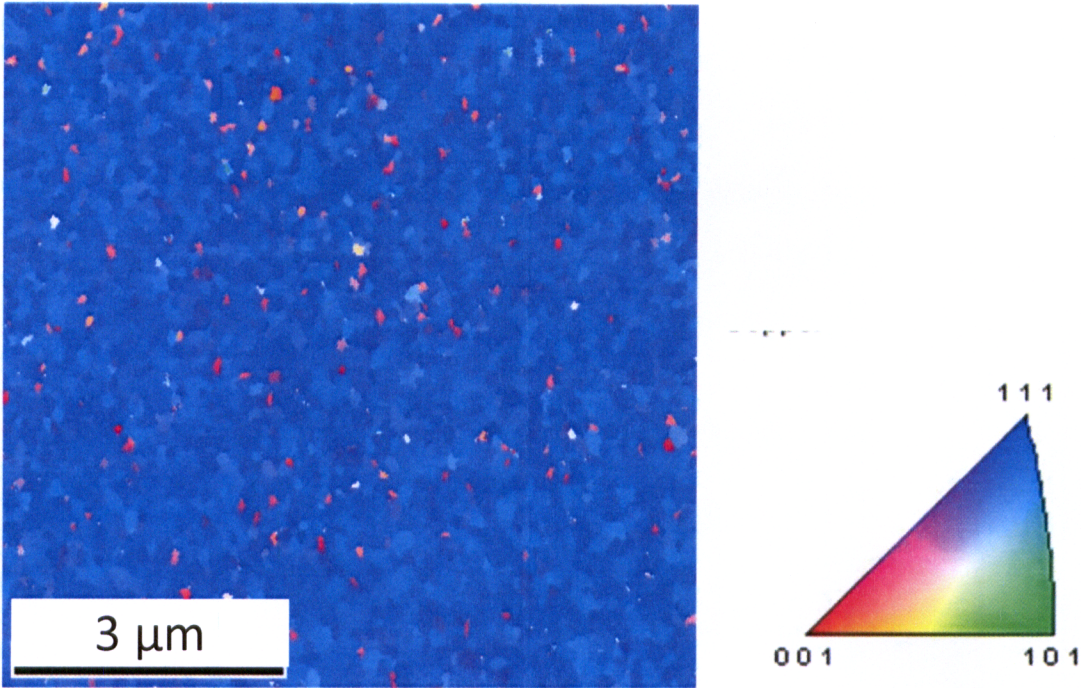


圖 9



圖 10

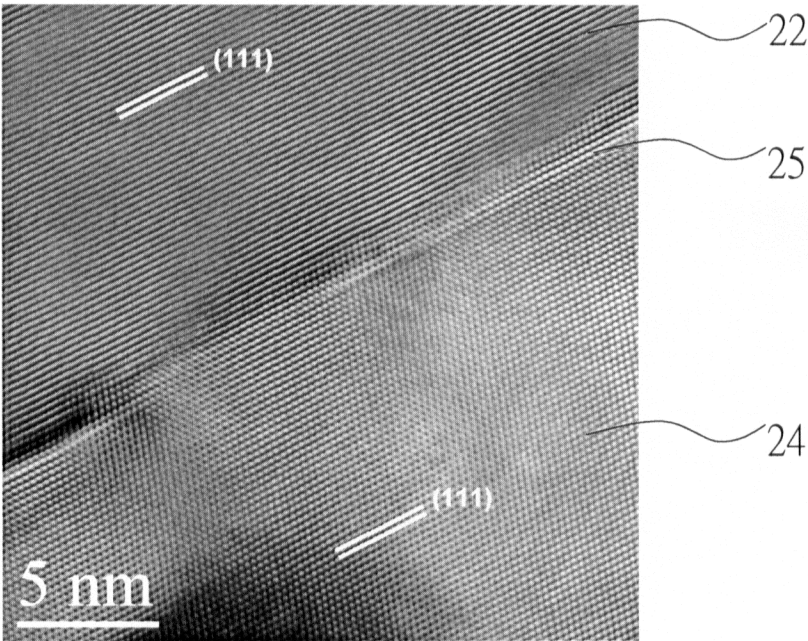


圖 11

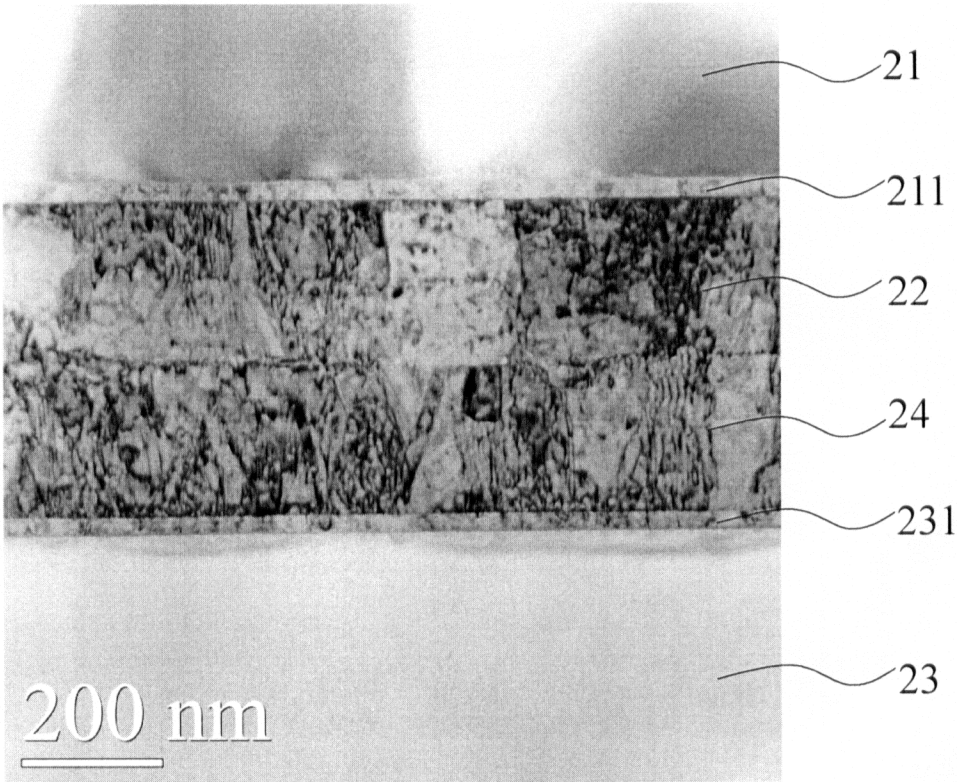


圖 12



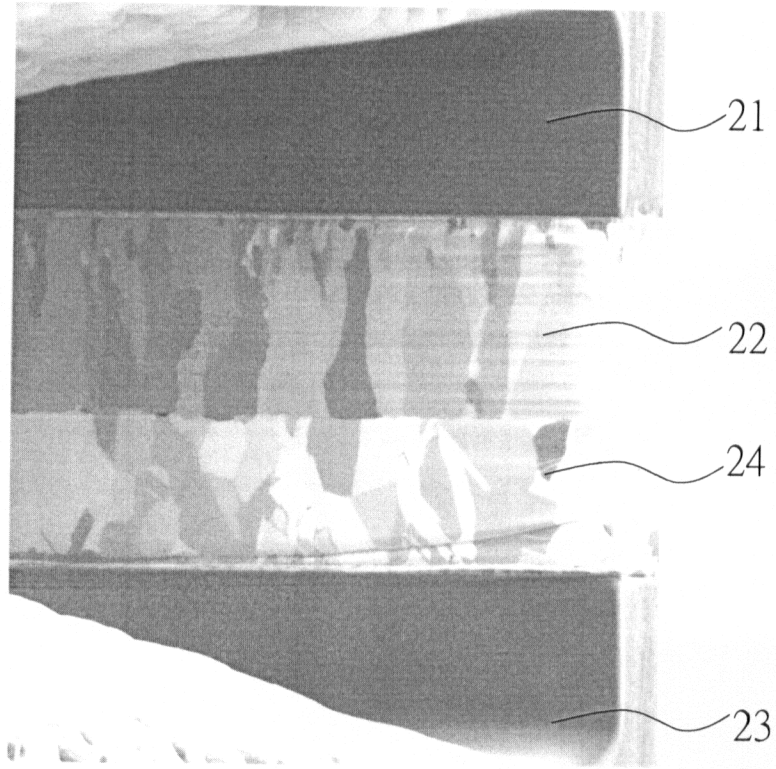


圖 13

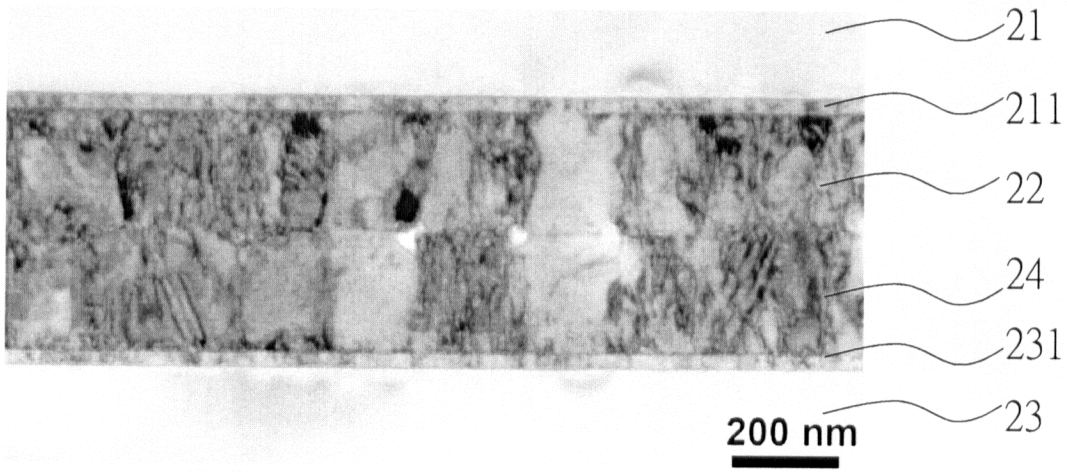


圖 14

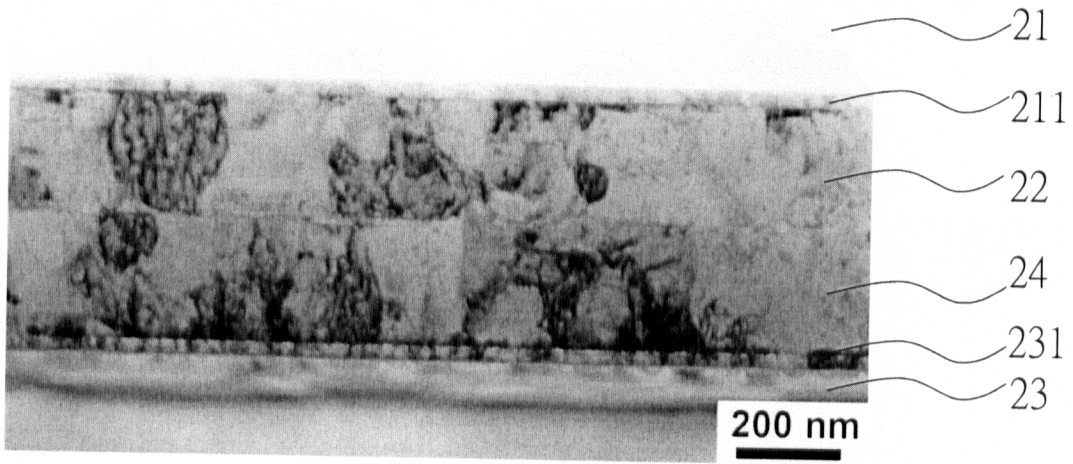


圖 15

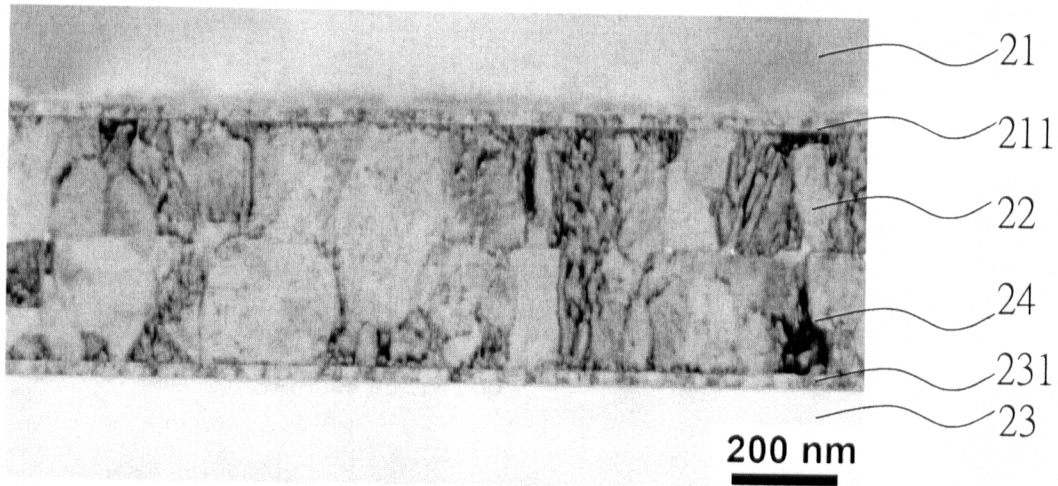


圖 16

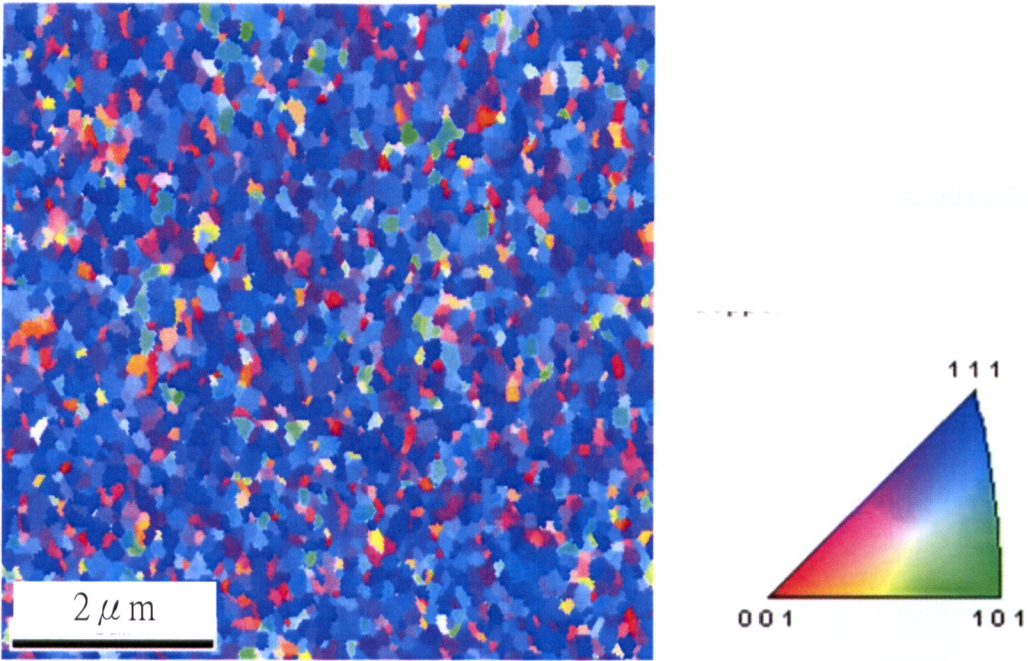


圖 17

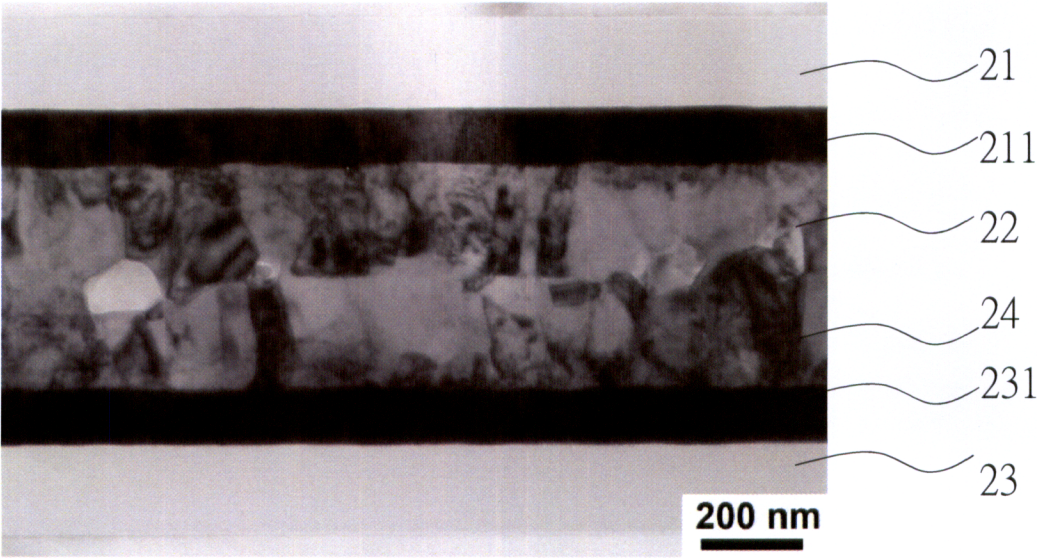


圖 18

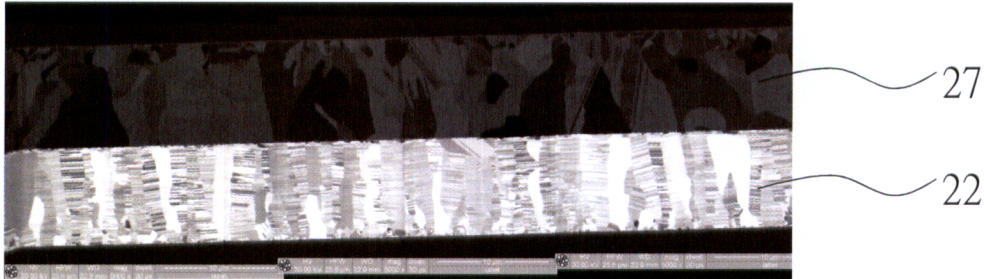


圖 19