



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201431293 A

(43)公開日：中華民國 103 (2014) 年 08 月 01 日

(21)申請案號：102103284

(22)申請日：中華民國 102 (2013) 年 01 月 29 日

(51)Int. Cl. : *H03K3/027 (2006.01)*

G11C7/24 (2006.01)

G11C29/12 (2006.01)

(71)申請人：國立交通大學(中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)

新竹市大學路 1001 號

(72)發明人：溫宏斌 WEN, CHARLES HUNG PIN (TW)；張竣惟 CHANG, CHUN WEI (TW)

(74)代理人：林火泉

申請實體審查：有 申請專利範圍項數：9 項 圖式數：4 共 18 頁

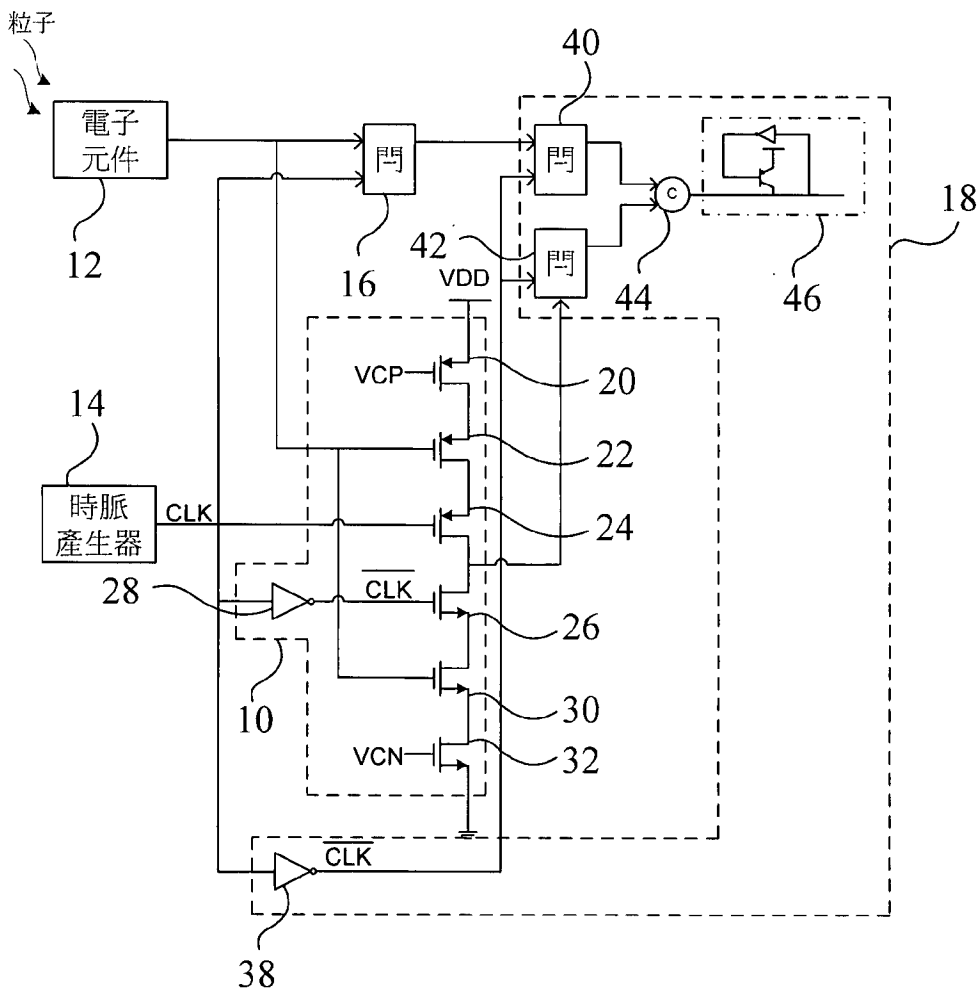
(54)名稱

軟性電子錯誤防護裝置

SOFT ERROR PROTECTION DEVICE

(57)摘要

本發明係揭露一種軟性電子錯誤防護裝置，包含一軟性錯誤回復閘與一閘鎖，其係連接一偵測裝置，並接收電子元件與時脈產生器分別輸出之一軟性錯誤脈衝與一時脈訊號。軟性錯誤回復閘延遲軟性錯誤脈衝，且在時脈訊號之負緣時，儲存其對應之被延遲之軟性錯誤脈衝，以作為第一檢測資料。同時，閘鎖儲存軟性錯誤脈衝，以作為第二檢測資料。偵測裝置接收時脈訊號、第一檢測資料與第二檢測資料，並在負緣提升至時脈訊號之正緣時，比較第一檢測資料與第二檢測資料，以輸出一檢測訊號，藉此降低發生軟性電子錯誤機率發生。



- 10: 軟性錯誤回復門
- 12: 電子元件
- 14: 時脈產生器
- 16: 第一門鎖
- 18: 偵測裝置
- 20: 第一電子開關
- 22: 第二電子開關
- 24: 第三電子開關
- 26: 第四電子開關
- 28: 第一反向器
- 30: 第五電子開關
- 32: 第六電子開關
- 38: 第二反向器
- 40: 第二門鎖
- 42: 第三門鎖
- 44: 偵測元件
- 46: 穩壓器

第 1 圖

發明摘要

※ 申請案號： 102103284

※ 申請日： 102. 1. 29

※IPC分類： H03K 3/027 (2006.01)

G11C 7/24 (2006.01)

G11C 29/12 (2006.01)

【發明名稱】(中文/英文)

軟性電子錯誤防護裝置 / soft error protection device

【中文】

本發明係揭露一種軟性電子錯誤防護裝置，包含一軟性錯誤回復閘與一閘鎖，其係連接一偵測裝置，並接收電子元件與時脈產生器分別輸出之一軟性錯誤脈衝與一時脈訊號。軟性錯誤回復閘延遲軟性錯誤脈衝，且在時脈訊號之負緣時，儲存其對應之被延遲之軟性錯誤脈衝，以作為第一檢測資料。同時，閘鎖儲存軟性錯誤脈衝，以作為第二檢測資料。偵測裝置接收時脈訊號、第一檢測資料與第二檢測資料，並在負緣提升至時脈訊號之正緣時，比較第一檢測資料與第二檢測資料，以輸出一檢測訊號，藉此降低發生軟性電子錯誤機率發生。

【英文】

A soft error protection device is disclosed, which comprises a soft error resilient latch (SERL) and a latch coupled to a detection device and receiving a soft error pulse and a CLK signal respectively outputted by an electronic element and a CLK generator. The SERL delays the soft error pulse. In the period of a negative level of the CLK signal, the SERL stores the delayed soft error pulse corresponding to the negative level and used as a first detection data. Meanwhile, the latch stores the soft error pulse as a second detection data. The detection device receives the CLK signal, the first and second detection datum, and compares the first and second detection datum to send out a detection signal when the CLK signal rises from the negative level to a positive level, thereby decreasing the probabilities of the occurrence of soft error.

【代表圖】

【本案指定代表圖】：第（ 1 ）圖。

【本代表圖之符號簡單說明】：

- 10 軟性錯誤回復門
- 12 電子元件
- 14 時脈產生器
- 16 第一門鎖
- 18 偵測裝置
- 20 第一電子開關
- 22 第二電子開關
- 24 第三電子開關
- 26 第四電子開關
- 28 第一反向器
- 30 第五電子開關
- 32 第六電子開關
- 38 第二反向器
- 40 第二門鎖
- 42 第三門鎖
- 44 偵測元件
- 46 穩壓器

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

軟性電子錯誤防護裝置 / soft error protection device

【技術領域】

【0001】 本發明係有關一種防護裝置，特別是關於一種軟性電子錯誤防護裝置。

【先前技術】

【0002】 軟性錯誤 (soft error) 為暫態錯誤，其係由外部粒子撞擊電晶體之敏感區域以積聚電荷，並在傳遞訊號至外端後由一記憶體門鎖住所造成。在最近幾年，因為科技將尺寸設計的愈來愈小，同時電路中的寄生電容也愈來愈小，因此電路很容易被軟性錯誤所影響。所以，許多先進門鎖架構被提出，以防止軟性錯誤發生。

【0003】 美國專利 US6380781 使用負載電晶體增大電容，並減少不可預期的脈衝。然而，負載電晶體可能會造成不同的暫態，並影響正常操作。因此美國專利 US6573774 提出利用兩個複製門鎖元件對邏輯值進行投票與選取，但是這樣的架構因為複製門鎖元件所以具有過大的面積。此外，在美國專利 US7038515 中的 C 元件 (C-element) 用來防止軟性錯誤並修正錯誤值。但是，上述三件專利只能防止在記憶體中的軟性錯誤，並不能防止軟性錯誤在組合邏輯中發生。習知技術還有提出內建軟性錯誤回復技術 (BISER, Build-In Soft Error Resilient)，以防止在記憶體與組合邏輯電路中發生軟性電子錯誤。只是 BISER 仍然有許多問題需要改進，例如電晶體之數量較多，此會造成軟性錯誤發生的機率提升，同時增加面積。

【0004】 因此，本發明係在針對上述之困擾，提出一種軟性電子錯誤防護裝置，以解決習知所產生的問題。

【發明內容】

【0005】 本發明之主要目的，在於提供一種軟性電子錯誤防護裝置，其相較內建軟性錯誤回復技術 (BISER, Build-In Soft Error Resilient) 更能降低發生軟性電子錯誤機率發生，同時降低電晶體數量，減少面積。

【0006】 為達上述目的，本發明提供一種軟性電子錯誤防護裝置，包

含一軟性錯誤回復門 (SERL, Soft Error Resilient Latch), 其係連接一電子元件與一時脈產生器, 以接收電子元件與時脈產生器分別輸出之一軟性錯誤脈衝與一時脈訊號, 並延遲軟性錯誤脈衝, 且在時脈訊號之負緣時, 儲存其對應之被延遲之軟性錯誤脈衝, 以作為第一檢測資料。電子元件與時脈產生器連接一第一閘鎖, 連接電子元件與時脈產生器, 以接收軟性錯誤脈衝與時脈訊號, 並在負緣時, 儲存其對應之軟性錯誤脈衝, 以作為第二檢測資料。軟性錯誤回復門、第一閘鎖與時脈產生器連接一偵測裝置, 其係接收時脈訊號、第一檢測資料與第二檢測資料, 並在負緣提升至時脈訊號之正緣時, 比較其對應之第一檢測資料與第二檢測資料, 以輸出一檢測訊號。

【0007】 茲為使 貴審查委員對本發明之結構特徵及所達成之功效更有進一步之瞭解與認識, 謹佐以較佳之實施例圖及配合詳細之說明, 說明如後:

【圖式簡單說明】

【0008】

第 1 圖為本發明之裝置電路示意圖。

第 2 圖為本發明之軟性錯誤回復門運作示意圖。

第 3 圖為本發明之軟性錯誤脈衝與時脈訊號波形圖。

第 4 圖為本發明之 C 元件電路示意圖。

【實施方式】

【0009】 請參閱第 1 圖, 本發明之軟性電子錯誤防護裝置, 亦稱為軟性錯誤回復門鎖之資料正反器 (Soft Error Resilient Latch-date flip flop, SERL-DFF), 包含一軟性錯誤回復門 (SERL, Soft Error Resilient Latch) 10, 連接一電子元件 12 與一時脈產生器 14, 以接收電子元件 12 與時脈產生器 14 分別輸出之一軟性錯誤脈衝與一時脈訊號 CLK, 並延遲軟性錯誤脈衝。且在時脈訊號 CLK 之負緣時, 軟性錯誤回復門 10 儲存其對應之被延遲之軟性錯誤脈衝, 以作為第一檢測資料。電子元件 12 與時脈產生器 14 連接一第一閘鎖 16, 連接電子元件 12 與時脈產生器 14, 以接收軟性錯誤脈衝與時脈訊號 CLK, 並在負緣時, 儲存其對應之軟性錯誤脈衝, 以作為第二檢測資料。軟性錯誤回復門 10、第一閘鎖 16 與時脈產生器 14 連接一

偵測裝置 18，其係接收時脈訊號 CLK、第一檢測資料與第二檢測資料，並在負緣提升至時脈訊號 CLK 之正緣時，比較其對應之第一檢測資料與第二檢測資料，以輸出一檢測訊號。例如第一檢測資料與第二檢測資料於時脈訊號 CLK 從負緣提升至正緣時相異，則檢測訊號保持原值，檢測訊號為高準位訊號或低準位訊號。或者，第一檢測資料與第二檢測資料於時脈訊號 CLK 從負緣提升至正緣時相同，則檢測訊號與被比較之第二檢測資料相異，檢測訊號為高準位訊號或低準位訊號。

【0010】 請同時參閱第 2 圖，軟性錯誤回復門 10 更包含一第一電子開關 20，連接一高電壓端 VDD，並接收一低準位訊號 VCP 以導通之。第一電子開關 20 與電子元件 12 連接一第二電子開關 22，其係接收軟性錯誤脈衝。第二電子開關 22、時脈產生器 14 與偵測裝置 18 連接一第三電子開關 24，其係接收時脈訊號 CLK，並在時脈訊號 CLK 之負緣時導通之。第三電子開關 24 連接一第四電子開關 26，其係透過一第一反向器 28 連接時脈產生器 14，以接收反向之時脈訊號 CLK，並在時脈訊號 CLK 之負緣時導通之。第四電子開關 26 與電子元件 12 連接一第五電子開關 30，其係接收軟性錯誤脈衝。第五電子開關 30 與作為一低電壓端之接地端連接一第六電子開關 32，其係接收一高準位訊號 VCN 以導通之，在時脈訊號 CLK 之負緣時，控制高準位訊號 VCN 與低準位訊號 VCP 逐漸分別降低與提升，以利用第一電子開關 20 與第六電子開關 32 延遲軟性錯誤脈衝透過第二電子開關 22 與第三電子開關 24 儲存於第三電子開關 24 與第四電子開關 26 之輸出寄生電容 34、36。在此實施例中，第一電子開關 20、第二電子開關 22 與第三電子開關 24 皆以 P 通道場效電晶體為例，第四電子開關 26、第五電子開關 30 與第六電子開關 32 皆以 N 通道場效電晶體為例。因為極小之脈衝不能即時充放電，所以輸出寄生電容 34、36 使脈衝需要更努力地去改變 SERL10 輸出邏輯值。換言之，藉由 SERL10 之電容效應，可比內建軟性錯誤回復技術（BISER，Build-In Soft Error Resilient）更能降低發生軟性電子錯誤機率發生。

【0011】 偵測裝置 18 更包含一第二反向器 38，連接時脈產生器 14，以接收時脈訊號 CLK 並將其反向之。第二反向器 38 與第一門鎖 16 連接一第二門鎖 40，其係接收第二檢測資料與反向之時脈訊號 CLK，並在上述時

脈訊號 CLK 之正緣時，儲存其對應之第二檢測資料。第二反向器 38 與軟性錯誤回復閘 10 連接一第三閘鎖 42，其係接收第一檢測資料與反向之時脈訊號 CLK，並在上述時脈訊號 CLK 之正緣時，儲存其對應之第一檢測資料。第二閘鎖 40 與第三閘鎖 42 連接一偵測元件 44，在此以 C 元件 (C-element) 為例。偵測元件 44 在上述時脈訊號 CLK 之正緣時，接收其對應之第一檢測資料與第二檢測資料，並比較之，以輸出檢測訊號。偵測元件 44 更連接一穩壓器 46，其係用以穩壓檢測訊號。

【0012】 請繼續參閱第 1 圖至第 3 圖。當外來的粒子打到電子元件 12 時，電子元件 12 會輸出軟性電子錯誤脈衝至第一閘鎖 16、第二電子開關 22 與第五電子開關 30，同時，時脈產生器 14 輸出時脈訊號 CLK。時脈訊號 CLK 傳送至第一反向器 28、第二反向器 38、第三電子開關 24 與第一閘鎖 16，第一反向器 28 與第二反向器 38 將時脈訊號 CLK 反向輸出之。第四電子開關 26 從第一反向器 28 接收反向之時脈訊號 CLK，且第一電子開關 20 與第六電子開關 32 分別接收低準位訊號 VCP 與高準位訊號 VCN 以導通之。在時脈訊號 CLK 之負緣時，控制高準位訊號 VCN 與低準位訊號 VCP 逐漸分別降低與提升，以利用第一電子開關 20 與第六電子開關 32 延遲時間 λ ，將軟性錯誤脈衝透過第二電子開關 22 與第三電子開關 24 儲存於第三電子開關 24 與第四電子開關 26 之輸出寄生電容 34、36，並將此被延遲之軟性錯誤脈衝，作為第一檢測資料，即低準位訊號。第一閘鎖 16 在時脈訊號 CLK 之負緣時，儲存其對應之軟性錯誤脈衝，以作為第二檢測資料，即高準位訊號。

【0013】 第二閘鎖 40 與第三閘鎖 42 從第二反向器 38 接收反向之時脈訊號 CLK，且第二閘鎖 40 與第三閘鎖 42 分別接收第二檢測資料與第一檢測資料，並在時脈訊號 CLK 之負緣提升至正緣之時間點 T 時，分別儲存其對應之第二檢測資料與第一檢測資料，其係分別為高準位訊號與低準位訊號。同時，偵測元件 44 接收第一檢測資料與第二檢測資料並比較之，以輸出檢測訊號，且此檢測訊號受穩壓器 46 穩壓之。在此實施例中，檢測訊號係保持原值，代表有受到軟性電子錯誤之干擾，若否，則代表未受到軟性電子錯誤之干擾。為了順利在時間點 T 取得資料，第二閘鎖 40 與第三閘鎖 42 必須在時間點 T-t1 就準備儲存，並設定儲存動作直到時間點 T+t2 為

止。其中此兩時間點的差距必須小於軟性電子脈衝之寬度，且位於此寬度內。

【0014】 本發明之偵測元件 44 是以 C 元件來實施的，且 C 元件之架構如第 4 圖所示，包含第一 P 通道場效電晶體 48、第二 P 通道場效電晶體 50、第一 N 通道場效電晶體 52 與第二 N 通道場效電晶體 54。第一 P 通道場效電晶體 48 與第二 N 通道場效電晶體 54 接收一訊號 A，第二 P 通道場效電晶體 50 與第一 N 通道場效電晶體 52 接收一訊號 B，則第二 P 通道場效電晶體 50 與第一 N 通道場效電晶體 52 輸出一訊號 Q。當 A 與 B 皆為低準位訊號時，Q 為高準位訊號；當 A 與 B 皆為高準位訊號時，Q 為低準位訊號；當 A 為低準位訊號，B 為高準位訊號時，Q 保持原值，即前一次的輸出值；當 A 為高準位訊號，B 為低準位訊號時，Q 亦保持原值，即前一次的輸出值。

【0015】 對於不同中子對元件的攻擊 (striking)，被累積的電荷具有不同的攻擊率。令 F 、 K 、 A 、 Q_s 、 Q 分別為具有能量之中子流量、個別技術匹配參數、敏感面積、電荷蒐集斜率、累積電量，對應累積電荷之機率 $R(Q) = FKA \frac{1}{Q_s} \exp\left(\frac{-Q}{Q_s}\right)$ 。

【0016】 考慮 Q 為 20fC (庫侖)、50fC、80fC、120fC，並將時脈訊號之週期設定為 1 奈秒，同時分割為 1000 份，利用上述 $R(Q)$ 去測量軟性電子錯誤率，同時比較 SERL-DFF 與 BISER，如表一與表二所示。從表一與表二可知，SERL-DFF 的軟性電子錯誤率比 BISER 更低，且當延遲時間為 93 微微秒或 109 微微秒時，SERL-DFF 的軟性電子錯誤率皆為 0，這是因為延遲時間比軟性錯誤脈衝之寬度更大的緣故。

表一

延遲時間(微微秒)	58	64	71
BISER(奈小時)	$2.56e^{-2}$	$2.17e^{-2}$	$1.83e^{-2}$
SERL-DFF(奈小時)	$6.08e^{-3}$	$5.19e^{-4}$	$1.08e^{-4}$

表二

延遲時間(微微秒)	93	109
BISER(奈小時)	$7.11e^{-2}$	$2.53e^{-3}$

SERL-DFF(奈小時)	0.0	0.0
---------------	-----	-----

【0017】 此外，若將 SERL-DFF 的電晶體數量與 BISER 相比，如表三所示，可知 SERL-DFF 的電晶體數量更少，因此所佔面積亦較低。

表三

	電晶體數量
BISER	49
SERL-DFF	45

【0018】 綜上所述，本發明不但具有較小面積，且可有效降低發生軟性電子錯誤機率。

【0019】 以上所述者，僅為本發明一較佳實施例而已，並非用來限定本發明實施之範圍，故舉凡依本發明申請專利範圍所述之形狀、構造、特徵及精神所為之均等變化與修飾，均應包括於本發明之申請專利範圍內。

【符號說明】

【0020】

- 10 軟性錯誤回復門
- 12 電子元件
- 14 時脈產生器
- 16 第一門鎖
- 18 偵測裝置
- 20 第一電子開關
- 22 第二電子開關
- 24 第三電子開關
- 26 第四電子開關
- 28 第一反向器
- 30 第五電子開關
- 32 第六電子開關
- 34 輸出寄生電容
- 36 輸出寄生電容
- 38 第二反向器

40	第二門鎖
42	第三門鎖
44	偵測元件
46	穩壓器
48	第一 P 通道場效電晶體
50	第二 P 通道場效電晶體
52	第一 N 通道場效電晶體
54	第二 N 通道場效電晶體

申請專利範圍

1. 一種軟性電子錯誤防護裝置，包括：
 - 一軟性錯誤回復閥 (SERL, Soft Error Resilient Latch)，連接一電子元件與一時脈產生器，以接收該電子元件與該時脈產生器分別輸出之一軟性錯誤脈衝與一時脈訊號，並延遲該軟性錯誤脈衝，且在該時脈訊號之負緣時，儲存其對應之被延遲之該軟性錯誤脈衝，以作為第一檢測資料；
 - 一第一閥鎖，連接該電子元件與該時脈產生器，以接收該軟性錯誤脈衝與該時脈訊號，並在該負緣時，儲存其對應之該軟性錯誤脈衝，以作為第二檢測資料；以及
 - 一偵測裝置，連接該軟性錯誤回復閥、該第一閥鎖與該時脈產生器，以接收該時脈訊號、該第一檢測資料與該第二檢測資料，並在該負緣提升至該時脈訊號之正緣時，比較其對應之該第一檢測資料與該第二檢測資料，以輸出一檢測訊號。
2. 如請求項 1 所述之軟性電子錯誤防護裝置，其中該第一檢測資料與該第二檢測資料於該正緣時相異，則該檢測訊號保持原值，該檢測訊號為高準位訊號或低準位訊號。
3. 如請求項 1 所述之軟性電子錯誤防護裝置，其中該第一檢測資料與該第二檢測資料於該正緣時相同，則該檢測訊號與該正緣對應之該第二檢測資料相異，該檢測訊號為高準位訊號或低準位訊號。
4. 如請求項 1 所述之軟性電子錯誤防護裝置，其中該軟性錯誤回復閥更包含：
 - 一第一電子開關，連接一高電壓端，並接收一低準位訊號以導通之；
 - 一第二電子開關，連接該第一電子開關與該電子元件，並接收該軟性錯誤脈衝；
 - 一第三電子開關，連接該第二電子開關、該時脈產生器與該偵測裝置，

以接收該時脈訊號，並在該負緣時導通之；

一第四電子開關，連接該第三電子開關，並透過一第一反向器連接該時脈產生器，以接收反向之該時脈訊號，並在該負緣時導通之；

一第五電子開關，連接該第四電子開關與該電子元件，以接收該軟性錯誤脈衝；以及

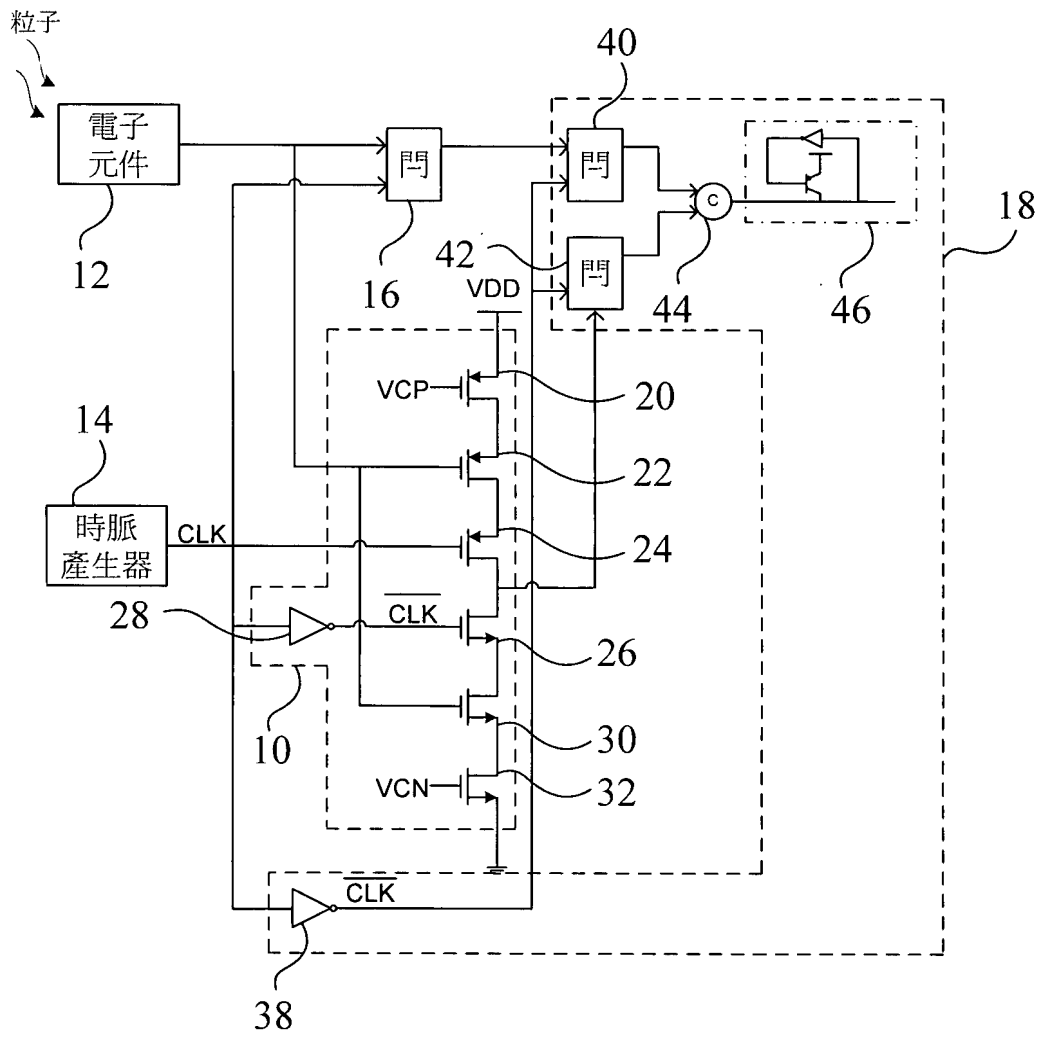
一第六電子開關，連接該第五電子開關與一低電壓端，並接收一高準位訊號以導通之，在該負緣時，該高準位訊號與該低準位訊號逐漸分別降低與提升，以利用該第一電子開關與該第六電子開關延遲該軟性錯誤脈衝透過該第二電子開關與該第三電子開關儲存於該第三電子開關之輸出寄生電容。

5. 如請求項 4 所述之軟性電子錯誤防護裝置，其中該第一電子開關、該第二電子開關與該第三電子開關皆為 P 通道場效電晶體，該第四電子開關、該第五電子開關與該第六電子開關皆為 N 通道場效電晶體。
6. 如請求項 4 所述之軟性電子錯誤防護裝置，其中該低電壓端為接地端。
7. 如請求項 1 所述之軟性電子錯誤防護裝置，其中該偵測裝置更包含：
 - 一第二反向器，連接該時脈產生器，以接收該時脈訊號並將其反向之；
 - 一第二門鎖，連接該第二反向器與該第一門鎖，以接收該第二檢測資料與反向之該時脈訊號，並在該正緣時，儲存其對應之該第二檢測資料；
 - 一第三門鎖，連接該第二反向器與該軟性錯誤回復門，以接收該第一檢測資料與該反向之該時脈訊號，並在該正緣時，儲存其對應之該第一檢測資料；以及
 - 一偵測元件，連接該第二門鎖與該第三門鎖，且在該正緣時，接收其對應之該第一檢測資料與該第二檢測資料，並比較之，以輸出該檢測訊號。
8. 如請求項 7 所述之軟性電子錯誤防護裝置，更包含一穩壓器，其係連接

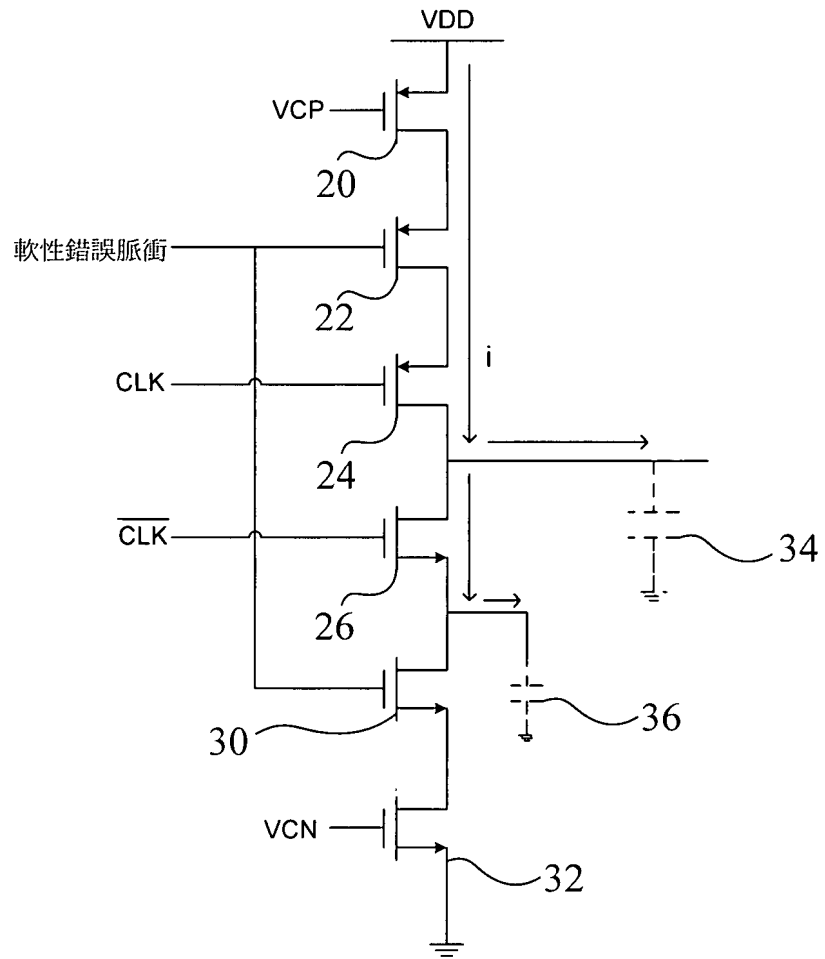
該偵測元件，以穩壓該檢測訊號。

9. 如請求項 7 所述之軟性電子錯誤防護裝置，其中該偵測元件為 C 元件。

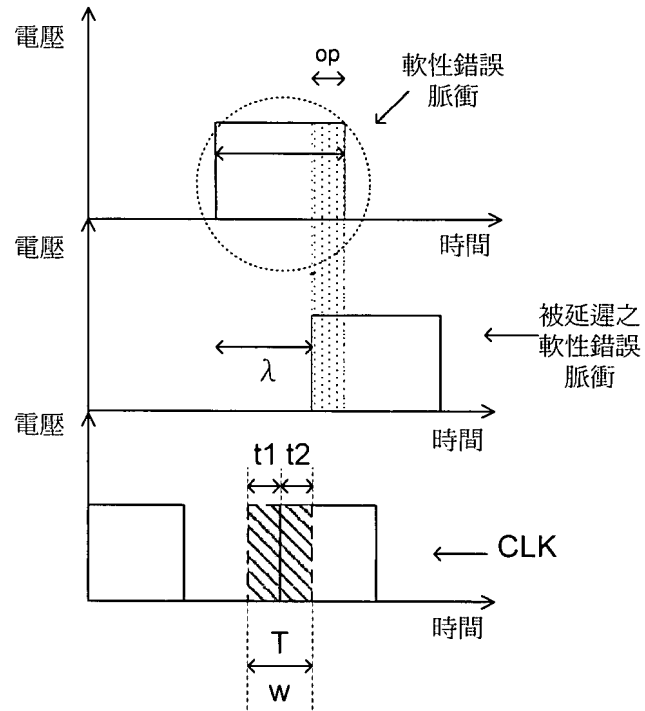
圖式



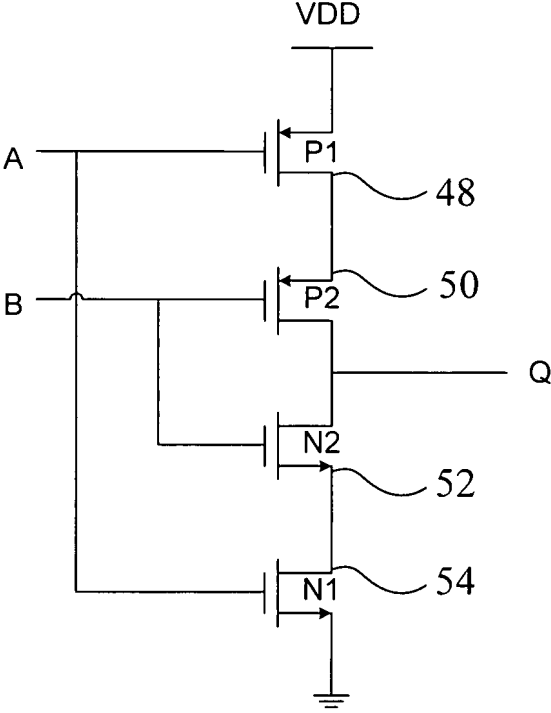
第 1 圖



第 2 圖



第 3 圖



第 4 圖