



(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：TW 201428852 A

(43) 公開日：中華民國 103 (2014) 年 07 月 16 日

(21) 申請案號：102100413

(22) 申請日：中華民國 102 (2013) 年 01 月 07 日

(51) Int. Cl. :

H01L21/3205(2006.01)

H01L21/316 (2006.01)

H01L21/324 (2006.01)

H01L21/322 (2006.01)

(71) 申請人：國立交通大學 (中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)

新竹市大學路 1001 號

(72) 發明人：劉柏村 LIU, PO TSUN (TW)；王薇雅 WANG, WEI YA (TW)；鄧立峯 TENG, LI FENG (TW)

(74) 代理人：黃孝惇

申請實體審查：有 申請專利範圍項數：10 項 圖式數：3 共 18 頁

(54) 名稱

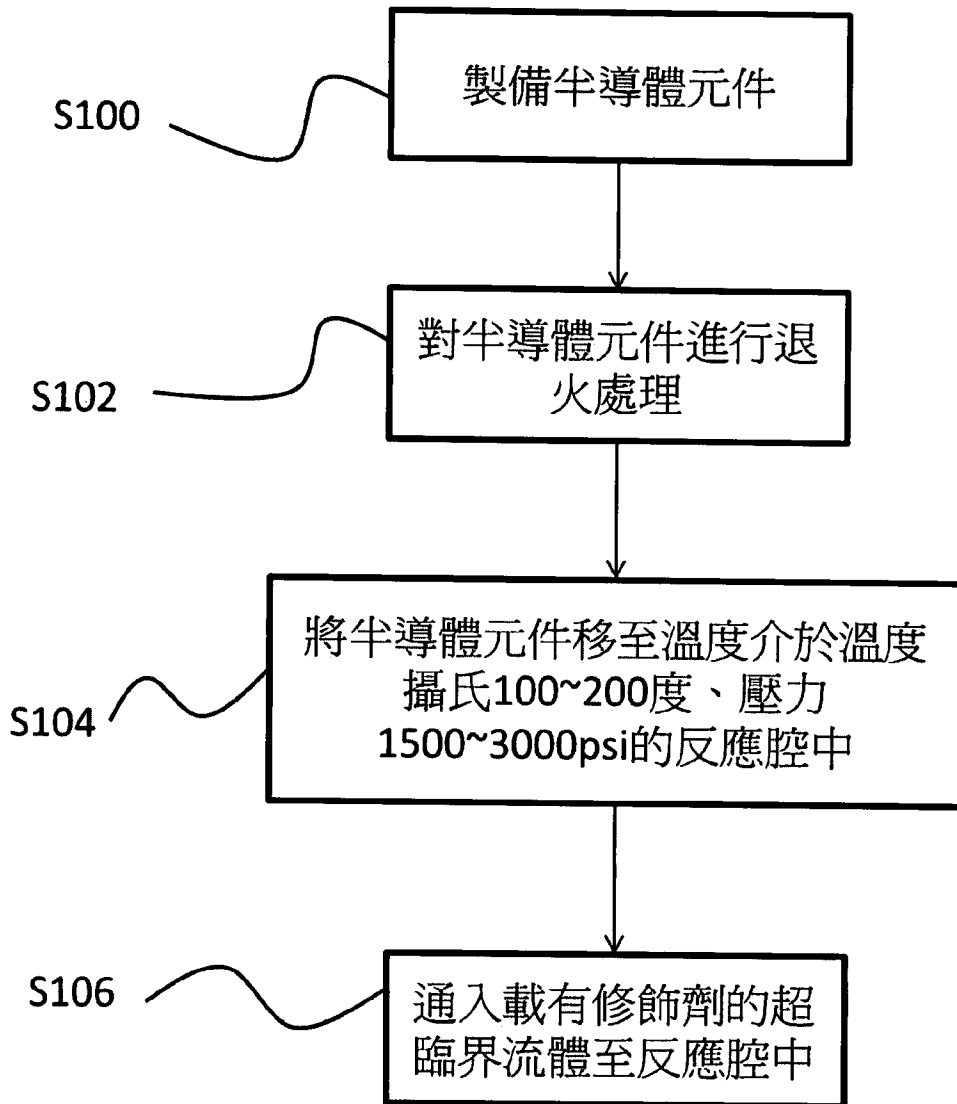
一種半導體元件製程

A METHOD OF MANUFACTURING SEMICONDUCTOR DEVICE

(57) 摘要

本發明提供一種半導體元件製程，其至少包含下列步驟：首先，製備至少包含一閘極、一介電層、一主動層、一源極與一汲極之一半導體元件，其中半導體元件的結構具有複數個缺陷，且主動層為一金屬氧化物薄膜。接著，對半導體元件進行退火處理後，再將半導體元件置於一反應腔中進行反應。最後，通入載有修飾劑之一超臨界流體於反應腔中以使修飾劑修飾該些缺陷。

S100~S106：半導體
元件製程步驟



第 2 圖

發明摘要

※ 申請案號： 102100413

※ 申請日： 102.1.7

※IPC 分類： H01L 21/3205 (2006.01)

H01L 21/316 (2006.01)

H01L 21/324 (2006.01)

H01L 21/322 (2006.01)

【發明名稱】(中文/英文)

一種半導體元件製程

A METHOD OF MANUFACTURING SEMICONDUCTOR DEVICE

【中文】

本發明提供一種半導體元件製程，其至少包含下列步驟：首先，製備至少包含一閘極、一介電層、一主動層、一源極與一汲極之一半導體元件，其中半導體元件的結構具有複數個缺陷，且主動層為一金屬氧化物薄膜。接著，對半導體元件進行退火處理後，再將半導體元件置於一反應腔中進行反應。最後，通入載有修飾劑之一超臨界流體於反應腔中以使修飾劑修飾該些缺陷。

【英文】

The present invention provides a method of manufacturing a semiconductor device. The method at least comprises the following steps. First, the semiconductor device, which comprises a gate, a gate dielectric layer, an active layer, a source and a drain, is manufactured. However, the semiconductor device has a plurality of defects, and the active layer is a metal oxide thin film. After annealing the semiconductor device, it will be transferred into a chamber. A final step of injecting a supercritical fluid carried with a co-solvent into the chamber is then performed to modify the abovementioned defects.

【代表圖】

【本案指定代表圖】：第（ 2 ）圖。

【本代表圖之符號簡單說明】：

S100~S106 半導體元件製程步驟

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

一種半導體元件製程

A METHOD OF MANUFACTURING SEMICONDUCTOR DEVICE

【技術領域】

本發明係有關於一種半導體元件製程，尤其是一種利用超臨界流體載入修飾劑修飾半導體元件內缺陷的半導體元件製程。

【先前技術】

隨著平面顯示器技術的蓬勃發展，薄膜電晶體(Thin Film Transistor, TFT)元件的應用獲得極大的重視。當下，使用薄膜型元件取代外接式積體電路組，以完成製作各種功能型電路於顯示面板上的系統整合面板(System on Panel, SoP)技術，已經被廣泛地發展來達成產品輕、薄、低成本與高製造良率的目標。其中，非晶態金屬氧化物半導體由於具有高的載子遷移率、低製程溫度、均勻性極佳以及透明等特性，十分適合應用於未來的顯示器相關產品以及高的穿透率等特性，普遍被認為是下個世代顯示器的主流之一。

然而，上述技術與材料一直以來都存在著不少問題，面臨技術突破上的瓶頸。首先，基於目前薄膜電晶體的製程，導致得到的薄膜電晶體內往往會存在有許多缺陷(defects)，而此些缺陷的存在會造成載子移動率(mobility)的下降與低導通電流，同時也會造成元件漏電流的提高而使得元件可靠度降低。

近來雖然提出不少修補缺陷的方法，如：利用氫或氧或氨電漿的處理，或在高壓下以高溫水蒸氣修補的方式也曾被提出，但上述方法在不久的未來，當為了降低製程成本以及因應薄膜電晶體須成型於例如塑膠等可撓式基板上時，便無法適用。

另外，目前最為廣泛應用的高效能氧化物薄膜電晶體其組成成分都含有稀散 (Rare Scattering elements)及稀有 (Rare elements)元素，例

如：銦、鎵等。然而，此等稀有元素因係稀有元素，故取得成本較高，另外含有此等稀有元素的薄膜電晶體也具有不易控制等問題，反而增加了整體製程的困難度。

【發明內容】

有鑑於此，本發明提供一種半導體元件製程，其至少包含下列步驟：首先，製備一至少包含一閘極、一閘極介電層、一主動層、一源極與一汲極之半導體元件，其中半導體元件的結構具有複數個缺陷，且主動層為一金屬氧化物薄膜。接著，在對半導體元件進行退火處理後；再將半導體元件置於一反應腔中，且反應腔內之溫度與壓力係分別介於攝氏 100 至 200 度與 1500 至 3000 磅/平方英寸間。最後，通入載有修飾劑之一超臨界流體於反應腔中以使修飾劑修飾該些缺陷。

在本發明之一實施例中，其中上述金屬氧化物薄膜係為一不含銦與鎵元素之金屬氧化物薄膜。

在本發明之一實施例中，其中上述製備半導體元件的步驟更包含：首先，於閘極上形成閘極介電層，再於閘極介電層上形成主動層。接著，定義源極與汲極於主動層上。

在本發明之一實施例中，其中在上述於閘極上形成閘極介電層的步驟之後，更包含下列步驟：進行一第一電漿處理。另外，在上述於閘極介電層上形成主動層的步驟之後，更包含下列步驟：進行一第二電漿處理。較佳地，上述第一電漿處理與上述第二電漿處理均為一氫電漿處理。

在本發明之一實施例中，其中上述對半導體元件進行退火處理之步驟中所使用的退火溫度係介於攝氏 300 至 450 度。

在本發明之一實施例中，其中修飾劑為水。

在本發明之一實施例中，其中修飾劑包含一界面活性劑，且上述界面活性劑係可選擇自由醇類溶液、酮類溶液及其組合所構成之群組。

在本發明之一實施例中，其中上述閘極係可設置於一基板上，且此基板為一玻璃基板或一塑膠基板。

故而，關於本發明之優點與精神可以藉由以下發明詳述及附圖式解說來得到進一步的瞭解。

【圖式簡單說明】

第 1A 圖至第 1C 圖顯示根據本發明一較佳實施例之半導體元件的製備流程圖；

第 2 圖顯示本發明一較佳實施例之半導體元件的後續處理流程圖；以及

第 3A 圖至第 3D 圖顯示本發明一較佳實施例中經低溫高壓技術處理後之半導體元件特性分析結果。

【實施方式】

請參考第 1A 圖至第 1C 圖與第 2 圖，第 1A 圖至第 1C 圖係依序顯示根據本發明一較佳實施例之半導體元件的製備流程，而第 2 圖顯示本發明一較佳實施例之半導體元件的後續處理流程圖。首先，如第 2 圖所示，在步驟 S100 中先製備一半導體元件。在較佳實施例中，半導體元件 100 的製備先從提供一基板開始，此處之基板可為 n⁺重摻雜的矽晶圓並用作為半導體元件 100 的閘極 10。當然，配合本發明後續所提供之低溫高壓處理，此處的基板亦可為一玻璃基板或一塑膠基板，以進一步應用於可撓曲式顯示器技術或一透明顯示裝置上。

接著，於閘極 10 上形成一閘極介電層 20，如第 1A 圖所示。較佳地，閘極介電層 20 為一 100nm 的二氧化矽薄膜，且此步驟係於一 650℃ 的熱熔爐中進行，但本發明並不欲以此為限。

隨後，如第 1B 圖所示，於閘極介電層 20 上形成一金屬氧化物薄膜 30，用作為半導體元件 100 的主動層。必須說明的是，在較佳實施例中，本發明所提供之半導體元件的製程係針對不含銮與鎵元素之金屬氧化物薄膜，其原因業已於先前技術中說明，在此不再贅述。據此，前述金屬氧化物薄膜 30 較佳地為一氧化鋁鋅錫薄膜 30，但本發明並不欲以此為限，亦即上述主動層 30 也可包含其他不含銮與鎵元素之金屬氧化物。

另外，在較佳實施例中，氧化鋁鋅錫薄膜係為一非晶態之鋁鋅錫氧化物。另外，此一形成氧化鋁鋅錫薄膜 30 於閘極介電層 20 上的步驟係利用一射頻磁電管噴濺系統(RF magnetron sputtering system)來完成，且其製程上的條件如下，但本發明並不欲以此為限，合先敘明：

靶源：3 吋 $\text{Al}_2\text{O}_3\text{-ZnO-SnO}_2$ ，且其原子比例為 3：67：30

射頻功率：80W

環境氣體：氧氣對氬氣的比值為 0.2

壓力： 3×10^{-3} torr (室溫下)

沈積厚度：25nm

必須說明的是，在本發明中係以非晶態之氧化鋁鋅錫薄膜取代習知以含有稀散或稀有元素的金氧化物薄膜來作為主動層，可有效地改善習知技術上所面臨的問題。而且，半導體元件 100 將會進一步經由低溫高壓技術處理，並一一驗證其特性，這個部分在此暫不贅述，後續段落將進一步說明。

最後，如第 1C 圖所示，於主動層 30(亦即氧化鋁鋅錫薄膜 30)上定義出源極 40 與汲極 50。較佳地，源極 40 與汲極 50 均為一氧化銻錫薄膜，且其亦利用上述射頻磁電管噴濺系統來完成，且其製程上的條件如下，但本發明並不欲以此為限，合先敘明：

靶源：3 吋 ITO

射頻功率：50W

環境氣體：氬氣

壓力： 3×10^{-3} torr (室溫下)

沈積厚度：70nm

較佳地，上述形成主動層 30、源極 40 與汲極 50 的步驟均可直接採用一擋板光罩(shadow mask)來進行。也就是說，將所欲定義之主動層 30、源極 40 與汲極 50 的寬度與圖案設計好，透過上述擋板光罩以及噴濺系統直接形成於閘極介電層 20 上。然而，上述步驟亦可採用黃光佈

局搭配蝕刻等技術來完成，本發明並不欲以此為限。

值得說明的是，雖未圖示，但在較佳實施例中，在上述於閘極上形成閘極介電層的步驟之後，更包含下列步驟：進行一第一電漿處理。另外，在上述於閘極介電層上形成主動層的步驟之後，更包含下列步驟：進行一第二電漿處理。也就是說，本發明所提供的半導體製程中將分別針對閘極介電層 20 與主動層 30 進行電漿處理。較佳地，第一電漿處理及第二電漿處理均使用氫電漿，且每次處理的間隔時間為 200 秒、功率、工作電壓與溫度分別為 50W、0.06torr 與 80°C，但本發明並不欲以此為限。

承上，經由上述製備流程(如噴濺製程)所製備出的半導體元件 100，其結構可能仍具有不少會導致元件特性下降的缺陷，因此本發明於半導體元件 100 製備完成後進一步提供一利用低溫高壓技術之後續處理步驟，如第 2 圖所示。

首先，如步驟 S102 所示，將對上述半導體元件 100 進行一退火處理，使其具有半導體元件應有之特性。較佳地，上述步驟中所使用的退火溫度係介於攝氏 300 至 450 度，且處理時間為 1 小時。但由於半導體元件 100 之閘極介電層 20 與主動層 30 均已先經氫電漿處理，故退火溫度較佳地可降至攝氏 300 度。

接著，將經退火處理之半導體元件 100 置入一反應腔中，如步驟 S104 所示。較佳地，反應腔內之溫度係介於攝氏 100 至 200 度，而反應腔內之壓力係介於 1500 至 3000 磅/平方英寸(psi)。

最後，通入載有修飾劑之一超臨界流體於反應腔中，如步驟 S106 所示。其中，上述超臨界流體可選自由二氧化碳、氧氣、氨氣、氫氣、氫氣與水氣所構成之群組，而修飾劑為水。另外，修飾劑更包含一界面活性劑，係用以使極性的修飾劑能夠均勻地分散於非極性的超臨界流體中，而有效地被載入半導體元件的結構內。因此，上述界面活性劑係可選擇自由醇類溶液、酮類溶液及其組合所構成之群組。較佳地，上述反應時間較佳地為 1 小時，亦即連同穩定反應腔內的溫度與壓力所需的時間一併考慮在內。再者，超臨界流體較佳地係與 50 vol.%的丙

酮溶液以及 50 vol.% 的純水相混合，但本發明並不欲以此為限。

由此可知，當藉由超臨界流體將修飾劑(亦即水分子)載入半導體元件後，便可藉由水的氧化能力氧化半導體元件內的缺陷以達到修飾的效果。

接下來請參考第 3A 圖至第 3D 圖，第 3A 圖至第 3D 圖顯示本發明一較佳實施例中經低溫高壓技術處理後之半導體元件特性分析結果，藉由一系列可靠度分析與材料分析的探討便能驗證經由本發明所提供之製程確實能夠提升半導體元件之效能。

首先，如第 3A 圖所示，第 3A 圖顯示本發明一較佳實施例中所製備之半導體元件於處理前後的轉移特性曲線圖，其中 I_D 為汲極電流， V_G 為閘極電壓。如圖所示，經過退火後再做超臨界流體處理的半導體元件(b)，相較於未處理過的半導體元件(a)在基本特性方面確實有明顯改善。接著，第 3B 圖顯示本發明一較佳實施例中所製備之半導體元件於處理前後之遷移率與起始電壓的誤差線圖，由該圖可以得知，由於超臨界流體可以有效地將水帶入薄膜結構中進而修飾上述那些薄膜中的缺陷，因此進而半導體元件整體的缺陷態密度大幅下降，半導體元件的基本電性(如遷移率提高以及起始電壓下降等)也被有效地改善。

緊接地，請參考第 3C 圖，該圖係顯示本發明一較佳實施例中所製備之半導體元件於處理前後正、負偏壓之可靠性測試，其中曲線(a)代表處理前之半導體元件的負偏壓可靠性，曲線(b)代表處理後之半導體元件的負偏壓可靠性，曲線(c)代表處理前之半導體元件的正偏壓可靠性，以及曲線(d)代表處理後之半導體元件的正偏壓可靠性。如圖所示，經處理之半導體元件較不受閘極負偏壓應力(Negative Gate bias stress)的影響，而且其於閘極正偏壓之劣化程度最小。

最後，請參考第 3D 圖，該圖係顯示本發明一較佳實施例中所製備之半導體元件於處理前(a)後(b)經照光與負偏壓的測試，也就是是對光敏感度的量測。如圖所示，在照光環境下做閘極負偏壓應力測試(Negative bias illumination stress)，雖然半導體元件多少都有劣化，但經過處理的半導體元件受影響程度最小。

綜上所述，本發明選擇使用鋁錫取代銦鎵之非晶隙透明導電三元氧化物半導體，當作半導體元件的主動層，再利用超臨界流體同時具有氣體高擴散性與液體高負載能力，將修飾劑帶入濺鍍沉積的薄膜內，成功地在低溫的環境下鈍化元件內的缺陷，改善非晶態氧化鋁鋅錫薄膜電晶體的電特性，並可將整體製程應用於未來新穎的顯示器技術上。

以上所述僅為本發明之較佳實施例而已，並非用以限定本發明之申請專利範圍；凡其它未脫離本發明所揭示之精神下所完成之等效改變或修飾，均應包含在下述之申請專利範圍內。

【符號說明】

100	半導體元件
10	閘極
20	閘極介電層
30	主動層
40	源極
50	汲極
S100~S106	半導體元件製程步驟

【生物材料寄存】

國內寄存資訊【請依寄存機構、日期、號碼順序註記】

國外寄存資訊【請依寄存國家、機構、日期、號碼順序註記】

【序列表】(請換頁單獨記載)

申請專利範圍

1. 一種半導體元件製程，至少包含下列步驟：

製備一半導體元件，該半導體元件至少包含一閘極、一閘極介電層、一主動層、一源極與一汲極，其中該半導體元件的結構具有複數個缺陷，且該主動層為一金屬氧化物薄膜；

對該半導體元件進行一退火處理；

置放該半導體元件於一反應腔中，且該反應腔內之溫度與壓力係分別介於攝氏 100 至 200 度與 1500 至 3000 磅/平方英寸間；以及

通入載有修飾劑之一超臨界流體於該反應腔中以使該修飾劑修飾該些缺陷。

2. 如申請專利範圍第 1 項所述之半導體元件製程，其中該金屬氧化物薄膜係為一不含銮與鎵元素之金屬氧化物薄膜。

3. 如申請專利範圍第 1 項所述之半導體元件製程，其中該製備該半導體元件的步驟更包含：

於該閘極上形成該閘極介電層；

於該閘極介電層上形成該主動層；以及

定義該源極與該汲極於該主動層上。

4. 如申請專利範圍第 3 項所述之半導體元件製程，其中在該於該閘極上形成該閘極介電層的步驟之後，更包含下列步驟：

進行一第一電漿處理。

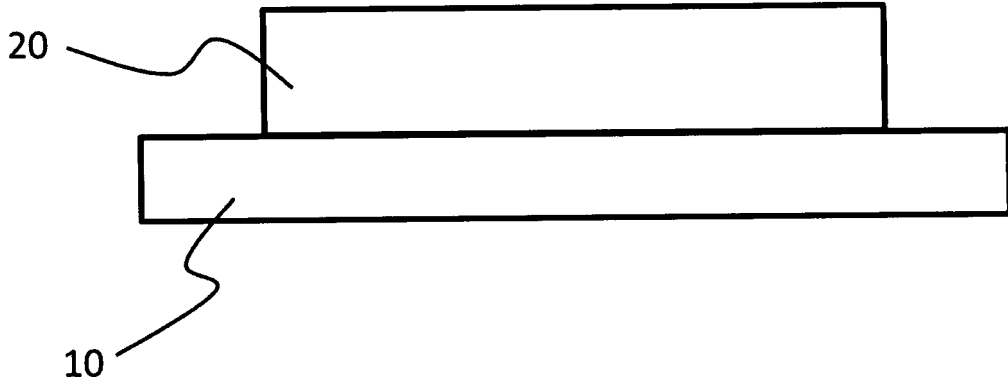
5. 如申請專利範圍第 4 項所述之製成，其中在該於該閘極介電層上形成該主動層的步驟之後，更包含下列步驟：

進行一第二電漿處理。

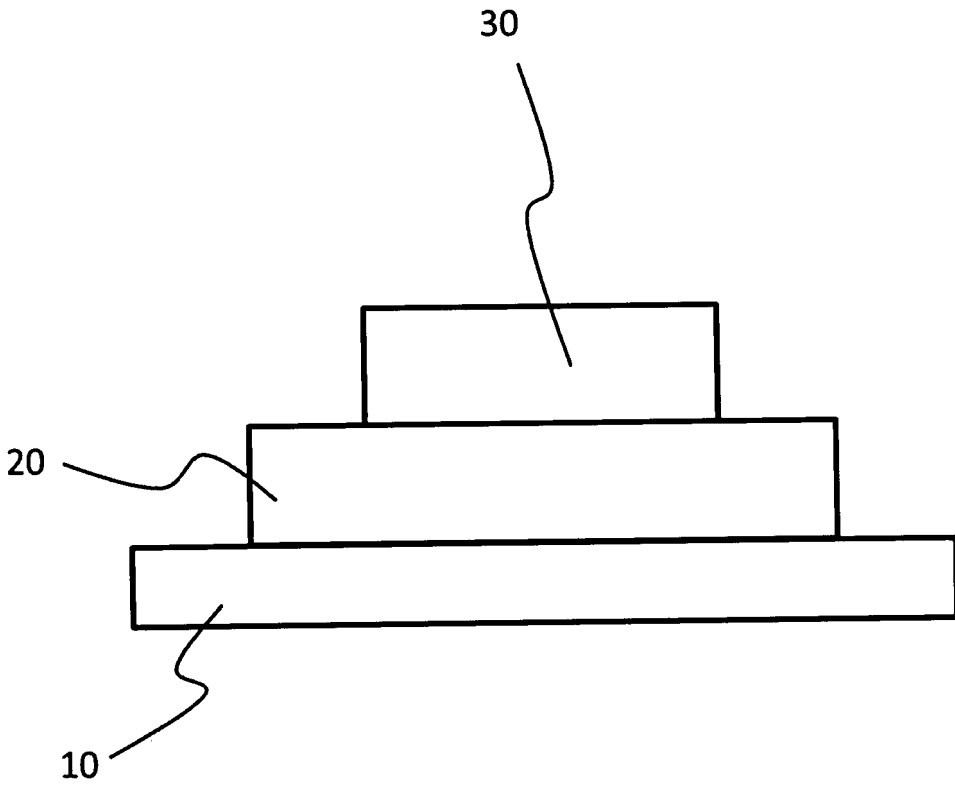
6. 如申請專利範圍第 5 項所述之半導體元件製程，其中該第一電漿處理與該第二電漿處理均為一氬電漿處理。

7. 如申請專利範圍第 5 項所述之半導體元件製程，其中該對該半導體元件進行該退火處理之步驟中所使用的退火溫度係介於攝氏 300 至 450 度。
8. 如申請專利範圍第 1 項所述之半導體元件製程，其中該修飾劑為水。
9. 如申請專利範圍第 1 項所述之半導體元件製程，其中該修飾劑包含一界面活性劑，且該界面活性劑係可選擇自由醇類溶液、酮類溶液及其組合所構成之群組。
10. 如申請專利範圍第 1 項所述之半導體元件製程，其中該閘極係可設置於一基板上，且該基板為一玻璃基板或一塑膠基板。

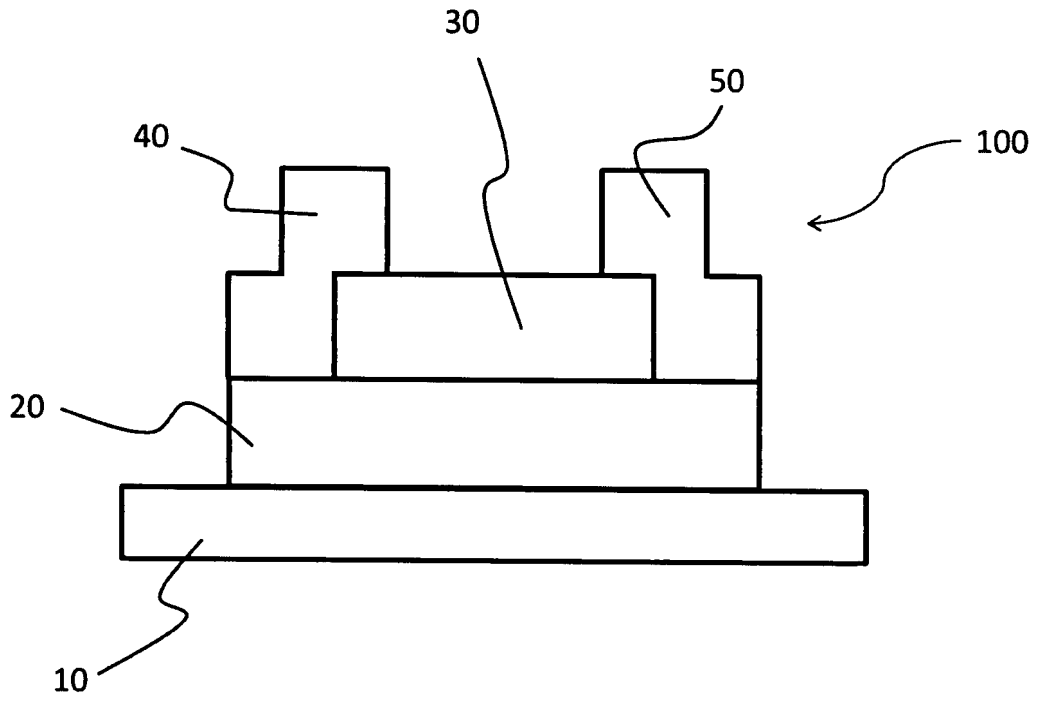
圖式



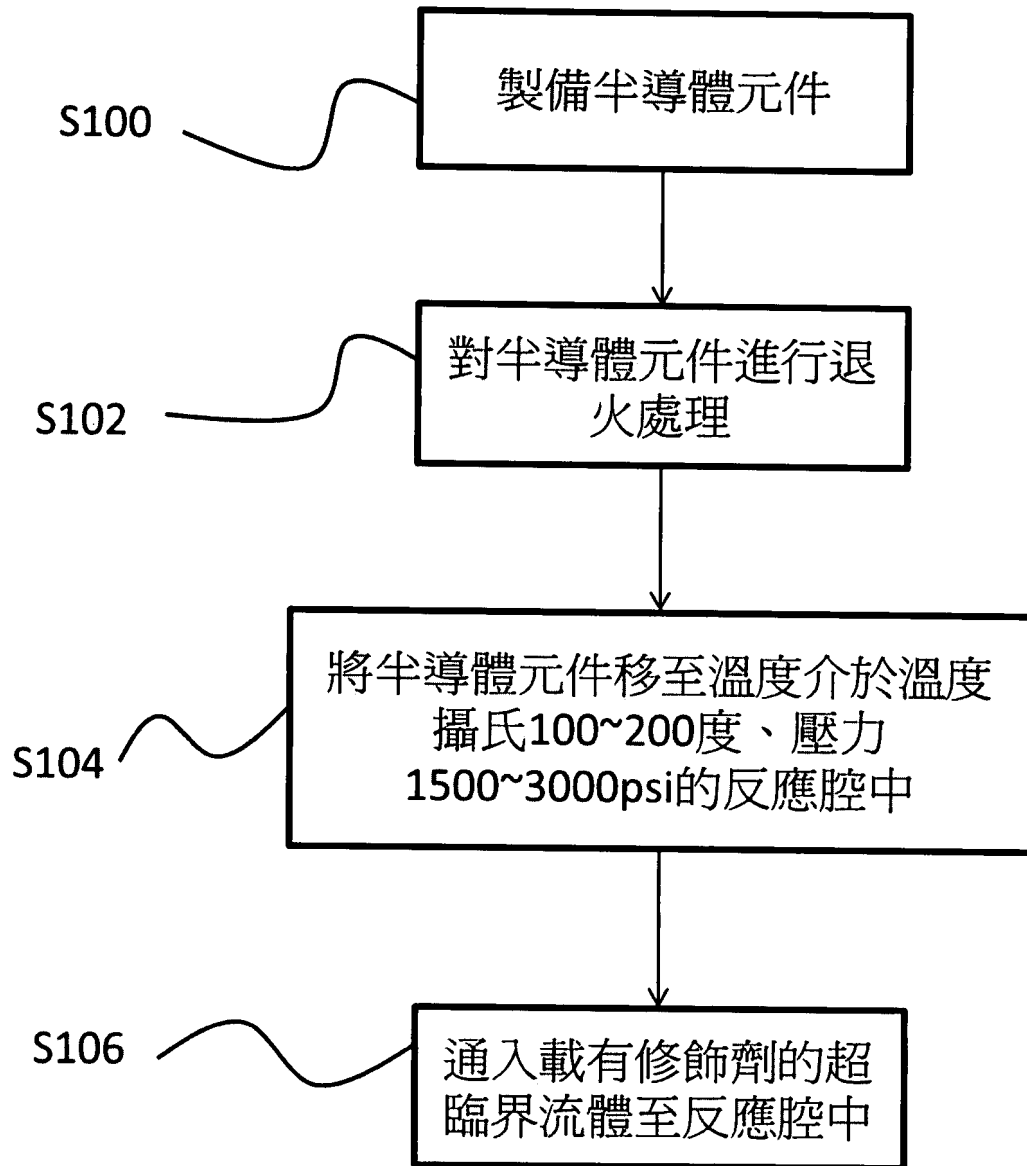
第 1 A 圖



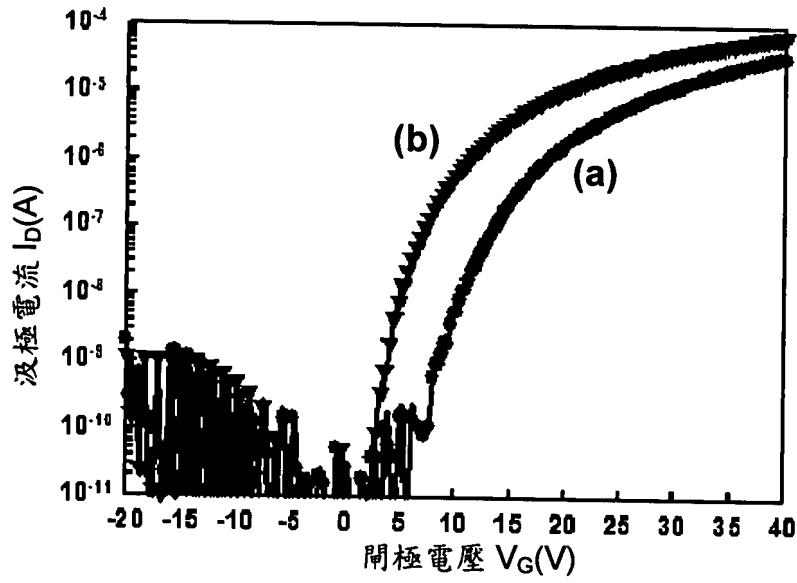
第 1 B 圖



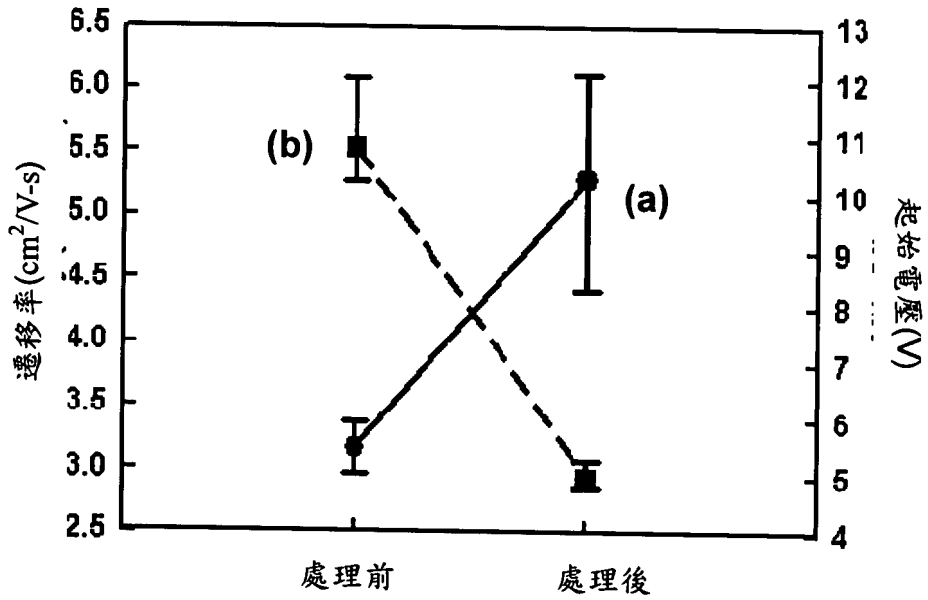
第 1C 圖



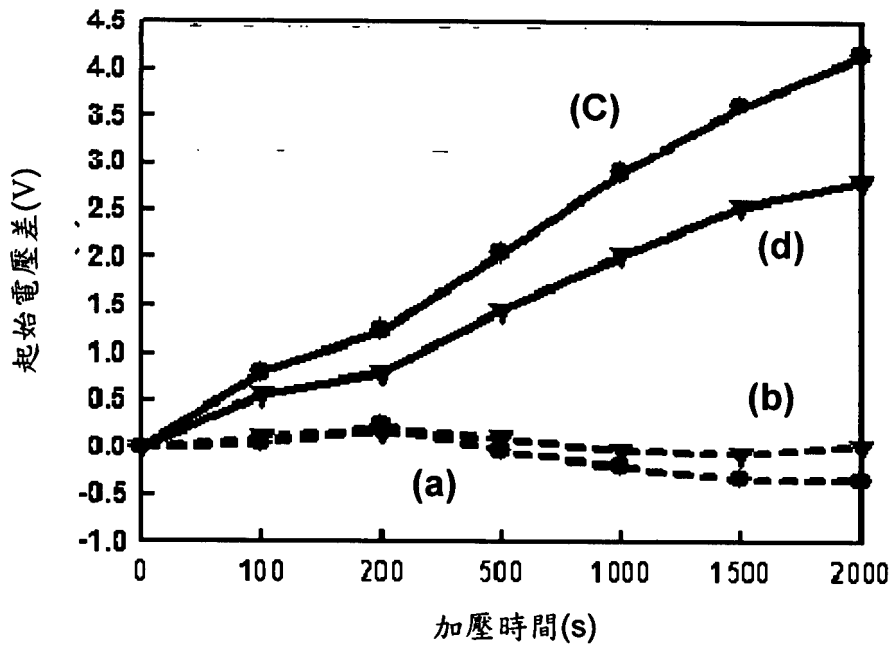
第 2 圖



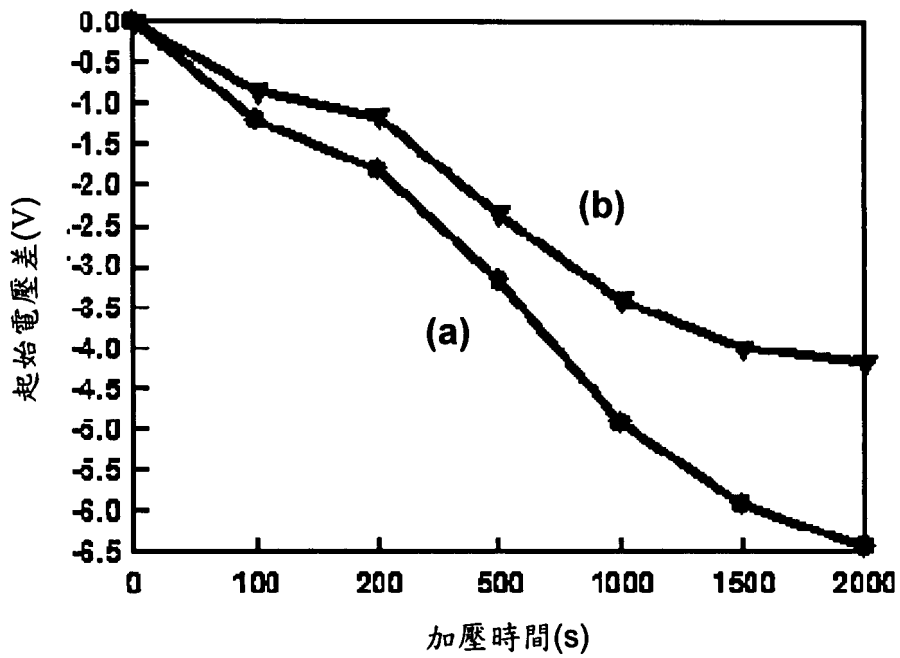
第 3 A 圖



第 3 B 圖



第 3C 圖



第 3D 圖