

(21) 申請案號：101149730

(22) 申請日：中華民國 101 (2012) 年 12 月 25 日

(51) Int. Cl. : H01L27/04 (2006.01)

H01L23/52 (2006.01)

(71) 申請人：國立交通大學 (中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)

新竹市大學路 1001 號

(72) 發明人：邱俊誠 CHIOU, JIN CHERN (TW)；張志瑋 CHANG, CHIH WEI (TW)；楊自森 YANG, TZU SEN (TW)

(74) 代理人：林火泉

申請實體審查：有 申請專利範圍項數：18 項 圖式數：7 共 24 頁

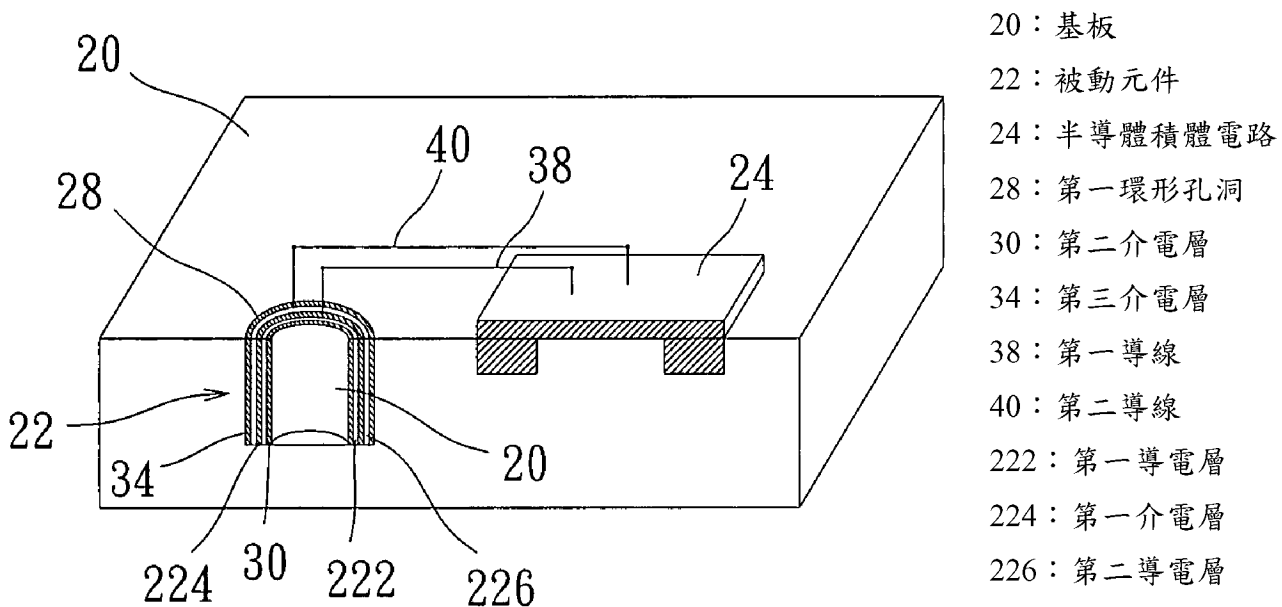
(54) 名稱

整合被動元件之半導體裝置

SEMICONDUCTOR DEVICE INTEGRATED WITH PASSIVE DEVICE

(57) 摘要

本發明提供一種整合被動元件之半導體裝置，應用於類比電路中，係利用穿孔技術，製作出電容、電阻及電感之被動元件。至少一被動元件設於基板中，被動元件包含依序層疊的第一導電層、第一介電層及第二導電層，該第一導電層與該第二導電層之間係透過該第一介電層以產生一等效元件，至少一半導體積體電路設於基板上，係透過第一導電層及第二導電層電性連接，據以形成雙向訊號導通路徑。被動元件可設於基板的背面，以解決被動元件佔據了有限的基板面積的問題。



第2A圖

# 發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 101149730

※ 申請日： 101.12.25 ※IPC 分類： H01L 27/04:2006.01

一、發明名稱：(中文/英文) H01L 27/04:2006.01

整合被動元件之半導體裝置/ semiconductor device integrated with passive device

## 二、中文發明摘要：

本發明提供一種整合被動元件之半導體裝置，應用於類比電路中，係利用穿孔技術，製作出電容、電阻及電感之被動元件。至少一被動元件設於基板中，被動元件包含依序層疊的第一導電層、第一介電層及第二導電層，該第一導電層與該第二導電層之間係透過該第一介電層以產生一等效元件，至少一半導體積體電路設於基板上，係透過第一導電層及第二導電層電性連接，據以形成雙向訊號導通路徑。被動元件可設於基板的背面，以解決被動元件佔據了有限的基板面積的問題。

## 三、英文發明摘要：

The present invention provides a semiconductor device integrated with passive device, which is utilized on an analog circuits. It is using through silicon via technique to fabricate capacitance, resistance and inductance. At least a passive device disposed in a substrate, the passive device comprises a first conductive layer, a first dielectric layer and a second conductive layer is sequentially laminated, between the first conductive layer and the second conductive layer by the first dielectric layer to generate an equivalence element. At least a active device disposed on the substrate, the active device is electrically connected to passive device by the first conductive layer and the second conductive layer to form a bi-directional signal conduction paths. The passive device provided on substrate back, to solve the problem of the passive devices occupy a limited area of the substrate.

四、指定代表圖：

(一)本案指定代表圖為：第 ( 2A ) 圖。

(二)本代表圖之元件符號簡單說明：

- 20 基板
- 22 被動元件
- 222 第一導電層
- 224 第一介電層
- 226 第二導電層
- 24 半導體積體電路
- 28 第一環形孔洞
- 30 第二介電層
- 34 第三介電層
- 38 第一導線
- 40 第二導線

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

## 六、發明說明：

### 【發明所屬之技術領域】

本發明係有關一種半導體裝置，特別是指一種以穿孔方式整合被動元件之半導體裝置。

### 【先前技術】

按，在現今深次微米技術的迅速演進之下，常常需要在一顆晶片 (chip) 之中整合大量而且不同的電路，舉例來說，深次微米互補金屬氧化半導體 (CMOS) 電路中，主動 CMOS 元件與被動元件連線之間的交互作用，是高效能超大型積體電路系統設計上最重要的議題之一。

為了解決於 CMOS 電路中外接被動元件所造成的體積增加問題，目前已有透過內埋被動元件於 CMOS 元件的整合技術，來縮短電路佈局、減少訊號傳輸距離來提升整體半導體元件的工作性能，如第 1A、1B 及 1C 所示，分別為先前技術之半導體元件示意圖、被動元件之電路圖及被動元件之俯視圖。係於一矽基板 10 上製作一 CMOS 元件 12 及一深溝渠 (deep trench) 14，其作為高容值的設計，於深溝渠 14 內壁形成一環形的絕緣層 16，並於絕緣層 16 中形成一金屬層 18，金屬層 18 與絕緣層 16 之間產生一等效電容 (C)，且等效電容之一端連接至金屬層 14，其可利用導線與 CMOS 元件 12 電性連接，等效電容之另一端連接矽基板 10 至地。此半導體元件製作出被動元件的主要目的是增加容值，例如作為濾波雜訊，或是解決地跳動 (ground bounce) 問題。雖然能夠整合被動元件 (等效電容) 與 CMOS 元件 12，由於僅能提供單方向的電壓訊號通過，故此半導體元件侷限應用於數位電路中。再者，若要製作大量或是較大電阻、電容或電感等被動元件，

於電路上必須佔用較大面積，對於整合 CMOS 元件 12 之設計上相對增加困難度以及整體體積無法微小化等缺點，且容易產生訊號干擾問題。

有鑑於此，本發明遂針對上述先前技術之缺失，提出一種整合被動元件之半導體裝置，以有效克服上述之該等問題。

### 【發明內容】

本發明之主要目的在提供一種整合被動元件之半導體裝置，其利用穿孔製程方式製作大容值、大感值或大阻值的被動元件，並整合於半導體積體電路中，被動元件可作為半導體積體電路中雙向訊號導通，能夠實際應用於類比電路中，使其整體體積微縮化，以符合產品輕薄短小之需求。

本發明之另一目的在提供一種整合被動元件之半導體裝置，其利用穿孔方式將被動元件製作於基板的正面或背面中，能夠大量製作被動元件且可減少所佔用之電路佈局面積及減少訊號互相干擾，進而又可減少 MEMS 後製程與半導體積體電路之間的耦合效應。

為達上述之目的，本發明提供一種整合被動元件之半導體裝置，應用於類比電路中，半導體裝置包括一基板、至少一被動元件及一半導體積體電路。被動元件設於基板中，被動元件包含一第一導電層、一第一介電層及一第二導電層，其中第一導電層設於基板中，第一介電層設於第一導電層上，第二導電層設於第一介電層上，形成層疊結構設計，第一導電層與第二導電層之間係透過第一介電層以形成一等效元件。半導體積體電路設於基板上，係透過第一導電層及第二導電層電性連接，據以形成雙向訊號導通路徑。

底下藉由具體實施例詳加說明，當更容易瞭解本發明之目的、技術內

容、特點及其所達成之功效。

### 【實施方式】

本發明主要係設計一種可應用於類比電路中的半導體裝置，一般在類比電路設計中，尤其是生醫相關訊號，有時需要高容值的電容、高阻值的電阻及高感值的電感等被動元件設計，然而此些被動元件必須佔用大量的電路面積，使製造成本大幅上升、整體體積龐大。因此，本發明係利用矽穿孔 (TSV) 技術來實現製作出具有雙方向電壓訊號導通路徑的被動元件，並整合於半導體積體電路中，以製作出微型化的半導體裝置。

請同時參閱第 2A、2B 及 2C 圖，分別為本發明之第一實施例之結構示意圖、被動元件之電路圖及被動元件之俯視圖，半導體裝置包括一基板 20、至少一被動元件 22 及一半導體積體電路 24。被動元件 22 設於基板 20 中，被動元件 22 包含一第一導電層 222、一第一介電層 224 及一第二導電層 226，其中第一導電層 222 設於基板 20 中，第一介電層 224 設於第一導電層 222 上，第二導電層 226 設於第一介電層 224 上，形成層疊結構設計。其中，第一導電層 222 與第二導電層 226 之間係透過第一介電層 224 以產生一等效元件 26，此等效元件 26 取決於介電層不同的介電材料及電阻的基板材料來產生電容、電阻或電感的等效元件，本發明所使用之基板 20 最佳為矽基板。

在此，以被動元件 22 與半導體積體電路 24 製作於基板 20 的正面為例說明，利用穿孔方式 (through silicon via, TSV) 於基板 20 之正面設計有至少一第一環形孔洞 28，半導體積體電路 24 係設於基板 20 之正面。其中，被動元件 22 係為柱狀被動元件時，柱狀被動元件包含由內向外環設之第一

導電層 222、第一介電層 224 及第二導電層 226，第一導電層 222 及第二導電層 224 係為環形導電層，第一介電層 224 係形成對應環形導電層之形狀。

其中，柱狀被動元件設於第一環形孔洞 28 內之前，先於第一環形孔洞 28 內環設一第二介電層 30，柱狀被動元件設於第一環形孔洞 28 內之後，第二介電層 30 位於基板 20 與第一導電層 222 之間，據以產生一第一寄生電容 32。再於基板 20 與第二導電層 226 之間環設一第三介電層 34，據以產生一第二寄生電容 36。詳言之，等效元件 26 之兩端分別連接於第一導電層 222 與第二導電層 226；第一寄生電容 32 之兩端分別連接第一導電層 222 及透過基板 20 接至地端；第二寄生電容 36 之兩端分別連接第二導電層 226 及透過基板 20 接至地端，使得等效元件 26 透過第一導電層 222 與第二導電層 226 而形成兩個電壓訊號端點。最後，第一導電層 222 及第二導電層 226 分別利用一第一導線 38 及一第二導線 40 電性連接至半導體積體電路 24，據以形成雙向訊號導通路徑。

除了上述柱狀被動元件 22 及半導體積體電路 24 同時製作於基板的正面以外，為了能解決被動元件佔用半導體積體電路 24 的製作面積，故如第 3A 及 3B 所示，分別為本發明之第二實施例之結構示意圖及被動元件之電路圖。基板 20 之背面以穿孔方式設計有至少一第二環形孔洞 42 以及至少一第一穿孔 (via) 44，半導體積體電路 24 係設於基板 20 之正面，柱狀被動元件設於第二環形孔洞 42 內。

其中，第二環形孔洞 42 內環設一第二介電層 30，位於基板 20 與第一導電層 222 之間，據以產生一第一寄生電容 32；基板 20 與第二導電層 226 之間環設一第三介電層 34，據以產生一第二寄生電容 36。等效元件 26、第

一寄生電容 32 及第二寄生電容 36 之連接關係與第一實施例相同，在此不再贅述。值得注意的是，由於柱狀被動元件設置於基板 20 的背面中，因此以穿孔方式製作出第一穿孔 44，其垂直貫穿基板 20 的正面及背面，第一導電層 222 及第二導電層 226 分別利用第一導線 38 及第二導線 40 穿過第一穿孔 44 以電性連接至半導體積體電路 24。如此一來，即能有效解決被動元件佔用製作面積的問題。

請同時參閱第 4A、4B 及 4C 圖，分別為本發明之第三實施例之結構示意圖、被動元件之電路圖及被動元件之俯視圖。基板 20 之正面利用穿孔方式設計有至少一第一孔洞 46，半導體積體電路 24 係設於基板 20 之正面，其中柱狀被動元件設於第一孔洞 46 內，柱狀被動元件包含由內向外環設之第一導電層 222、第一介電層 224 及第二導電層 226，第一導電層 222 係為實心圓導電層，第二導電層 224 係為環形導電層，第一介電層 224 係形成對應環形導電層之形狀。基板 20 與第二導電層 226 之間環設一第三介電層 34，據以產生一第二寄生電容 36；其中，第一導電層 222 與第二導電層 226 之間係透過第一介電層 224 以產生一等效元件 26，且等效元件 26 之兩端分別連接第一導電層 222 及透過基板 20 接至地端，以形成兩個電壓訊號端點；第二寄生電容 36 之兩端分別連接第二導電層 226 及透過基板 20 接至地端。第一導電層 222 及第二導電層 226 分別利用第一導線 38 及一第二導線 40 電性連接至半導體積體電路 24。

接續，請同時參閱第 5A 及 5B 圖，分別為本發明之第四實施例之結構示意圖及被動元件之電路圖。其與第三實施例差異在於：柱狀被動元件及半導體積體電路 24 分別設於基板 20 的背面及正面，基板 20 之背面以穿孔



方式設計有至少一第二孔洞 48 以及至少一第二穿孔 (via) 50，半導體積體電路 24 係設於基板 20 之正面，柱狀被動元件設於第二孔洞 48 內，值得注意的是，由於柱狀被動元件設置於基板 20 的背面中，因此以穿孔方式製作出第二穿孔 50，其垂直貫穿基板 20 的正面及背面，第一導電層 222 及第二導電層 226 分別利用第一導線 38 及第二導線 40 穿過第二穿孔 50 以電性連接至半導體積體電路 24。其中，第一導電層 222 與第二導電層 226 之間係透過第一介電層 224 以產生一等效元件 26，且等效元件 26 之兩端分別連接第一導電層 222 及透過基板 20 接至地端，以形成兩個電壓訊號端點；第二寄生電容 36 之兩端分別連接第二導電層 226 及透過基板 20 接至地端。

請同時參閱第 6A、6B 及 6C 圖所示，分別為本發明之第五實施例之結構示意圖、被動元件之電路圖及被動元件之俯視圖。在此係將被動元件與半導體積體電路分別設置於基板 20 的背面及正面；其中，被動元件係設計為板狀被動元件時，其包含依序由下至上層疊的第一導電層 222、第一介電層 224 及第二導電層 226。基板 20 之背面具有至少一溝渠 52、至少一第三穿孔 54 及至少一第四穿孔 56。本發明利用 MEMS 後製程方式製作出板狀被動元件，並依序由下至上將第一導電層 222、第一介電層 224 及第二導電層 226 設於溝渠 52 內；其中，溝渠 52 內設有一第二介電層 30，其位於基板 20 與第一導電層 222 之間，據以產生一第一寄生電容 32；基板 20 與第二導電層 226 之間設有一第三介電層 34，據以產生一第二寄生電容 36。其中，第一介電層 224 係為 High K 的介電材料，使得第一導電層 222 與第二導電層 226 之間能透過第一介電層 224 以產生高容值的電容、高阻值的電阻或高感值的電感之等效元件 26。第一導電層 222 與第二導電層 226 分別

利用第一導線 38 及第二導線 40 分別穿過第三穿孔 54 及第四穿孔 56 以電性連接至半導體積體電路 24。當然，利用 MEMS 後製程方式製作出的板狀被動元件，除了為 I 字型之外，亦可製作為曲折的 M 字型、O 字型或口字型等。

上述該等實施例中，半導體積體電路 24 係為互補式金氧半電晶體 (CMOS)，被動元件係為電阻、電容或電感。

第一介電層 224 之材料係為五氧化二鉭 ( $Ta_2O_5$ )、二氧化鈦 ( $TiO_2$ )、二氧化鈺 ( $HfO_2$ )、二氧化鋯 ( $ZrO_2$ )、三氧化二鋁 ( $Al_2O_3$ )、三氧化二鏷 ( $La_2O_3$ ) 或三氧化二釷 ( $Pr_2O_3$ ) 等絕緣材料，舉例來說，被動元件係要製作出高阻值的電阻，則在第一導電層 222 及第二導電層 226 之間的介電材料可選擇高阻值、低介電性，即可產生高阻抗電阻元件，同理，製作電容或電感皆可依據電路需求與特性而選擇能夠產生高容值或高感值的被動元件。當然，第一寄生電容 32 及第二寄生電容 36 之容值也取決於所選擇的介電材料。

請參閱第 7 圖，為本發明應用於類比電路中示意圖。於基板上可製作複數個被動元件 22 及半導體積體電路 24，舉例來說，半導體積體電路 24 設於基板的正面，而此些被動元件 22 可同時設於基板的正面或背面，或是被動元件 22 同時設於基板的正面及背面，只要利用至少二導線 58 分別連接被動元件 22 之兩端 (也就是被動元件 22 中的第一導電及第二導層電層)，即可利用導線 58 將此些被動元件 22 串聯連接或並聯連接，以及將被動元件 22 電性連接至對應的半導體積體電路 24，由於被動元件 22 之結構設計具有雙向訊號導通路徑之特性，因此能夠實現應用於類比電路中，使

得本發明的半導體裝置能夠突破先前技術在整合被動元件製程上的困難度及侷限應用於數位電路之窘境。當然不侷限應用於放大器的類比電路設計，亦可應用於電源供應器或是開關等類比電路。

綜上所述，本發明利用穿孔方式（TSV）製作兩層的導電層，使得透過兩導電層之間所產生的等效元件具有雙向訊號導通路徑之特性，不僅可縮短電路佈局、增加密集度，且可降低訊號互相干擾的問題，進而提昇整體電路系統效能以及整體體積微縮化，以符合產品輕薄短小之需求。再者，無須特殊的製程要求，不僅能有效將電阻、電容或電感等被動元件與 CMOS 的半導體積體電路整合，又能解決被動元件佔據了有限的基板面積空間的問題，以及減少 MEMS 後製程與 CMOS 電路之間的耦合效應。

唯以上所述者，僅為本發明之較佳實施例而已，並非用來限定本發明實施之範圍。故即凡依本發明申請範圍所述之特徵及精神所為之均等變化或修飾，均應包括於本發明之申請專利範圍內。

### 【圖式簡單說明】

第 1A 圖為先前技術之半導體元件示意圖。

第 1B 圖為第 1A 圖中的被動元件示意圖。

第 1C 圖為第 1A 圖中的被動元件之俯視圖。

第 2A 圖為本發明之第一實施例之結構示意圖。

第 2B 圖為第 2A 圖中的被動元件示意圖。

第 2C 圖為第 2A 圖中的被動元件之俯視圖。

第 3A 圖為本發明之第二實施例之結構示意圖。

第 3B 圖為第 3A 圖中的被動元件之電路圖。

第 4A 圖為本發明之第三實施例之結構示意圖。

第 4B 圖為第 4A 圖中的被動元件之電路圖。

第 4C 圖為第 4A 圖中的被動元件之俯視圖。

第 5A 圖為本發明之第四實施例之結構示意圖。

- 第 5B 圖為第 5A 圖中的被動元件之電路圖。

- 第 6A 圖為本發明之第五實施例之結構示意圖。

第 6B 圖為第 6A 圖中的被動元件之電路圖。

第 7 圖為本發明應用於數位電路中之示意圖。

**【主要元件符號說明】**

10 矽基板

12 CMOS 元件

14 深溝渠

16 絕緣層

18 金屬層

- 20 基板

- 22 被動元件

222 第一導電層

224 第一介電層

226 第二導電層

24 半導體積體電路

26 等效元件

28 第一環形孔洞

- 30 第二介電層
- 32 第一寄生電容
- 34 第三介電層
- 36 第二寄生電容
- 38 第一導線
- 40 第二導線
- 42 第二環形孔洞
- 44 第一穿孔
- 46 第一孔洞
- 48 第二孔洞
- 50 第二穿孔
- 52 溝渠
- 54 第三穿孔
- 56 第四穿孔
- 58 導線

七、申請專利範圍：

1. 一種整合被動元件之半導體裝置，應用於類比電路中，該半導體裝置包括：
  - 一基板；
  - 至少一被動元件，設於該基板中，該被動元件包含：
    - 一第一導電層，設於該基板中；
    - 一第一介電層，設於該第一導電層上；及
    - 一第二導電層，設於該第一介電層上，該第一導電層與該第二導電層之間係透過該第一介電層以產生一等效元件；及
  - 至少一半導體積體電路，設於該基板上，該半導體積體電路係透過該第一導電層及該第二導電層電性連接，據以形成雙向訊號導通路徑。
2. 如請求項 1 所述之整合被動元件之半導體裝置，其中該被動元件係為板狀被動元件或柱狀被動元件。
3. 如請求項 2 所述之整合被動元件之半導體裝置，其中該柱狀被動元件包含由內向外環設之該第一導電層、該第一介電層及該第二導電層，該第一導電層及該第二導電層係為環形導電層，該第一介電層係形成對應該環形導電層之形狀。
4. 如請求項 3 所述之整合被動元件之半導體裝置，其中該基板之正面設有至少一第一環形孔洞，該半導體積體電路係設於該基板之正面，該柱狀被動元件設於該第一環形孔洞內，該第一導電層及該第二導電層分別利用一第一導線及一第二導線電性連接至該半導體積體電路。
5. 如請求項 4 所述之整合被動元件之半導體裝置，其中該第一環形孔洞，

- 其內環設一第二介電層，位於該基板與該第一導電層之間，據以產生一第一寄生電容，該基板與該第二導電層之間環設一第三介電層，據以產生一第二寄生電容。
6. 如請求項 3 所述之整合被動元件之半導體裝置，其中該基板之背面設有至少一第二環形孔洞以及至少一第一穿孔，該半導體積體電路係設於該基板之正面，該柱狀被動元件設於該第二環形孔洞內，該第一導電層及該第二導電層分別利用一第一導線及一第二導線電性穿過該第一穿孔以電性連接至該半導體積體電路。
  7. 如請求項 6 所述之整合被動元件之半導體裝置，其中該第二環形孔洞，其內環設一第二介電層，位於該基板與該第一導電層之間，據以產生一第一寄生電容，該基板與該第二導電層之間環設一第三介電層，據以產生一第二寄生電容。
  8. 如請求項 2 所述之整合被動元件之半導體裝置，其中該柱狀被動元件包含由內向外環設之該第一導電層、該第一介電層及該第二導電層，該第一導電層係為實心圓導電層，該第二導電層係為環形導電層，該第一介電層係形成對應該環形導電層之形狀。
  9. 如請求項 8 所述之整合被動元件之半導體裝置，其中該基板之正面設有至少一第一孔洞，該半導體積體電路係設於該基板之正面，該柱狀被動元件設於該第一孔洞內，該第一導電層及該第二導電層分別利用一第一導線及一第二導線電性連接至該半導體積體電路。
  10. 如請求項 9 所述之整合被動元件之半導體裝置，其中該基板與該第二導電層之間環設一第三介電層，據以產生一第二寄生電容。

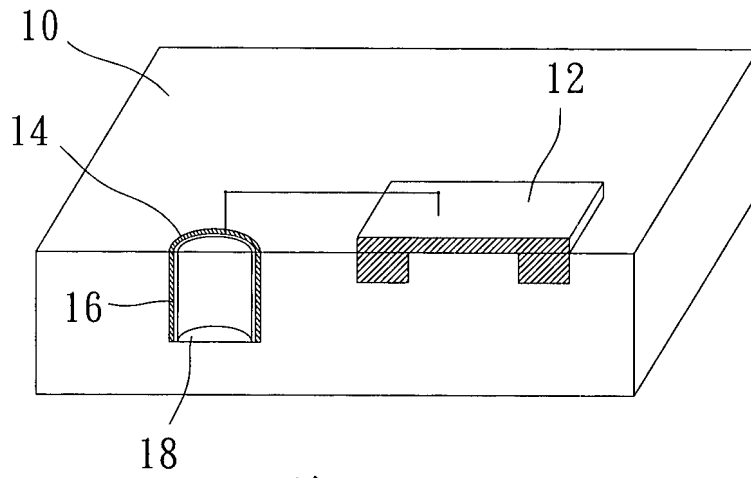
- 11.如請求項 8 所述之整合被動元件之半導體裝置，其中該基板之背面設有至少一第二孔洞以及至少一第二穿孔，該半導體積體電路係設於該基板之正面，該柱狀被動元件設於該第二孔洞內，該第一導電層及該第二導電層分別利用一第一導線及一第二導線電性穿過該第二穿孔以電性連接至該半導體積體電路。
- 12.如請求項 11 所述之整合被動元件之半導體裝置，其中該基板與該第二導電層之間環設一第三介電層，據以產生一第二寄生電容。
- 13.如請求項 2 所述之整合被動元件之半導體裝置，其中該板狀被動元件包含依序由下至上層疊的該第一導電層、該第一介電層及該第二導電層。
- 14.如請求項 13 所述之整合被動元件之半導體裝置，其中該基板之背面具有至少一溝渠、至少一第三穿孔及至少一第四穿孔，該半導體積體電路係設於該基板之正面，該第一導電層、該第一介電層及該第二導電層係依序由下至上設於該溝渠內，且該第一導電層與該第二導電層分別利用一第一導線及一第二導線分別穿過該第三穿孔及該第四穿孔以電性連接至該半導體積體電路。
- 15.如請求項 14 所述之整合被動元件之半導體裝置，其中該溝渠內設有一第二介電層，其位於該基板與該第一導電層之間，據以產生一第一寄生電容，該基板與該第二導電層之間設有一第三介電層，據以產生一第二寄生電容。
- 16.如請求項 1 所述之整合被動元件之半導體裝置，其中該被動元件係為電阻、電容或電感。
- 17.如請求項 1 所述之整合被動元件之半導體裝置，其中該第一介電層之材



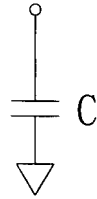
料係為五氧化二鉭 ( $Ta_2O_5$ )、二氧化鈦 ( $TiO_2$ )、二氧化鈺 ( $HfO_2$ )、二氧化鋯 ( $ZrO_2$ )、三氧化二鋁 ( $Al_2O_3$ )、三氧化二鏷 ( $La_2O_3$ ) 或三氧化二鏷 ( $Pr_2O_3$ )。

18.如請求項 1 所述之整合被動元件之半導體裝置，其中該半導體積體電路係為互補式金氧半電晶體。

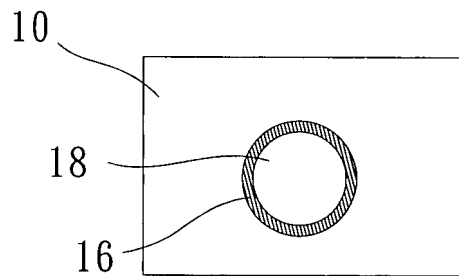
八、圖式：



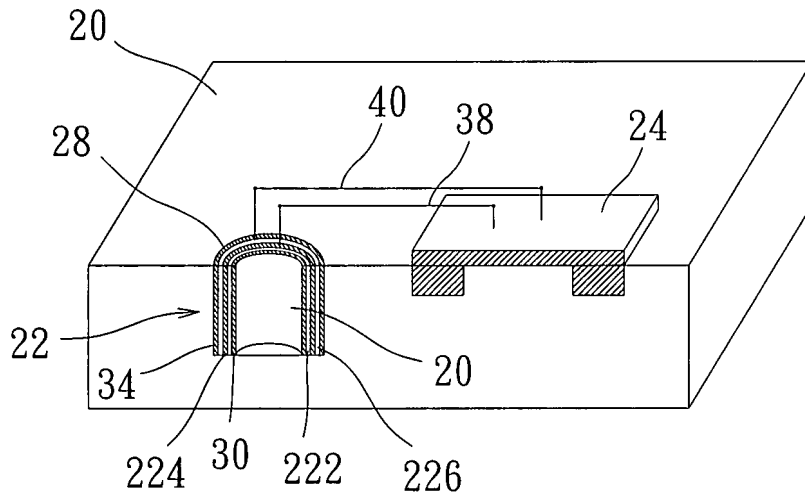
第1A圖



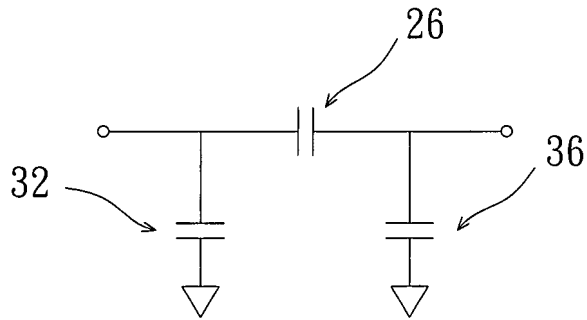
第1B圖



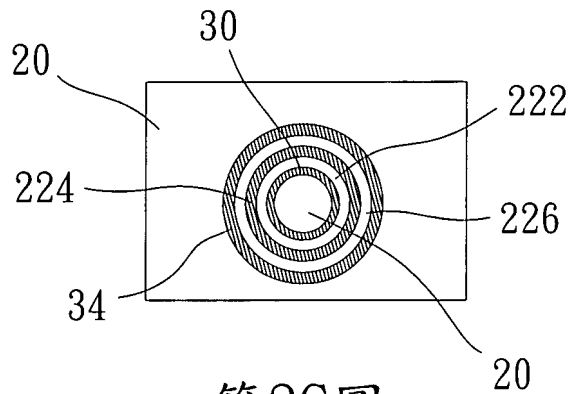
第1C圖



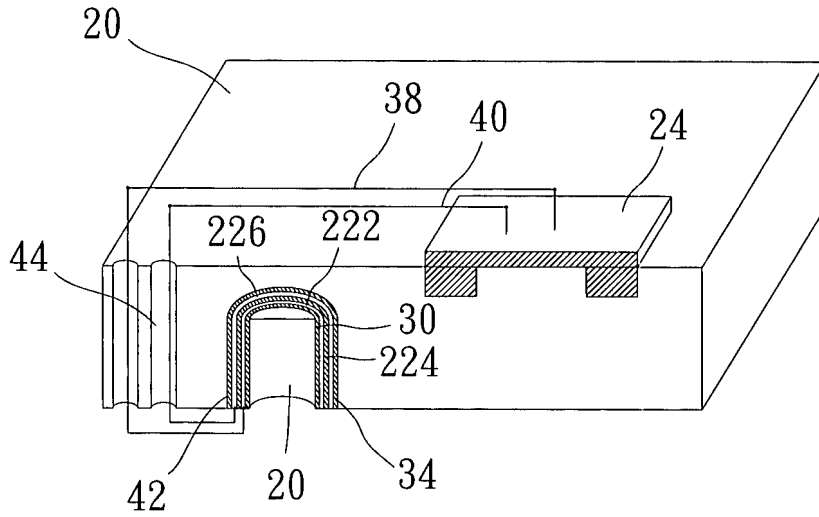
第2A圖



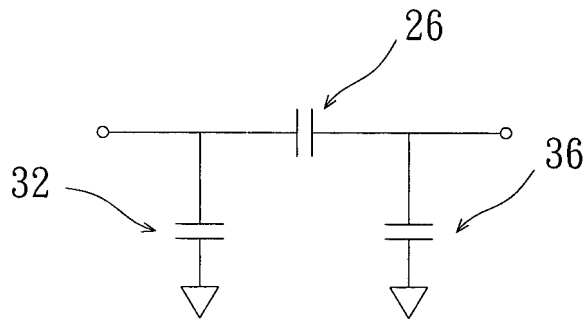
第2B圖



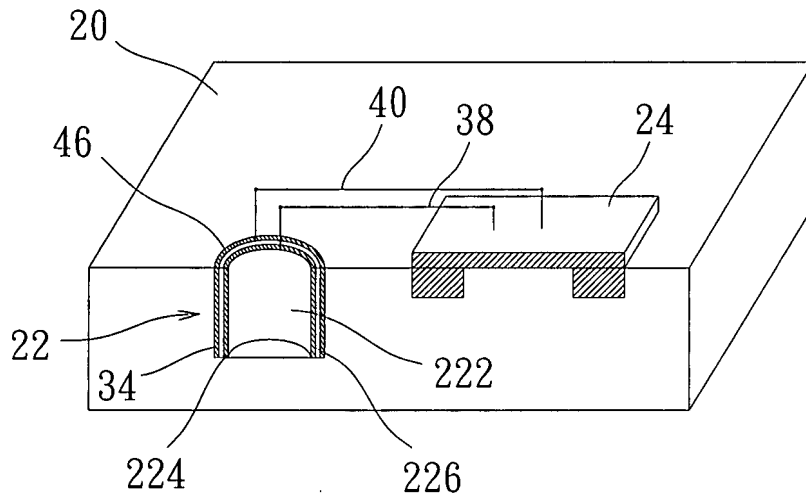
第2C圖



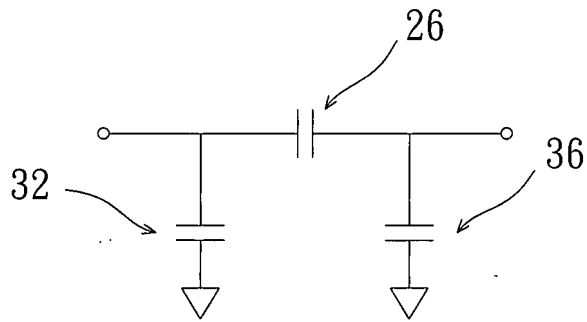
第3A圖



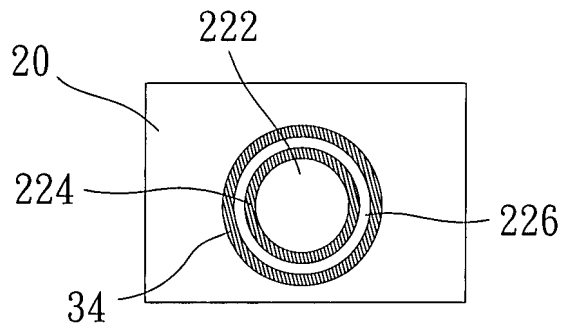
第3B圖



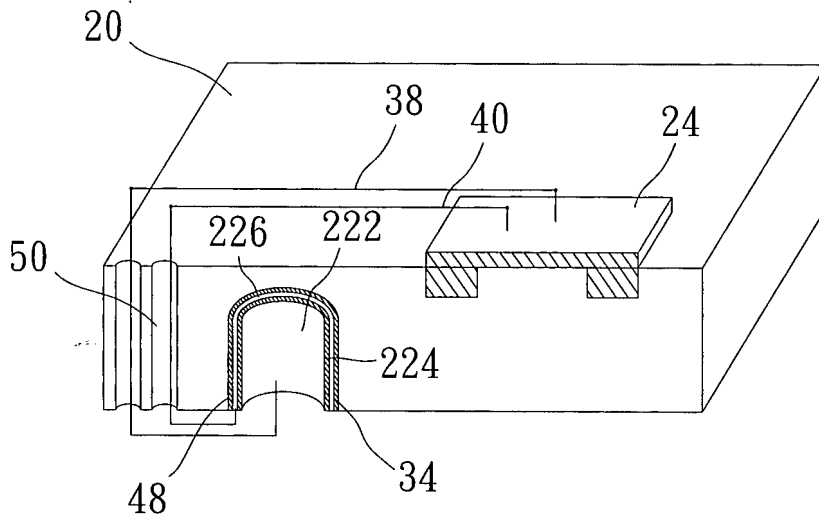
第4A圖



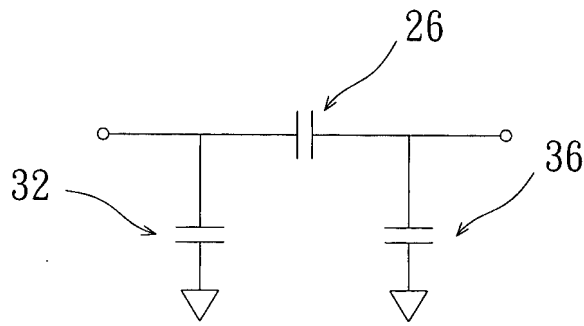
第4B圖



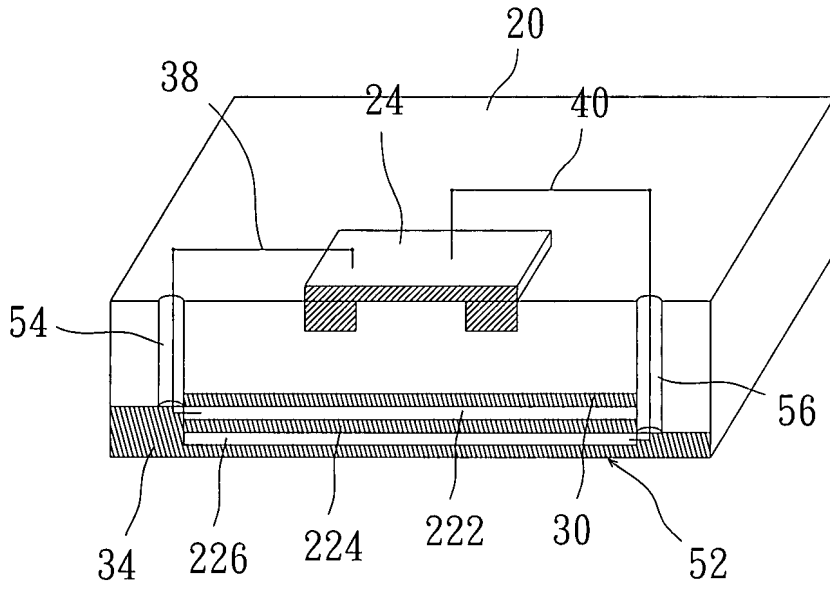
第4C圖



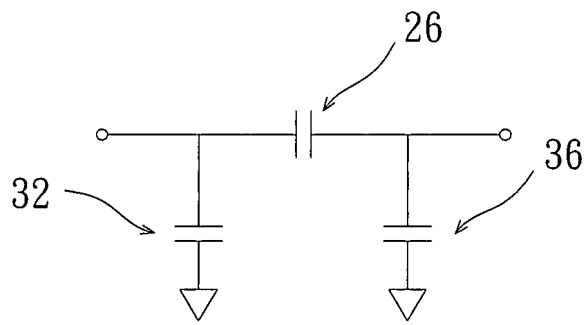
第5A圖



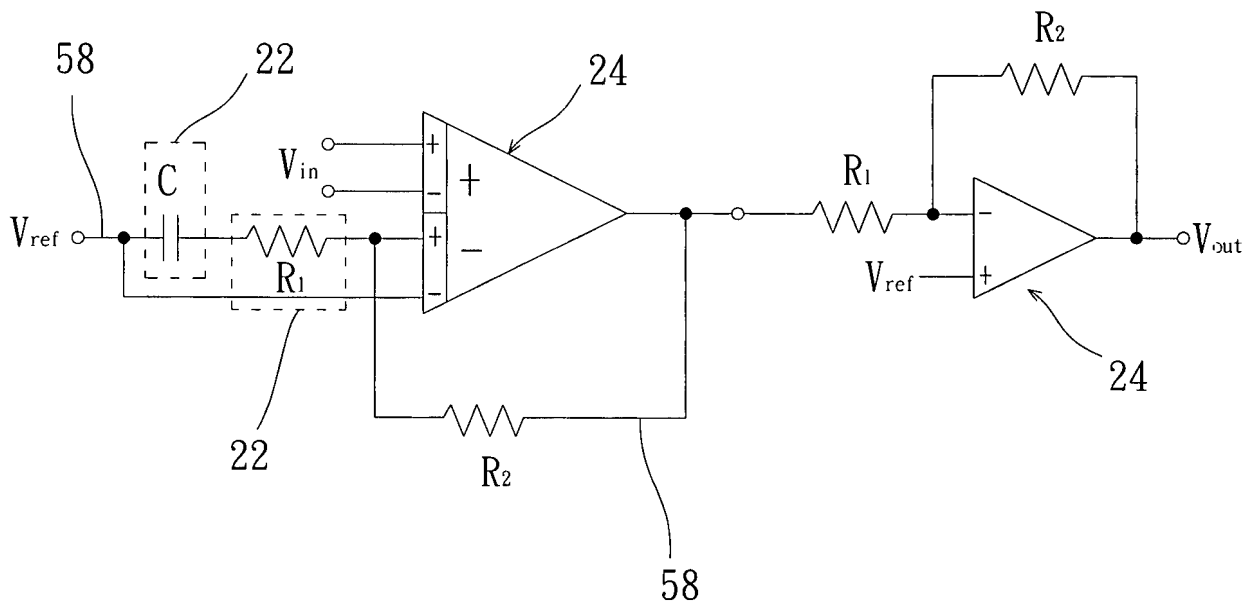
第5B圖



第6A圖



第6B圖



第7圖