

(21) 申請案號：101150247

(22) 申請日：中華民國 101 (2012) 年 12 月 26 日

(51) Int. Cl. : H01L23/34 (2006.01)

H01L23/538 (2006.01)

(71) 申請人：國立交通大學 (中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)

新竹市大學路 1001 號

(72) 發明人：譚盞南 TAN, AN NAN (TW) ; 陳宏明 CHEN, HUNG MING (TW) ; 陳冠能 CHEN, KUAN NENG (TW)

(74) 代理人：詹銘文；葉璟宗

申請實體審查：有 申請專利範圍項數：14 項 圖式數：7 共 28 頁

(54) 名稱

三維積體電路

THREE-DIMENSIONAL INTEGRATED CIRCUIT

(57) 摘要

一種三維積體電路，包括第一接合層、第一晶片、第二晶片以及層間散熱片。第一接合層具有彼此對向的第一表面與第二表面。第一晶片配置於第一接合層的第一表面。第一晶片包括一熱源區。第二晶片配置於第一接合層的第二表面。一層間散熱片埋設於第一接合層內，並正對於熱源區。

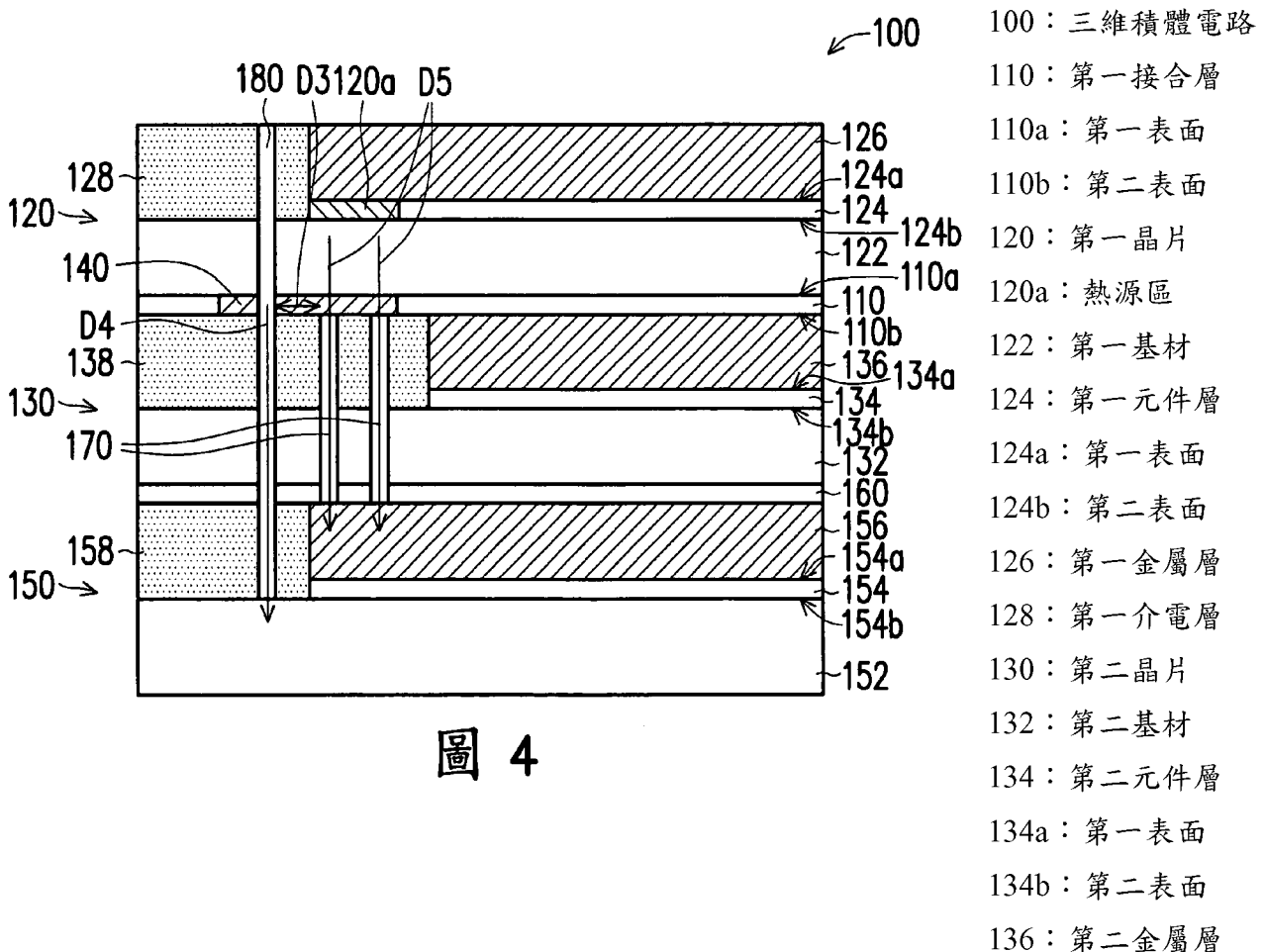


圖 4

- 138：第二介電層
- 140：層間散熱片
- 150：第三晶片
- 152：第三基材
- 154：第三元件層
- 154a：第一表面
- 154b：第二表面
- 156：第三金屬層
- 158：第三介電層
- 160：第二接合層
- 170：第一熱導通孔
- 180：第二熱導通孔
- D3：熱流動方向
- D4：熱流動方向
- D5：熱流動方向

# 發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：101150247

※ 申請日：101.12.26

※IPC 分類： H01L 23/34 (2006.1)  
H01L 23/538 (2006.1)

## 一、發明名稱：

三維積體電路/THREE-DIMENSIONAL INTEGRATED  
CIRCUIT

## 二、中文發明摘要：

一種三維積體電路，包括第一接合層、第一晶片、第二晶片以及層間散熱片。第一接合層具有彼此對向的第一表面與一第二表面。第一晶片配置於第一接合層的第一表面。第一晶片包括一熱源區。第二晶片配置於第一接合層的第二表面。一層間散熱片埋設於第一接合層內，並正對於熱源區。

## 三、英文發明摘要：

A three-dimensional integrated circuit including a first adhesive bonding layer, a first chip, a second chip and an inter-stratum thermal sheet is provided. The first adhesive bonding layer has a first surface opposite a second surface. The first chip is disposed on the first surface of the first adhesive bonding layer. The first chip includes a hot zone. The second chip is disposed on the second surface of the first

adhesive bonding layer. The inter-stratum thermal sheet is located in the first adhesive bonding layer and faces to the hot zone.

**四、指定代表圖：**

(一) 本案之指定代表圖：圖 4

(二) 本代表圖之元件符號簡單說明：

100：三維積體電路

110：第一接合層

110a：第一表面

110b：第二表面

120：第一晶片

120a：熱源區

122：第一基材

124：第一元件層

124a：第一表面

124b：第二表面

126：第一金屬層

128：第一介電層

130：第二晶片

132：第二基材

134：第二元件層

134a：第一表面

134b：第二表面

136：第二金屬層

138：第二介電層

140：層間散熱片

150：第三晶片

- 152：第三基材
- 154：第三元件層
- 154a：第一表面
- 154b：第二表面
- 156：第三金屬層
- 158：第三介電層
- 160：第二接合層
- 170：第一熱導通孔
- 180：第二熱導通孔
- D3、D4、D5：熱流動方向

**五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：**

無

## 六、發明說明：

### 【發明所屬之技術領域】

本發明是有關於一種三維積體電路，且特別是有關於一種與習知結構不同的三維積體電路。

### 【先前技術】

近代電子產業隨著摩爾定律規範(Moore's Law)而蓬勃發展。然而，隨著電子產品(如可攜式電子裝置)的運算速度提升等需求，技術的瓶頸也逐漸產生。為了讓可攜式電子裝置的性能跟上需求。於是，三維積體電路構裝(3D IC integration)技術成為現今解決問題的辦法之一，並藉以使可攜式電子裝置朝向小型化、高效能、多功能、低耗能與低成本的趨勢前進。

在此之中，連接各晶片(chip)間之連線主要為矽晶穿孔(Through-Silicon Via, TSV)，其通過在晶片和晶片之間、晶圓和晶圓之間製作垂直導通，是目前三維積體電路(3D IC)構裝技術中，能實現晶片之間互連的嶄新技術。與以往的IC封裝鍵合和使用凸點的疊加技術不同，矽晶穿孔能夠使晶片在三維方向堆疊的密度最大，外形尺寸最小，並且提升元件速度、減少信號延遲和功率消耗，而成為三維積體電路構裝中非常重要的關鍵技術之一。

針對三維積體電路而言，由於三維積體電路主要是將不同的晶圓(或晶片)堆疊起來，所以堆疊的結果將會使得三維積體電路整體架構的熱阻(heat resistance)提高。如此

一來，在三維積體電路運作的狀態下，將會產生高發熱的現象，從而導致三維積體電路整體的工作溫度提高以及可靠度(reliability)下降。

兩片以上的晶片可藉由膠黏(adhesive)法固定在一起，使得晶片與晶片之間存有接合層(adhesive bonding layer)。然此接合層的導熱性低，使三維積體電路的散熱效率降低。現有技術中，有利用熱導通孔(Thermal TSV)去消散熱源(Hot zone)的熱。然而，現有的三維積體電路架構中，熱導通孔為擺放於熱源之旁邊，故散熱效果有限。此外，另有利用微通道冷卻(microchannel cooling)來解決熱源消散的問題。但此微通道冷卻之架構較大，而不適宜裝設於可攜式電子裝置。

### 【發明內容】

本發明提供一種三維積體電路，具有較佳的散熱效率。

本發明提出一種三維積體電路，包括一第一接合層、一第一晶片、一第二晶片以及一層間散熱片。第一接合層具有彼此對向的一第一表面與一第二表面。第一晶片配置於第一接合層的第一表面。第一晶片包括一熱源區。第二晶片配置於第一接合層的第二表面。層間散熱片埋設於第一接合層內，並正對於熱源區。

在本發明之一實施例中，上述之層間散熱片的材質為一高導熱係數的材料，且高導熱係數的材料的導熱係數為



至少與第一晶片的第一基材相同。

在本發明之一實施例中，上述之層間散熱片的材質包括銅。

在本發明之一實施例中，三維積體電路更包括至少一第一熱導通孔。各第一熱導通孔貫穿於第一接合層與第二晶片，且第一熱導通孔位於部分層間散熱片中。

在本發明之一實施例中，上述之第一熱導通孔正對於熱源區而配置。

在本發明之一實施例中，上述之第一晶片包括一第一基材。第一熱導通孔貫穿於第一基材並鄰近於熱源區。

在本發明之一實施例中，上述之第一晶片更包括一第一元件層、一第一金屬層以及一第一介電層。第一元件層具有彼此對向的一第一表面與一第二表面，且熱源區位於第一元件層中。第一基材配置於第一元件層的第二表面。第一金屬層配置於第一元件層的第一表面。第一介電層設置於第一基材上並位於第一元件層及第一金屬層旁。

在本發明之一實施例中，上述之第二晶片包括一第二元件層、一第二金屬層、一第二基材以及一第二介電層。第二元件層具有彼此對向的一第一表面與一第二表面。第二金屬層配置於第二元件層的第一表面。第二基材配置於第二元件層的第二表面。第二介電層設置於第二基材上並位於第二元件層及第二金屬層旁。

在本發明之一實施例中，上述之第一晶片與第二晶片樣係以矽晶穿孔技術電性連接。

在本發明之一實施例中，上述之三維積體電路更包括

一第三晶片以及一第二接合層。第三晶片藉由第二接合層而與第二晶片連接在一起，其中第一熱導通孔延伸並貫穿於第二接合層。

在本發明之一實施例中，上述之三維積體電路更包括一第二熱導通孔。第二熱導通孔貫穿於第二晶片與第三晶片，且位於部分層間散熱片中。

在本發明之一實施例中，上述之第二熱導通孔貫穿並延伸至第一晶片。

在本發明之一實施例中，上述之第三晶片包括一第三元件層、一第三金屬層、一第三基材以及一第三介電層。第三元件層具有彼此對向的一第一表面與一第二表面。第三金屬層配置於第三元件層的第一表面。第三基材配置於第三元件層的第二表面。第三介電層設置於第三基材上並位於第三元件層及第三金屬層旁。

在本發明之一實施例中，上述之第二晶片與第三晶片係以矽晶穿孔技術電性連接。

基於上述，在本發明之三維積體電路中，將層間散熱片埋設於第一接合層內，使熱源區所散發出來的熱可以藉由層間散熱片來傳導，而不會被導熱性低的第一接合層所阻擋，以改善第一接合層的導熱率。並且，層間散熱片乃對應於熱源區而配置，即，將層間散熱片正對於熱源區（如熱源區的正下方），以使熱源區所散發出來的熱直接從層間散熱片傳遞出，故可提升整體三維積體電路的散熱效率。

為讓本發明之上述特徵和優點能更明顯易懂，下文特舉實施例，並配合所附圖式作詳細說明如下。

**【實施方式】**

圖 1 是依照本發明一實施例之三維積體電路的示意圖。在圖式中，為了清楚，層的厚度可能被放大。並且，「上」、「下」、「左」、「右」方向係參照圖 1 說明時的參考，即，可使用例如“上面”、“上方”、“在下”、“下面”、“下方”等與空間有關的名稱來容易描述一個元件或特徵相對於另一元件或特徵的關係，如圖 1 所示。應理解的是，與空間有關的名稱除了具有圖式所示之方位外，在裝置的使用和運作中也意圖包括其他不同的方位。

請參照圖 1，本實施例之三維積體電路 100 包括一第一接合層 110、一第一晶片 120、一第二晶片 130 以及一層間散熱片 140。需說明的是，本實施例之三維積體電路 100 之晶片堆疊是由多個晶片相互疊置而成，例如圖 1 繪示第一晶片 110 與第二晶片 120 相互疊置而形成一個晶片堆疊，其中第一晶片 110 與第二晶片 120 係以矽晶穿孔 (Through-Silicon Via, TSV) 技術電性連接。即，不同的晶片之間利用不同的矽晶穿孔結構傳遞電源與信號，例如第一晶片 110 的功能單元(未繪示)可以經由矽晶穿孔結構(未繪示)將信號(或電源電壓)傳送至第二晶片 120 的功能單元(未繪示)。一般而言，矽晶穿孔結構例如包含焊墊(pad)與微凸塊(micro bump)，然矽晶穿孔結構為公知技術，故不在此贅述其實施細節。

在本實施例中，第一接合層 110 具有彼此對向的一第

一表面 110a 與一第二表面 110b，其中第一接合層 110 例如為聚合物結合層 (polymer-based glue bonding layer) 或其他低導熱材質之結合層，並且第一晶片 120 與第二晶片 130 是藉由第一接合層 110 固定在一起。第一晶片 120 配置於第一接合層 110 的第一表面 110a 上方，第二晶片 130 配置於第一接合層 110 的第二表面 110b 下方，即，第一晶片 120 與第二晶片 130 位於第一接合層 110 的相對兩側。第一晶片 120 包括一熱源區 120a。層間散熱片 140 埋設於第一接合層 110 內，並正對於熱源區 120a。需說明的是，圖 1 中的層間散熱片 140 的寬度略大於熱源區 120a，然本發明不限制於此層間散熱片 140 的寬度，只要層間散熱片 140 正對於熱源區 120a 即可。

在此配置之下，在本發明之三維積體電路 100 中，將層間散熱片 140 埋設於第一接合層 110 內，使熱源區 120a 所散發出來的熱可以藉由層間散熱片 140 來傳導，而不會被導熱性低的第一接合層 110 所阻擋，以改善第一接合層 110 的導熱率。並且，層間散熱片 140 乃對應於熱源區 120a 而配置，即，將層間散熱片 140 正對於熱源區 120a (如熱源區 120a 的正下方)，以使熱源區 120a 所散發出來的熱直接從層間散熱片 140 傳遞至第二晶片 120，故可提升整體三維積體電路 100 的散熱效率。

詳細而言，第一晶片 120 包括一第一基材 122、一第一元件層 124、一第一金屬層 126 以及一第一介電層 128。第一元件層 124 具有彼此對向的一第一表面 124a 與一第二

表面 124b，且熱源區 120a 位於第一元件層 124 中。第一基材 122 例如為矽基板且配置於第一元件層 124 的第二表面 124b 下方，第一金屬層 126 配置於第一元件層 124 的第一表面 124a 上方，即，第一基材 122 與第一金屬層 126 位於第一元件層 124 的相對兩側。第一介電層 128 例如為二氧化矽層且設置於第一基材 122 上並位於第一元件層 124 及第一金屬層 126 旁。

同樣地，第二晶片 130 包括一第二基材 132、一第二元件層 134、一第二金屬層 136 以及一第二介電層 138。第二元件層 134 具有彼此對向的一第一表面 134a 與一第二表面 134b。第二金屬層 136 配置於第二元件層 134 的第一表面 134a，第二基材 132 例如為矽基板且配置於第二元件層 134 的第二表面 134b，即，第二基材 132 與第二金屬層 136 位於第二元件層 134 的相對兩側。第二介電層 138 例如為二氧化矽層且設置於第二基材 132 上並位於第二元件層 134 及第二金屬層 136 旁。然，本實施例是將熱源區 120a 配置於第一晶片 122 的第一元件層 124 中。當然，吾人可端視實際產品而將熱源區設置在不同的晶片(如第二晶片)中。

在本實施例中，層間散熱片 140 的材質例如銅等易導熱的金屬所製成。進一步而言，層間散熱片 140 的材質係採用一高導熱係數的材料，且所述高導熱係數的材料的導熱係數為至少與第一晶片 120 的第一基材 122 相同。舉例來說，若採用矽作為第一基材 122 的材料，其導熱係數為

150 W/m<sup>°C</sup>，故層間散熱片 140 的導熱係數可以是與矽的導熱係數一樣為 150 W/m<sup>°C</sup>。若採用砷化鎵等其他材質的作為第一基材 122，則其導熱係數可為 45 W/m<sup>°C</sup>，而層間散熱片 140 的導熱係數可以是與砷化鎵的導熱係數一樣為 45 W/m<sup>°C</sup>。即，吾人係採用高導熱係數的材料製作出層間散熱片 140，此舉不僅能解決第一接合層 110 之導熱率低的問題，以將熱源區 120a 所散發出來的熱藉由層間散熱片 140 傳導出去，並且可提高整體三維積體電路 100 的散熱效率。當然，上述三維積體電路 100 是利用層間散熱片 140，並將層間散熱片 140 配置於熱源區 120a 的正下方。並且，由於第一晶片 120 的第一基材 122 其本身材料的導熱性，故可將熱源區 120a 所散發出來的熱經由第一基材 122 傳導至層間散熱片 140，並藉由層間散熱片 140 的路徑傳送至第二晶片 130 的第二金屬層 136 中，以達到將熱垂直傳導(即圖中所指的熱流動方向 D1)的散熱效果。在此說明的是，圖 1 中的第二介電層 138 的寬度約略與上述第一介電層 128 的寬度一致，然，本發明不限制於此，如圖 3、圖 4 及圖 7 所示，第二介電層 138 的寬度係大於第一介電層 128 的寬度。

圖 2 是本發明另一實施例之三維積體電路的示意圖。請參考圖 2，圖 2 的實施例與圖 1 的實施例不同之處在於，本實施例之三維積體電路 100 更包括一第三晶片 150 以及一第二接合層 160。第二接合層 160 例如為聚合物結合層 (polymer-based glue bonding layer) 或其他低導熱材質之結

合層，且第三晶片 150 藉由第二接合層 160 而與第二晶片 130 連接在一起，在本實施路中，第二晶片 130 與第三晶片 150 係以矽晶穿孔技術電性連接。然本實施例並不限制晶片的數目，吾人可端視實際產品而堆疊多個晶片。

詳細而言，第三晶片 150 包括一第三基材 152、一第三元件層 154、一第三金屬層 156 以及一第三介電層 158。第三元件層 154 具有彼此對向的一第一表面 154a 與一第二表面 154b。第三金屬層 156 配置於第三元件層 154 的第一表面 154a，第三基材 152 例如為矽基板且配置於第三元件層 154 的第二表面 154b，即，第三基材 152 與第三金屬層 156 位於第三元件層 154 的相對兩側。第三介電層 158 例如為二氧化矽層且設置於第三基材 152 上並位於第三元件層 154 及第三金屬層 156 旁。如此，熱源區 120a 位於第一晶片 120 中，而熱源區 120a 所散發出來的熱便可先經由層間散熱片 140 的路徑傳送至第二晶片 130 中，並進而傳導至第三晶片 130 以達到散熱的效果。在此說明的是，圖 2 中的第二介電層 138 的寬度約略與上述第一介電層 128 的寬度一致，然，本發明不限制於此，如圖 3、圖 4 及圖 7 所示，第二介電層 138 的寬度係大於第一介電層 128 的寬度。

圖 3 是本發明又一實施例之三維積體電路的示意圖。請參考圖 3，圖 3 的實施例與上述實施例不同之處在於，本實施例之三維積體電路 100 更包括至少一第一熱導通孔 170(繪示為兩個)，且第一熱導通孔 170 正對於熱源區 120a

而配置。需說明的是，不同於矽晶穿孔結構的是，所述第一熱導通孔 170 僅提供熱傳導的路徑，而不需要提供電性連接，故第一熱導通孔 170 的內部不需要鋪設如絕緣材料(二氧化矽)來絕緣，即，此絕緣材料會降低導熱的效果。如此一來，此僅提供熱傳導的路徑的第一熱導通孔 170 便能增加導熱效果。

詳細而言，各第一熱導通孔 170 貫穿於第一接合層 110 與第二晶片 130，且第一熱導通孔 170 位於部分層間散熱片 140 中。第一熱導通孔 170 延伸並貫穿於第二接合層 160，即，第一熱導通孔 170 自層間散熱片 140 穿過於第二晶片 130 與第二接合層 160，並連接於第三晶片 150。如此一來，熱源區 120a 所散發出來的熱便經由第一基材 122 傳導至層間散熱片 140，並藉由第一熱導通孔 170 的路徑傳送至第二晶片 130 與第三晶片 150，以達到將熱垂直傳導(即圖中所指的熱流動方向 D2)的散熱效果。

圖 4 是本發明再一實施例之三維積體電路的示意圖。請參考圖 4，圖 4 的實施例與上述實施例不同之處在於，本實施例之三維積體電路 100 更包括一第二熱導通孔 180。第二熱導通孔 180 貫穿於第二晶片 130 與第三晶片 150，且位於部分層間散熱片 140 中。

在此配置之下，熱源區 120a 所散發出來的熱便經由第一基材 122 傳導至層間散熱片 140，並藉由層間散熱片 140 來將熱傳送至第一熱導通孔 170 與第二熱導通孔 180，以將達到將熱水平傳導(即圖中所指的熱流動方向 D3)的



散熱效果。並且，再藉由第一熱導通孔 170 與第二熱導通孔 180 的路徑傳送至第二晶片 130 與第三晶片 150，以進一步達到將熱垂直傳導(即圖中所指的熱流動方向 D4、D5)的散熱效果。如此一來，本實施例藉由層間散熱片 140，來調節並將熱分流至不同的第一熱導通孔 170 與第二熱導通孔 180，以使整個散熱面積變大且散熱的路徑多，而能使三維積體電路 100 的散熱效率提高。

另外，第二熱導通孔 180 更可貫穿並延伸至第一晶片 120，即，第二熱導通孔 180 貫穿於第一晶片 120、第二晶片 130 以及第三晶片 150，以達到更佳的散熱效果。此外，上述第二熱導通孔 180 為自第一介電層 128 延伸並貫穿至第二介電層 138 與第三介電層 158，然，第二熱導通孔 180 的位置可端視實際產品而進行調整。

圖 5 是圖 4 之三維積體電路的上視圖。需說明的是，為了便於說明，部分第一金屬層 126 的區塊以透明顯示，而不會遮擋住熱源區 114、第一熱導通孔 170 與第二熱導通孔 180。需請參考圖 5，在本實施例中，兩個第一熱導通孔 170 與一個第二熱導通孔 180 排成一列，並位於一個層間散熱片 140 中。層間散熱片 140 的數量例如為六個且形狀為矩形。然，本實施例並不限制層間散熱片 140 的數量與形狀。此外，圖 5 未繪示矽晶穿孔結構，當然，吾人可視實際情況來配置矽晶穿孔結構，以使晶片與晶片之間達到電性連接。

圖 6 是圖 4 之三維積體電路的另一實施例的上視圖。

請參考圖 6，圖 6 的實施例與圖 5 之實施例不同之處在於，本實施例的三維積體電路 100 還包括一矽晶穿孔 190，即，矽晶穿孔 190 配置在三維積體電路 100 中，故會配有如電路或繞線，用以提供晶片(指第一晶片 120、第二晶片 130 以及第三晶片 150)之間的電性連接。然本實施例並不限制矽晶穿孔的配置位置與數目，吾人可端視實際產品而進行調整。

在此配置之下，層間散熱片 140 的形狀可配合此矽晶穿孔 190 的位置，即電路之佈局(floorplanning)、擺放(placement)以及繞線(routing)之需求，來製作出不同形狀的層間散熱片 140。如圖 6 所示的層間散熱片 140a，其跨越了兩列的第一熱導通孔 170 與第二熱導通孔 180，並避開了矽晶穿孔 190。當然，本實施例並不限制層間散熱片 140 的形狀的形狀，吾人可端視矽晶穿孔的位置與數目以及實際產品的情況而進行調整。

圖 7 是本發明再一實施例之三維積體電路的示意圖。請參考圖 7，圖 7 的實施例與上述實施例不同之處在於，本實施例的第一熱導通孔 270 貫穿於第一基材 122 並鄰近於熱源區 120a，即，第一熱導通孔 270 貫穿第一晶片 120、第二晶片 130 以及第二接合層 160。

如此配置之下，熱源區 120a 所散發出來的熱便能藉由第一熱導通孔 270 傳導至層間散熱片 140，並藉由層間散熱片 140 來將熱傳送至位於第二晶片 130 的第一熱導通孔 270 與第二熱導通孔 180，以將達到將熱水平傳導(即圖

中所指的熱流動方向 D6)的散熱效果。並且，再藉由第一熱導通孔 270 與第二熱導通孔 180 的路徑傳送至第二晶片 130 與第三晶片 150，以進一步達到將熱垂直傳導(即圖中所指的熱流動方向 D7、D8)的散熱效果。如此一來，本實施例藉由將第一熱導通孔 270 延伸並鄰近於熱源區 120a，以使熱源區 120a 所散發出來的熱從第一熱導通孔 270 傳導出，進而提升散熱效率。當然，熱源區 120a 仍會有些許的所散發出來的熱會經由第一基材 122 傳導至層間散熱片 140。

綜上所述，在本發明之三維積體電路中，設計將層間散熱片埋設於第一接合層內，使熱源區所散發出來的熱可以藉由層間散熱片來傳導，而不會被導熱性低的第一接合層所阻擋，以改善第一接合層的導熱率。並且，層間散熱片乃對應於熱源區而配置，即，將層間散熱片正對於熱源區（如熱源區的正下方），以使熱源區所散發出來的熱直接從層間散熱片傳遞出，故可提升整體三維積體電路的散熱效率。

此外，三維積體電路更包括多個熱導通孔，並藉由層間散熱片，以將熱傳導至不同的熱導通孔，來將達到將熱水平傳導的散熱效果。並且，再藉由多個熱導通孔的路徑傳送至第二晶片與第三晶片，以進一步達到將熱垂直傳導的散熱效果。如此一來，本發明藉由層間散熱片，來調節並將熱分流至不同的熱導通孔，以使整個散熱面積變大且散熱的路徑多，而能使散熱效率提高。

雖然本發明已以實施例揭露如上，然其並非用以限定本發明，任何所屬技術領域中具有通常知識者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，故本發明之保護範圍當視後附之申請專利範圍所界定者為準。

### 【圖式簡單說明】

圖 1 是依照本發明一實施例之三維積體電路的示意圖。

圖 2 是本發明另一實施例之三維積體電路的示意圖。

圖 3 是本發明又一實施例之三維積體電路的示意圖。

圖 4 是本發明再一實施例之三維積體電路的示意圖。

圖 5 是圖 4 之三維積體電路的上視圖。

圖 6 是圖 4 之三維積體電路的另一實施例的上視圖。

圖 7 是本發明再一實施例之三維積體電路的示意圖。

### 【主要元件符號說明】

100：三維積體電路

110：第一接合層

110a：第一表面

110b：第二表面

120：第一晶片

120a：熱源區

122：第一基材

124：第一元件層

- 124a：第一表面
- 124b：第二表面
- 126：第一金屬層
- 128：第一介電層
- 130：第二晶片
- 132：第二基材
- 134：第二元件層
- 134a：第一表面
- 134b：第二表面
- 136：第二金屬層
- 138：第二介電層
- 140、140a：層間散熱片
- 150：第三晶片
- 152：第三基材
- 154：第三元件層
- 154a：第一表面
- 154b：第二表面
- 156：第三金屬層
- 158：第三介電層
- 160：第二接合層
- 170、270：第一熱導通孔
- 180：第二熱導通孔
- 190：矽晶穿孔
- D1、D2、D3、D4、D5、D6、D7、D8：熱流動方向

## 七、申請專利範圍：

1. 一種三維積體電路，包括：

一第一接合層，具有彼此對向的一第一表面與一第二表面；

一第一晶片，配置於該第一接合層的該第一表面，該第一晶片包括一熱源區；

一第二晶片，配置於該第一接合層的該第二表面；以及

一層間散熱片，埋設於第一接合層內，並正對於該熱源區。

2. 如申請專利範圍第 1 項所述之三維積體電路，其中該層間散熱片的材質為一高導熱係數的材料，且高導熱係數的材料的導熱係數為至少與該第一晶片的一第一基材相同。

3. 如申請專利範圍第 1 項所述之三維積體電路，其中該該層間散熱片的材質包括銅。

4. 如申請專利範圍第 1 項所述之三維積體電路，更包括：

至少一第一熱導通孔，貫穿於該第一接合層與該第二晶片，且該第一熱導通孔位於部分該層間散熱片中。

5. 如申請專利範圍第 4 項所述之三維積體電路，其中該第一熱導通孔正對於該熱源區而配置。

6. 如申請專利範圍第 4 項所述之三維積體電路，其中該第一晶片包括：

一第一基材，該第一熱導通孔貫穿於該第一基材並鄰近於該熱源區。

7. 如申請專利範圍第 6 項所述之三維積體電路，該第一晶片更包括：

一第一元件層，具有彼此對向的一第一表面與一第二表面，且該熱源區位於該第一元件層中，該第一基材配置於該第一元件層的該第二表面；

一第一金屬層，配置於該第一元件層的該第一表面；  
以及

一第一介電層，設置於該第一基材上並位於該第一元件層及該第一金屬層旁。

8. 如申請專利範圍第 1 項所述之三維積體電路，其中該第二晶片包括：

一第二元件層，具有彼此對向的一第一表面與一第二表面；

一第二金屬層，配置於該第二元件層的該第一表面；

一第二基材，配置於該第二元件層的該第二表面；  
以及

一第二介電層，設置於該第二基材上並位於該第二元件層及該第二金屬層旁。

9. 如申請專利範圍第 1 項所述之三維積體電路，其中該第一晶片與該第二晶片樣係以矽晶穿孔技術電性連接。

10. 如申請專利範圍第 4 項所述之三維積體電路，更包括：

一第三晶片；以及

一第二接合層，該第三晶片藉由該第二接合層而與該第二晶片連接在一起，其中該第一熱導通孔延伸並貫穿於該第二接合層。

11. 如申請專利範圍第 10 項所述之三維積體電路，更包括：

一第二熱導通孔，貫穿於該第二晶片與該第三晶片，且位於部分該層間散熱片中。

12. 如申請專利範圍第 10 項所述之三維積體電路，其中該第二熱導通孔貫穿並延伸至該第一晶片。

13. 如申請專利範圍第 10 項所述之三維積體電路，其中該第三晶片包括：

一第三元件層，具有彼此對向的一第一表面與一第二表面；

一第三金屬層，配置於該第三元件層的該第一表面；

一第三基材，配置於該第三元件層的該第二表面；以及

一第三介電層，設置於該第三基材上並位於該第三元件層及該第三金屬層旁。

14. 如申請專利範圍第 10 項所述之三維積體電路，其中該第二晶片與該第三晶片係以矽晶穿孔技術電性連接。



八、圖式：

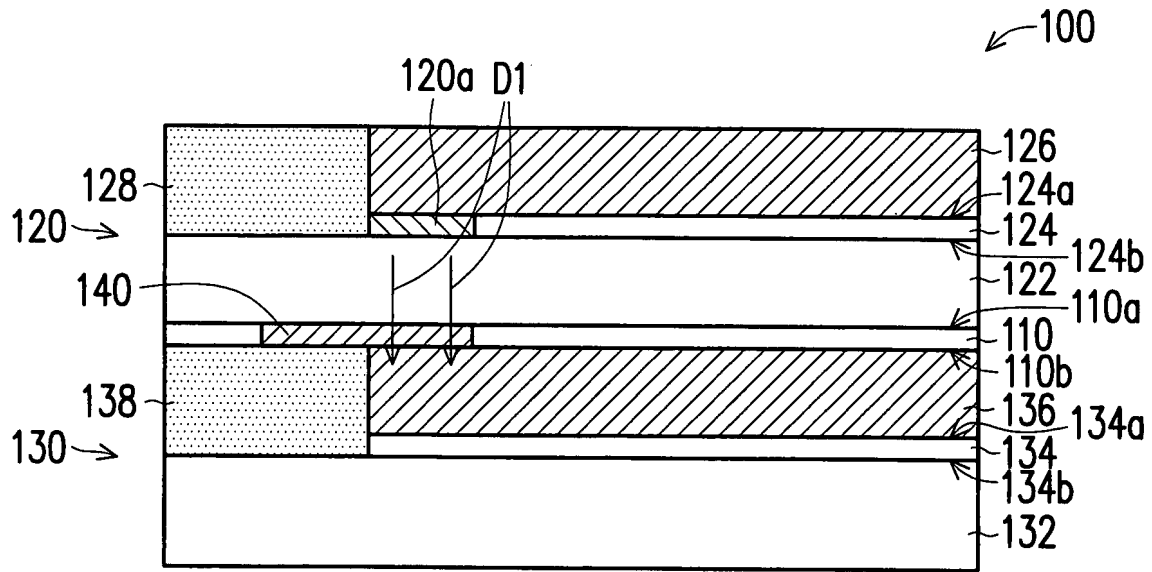


圖 1

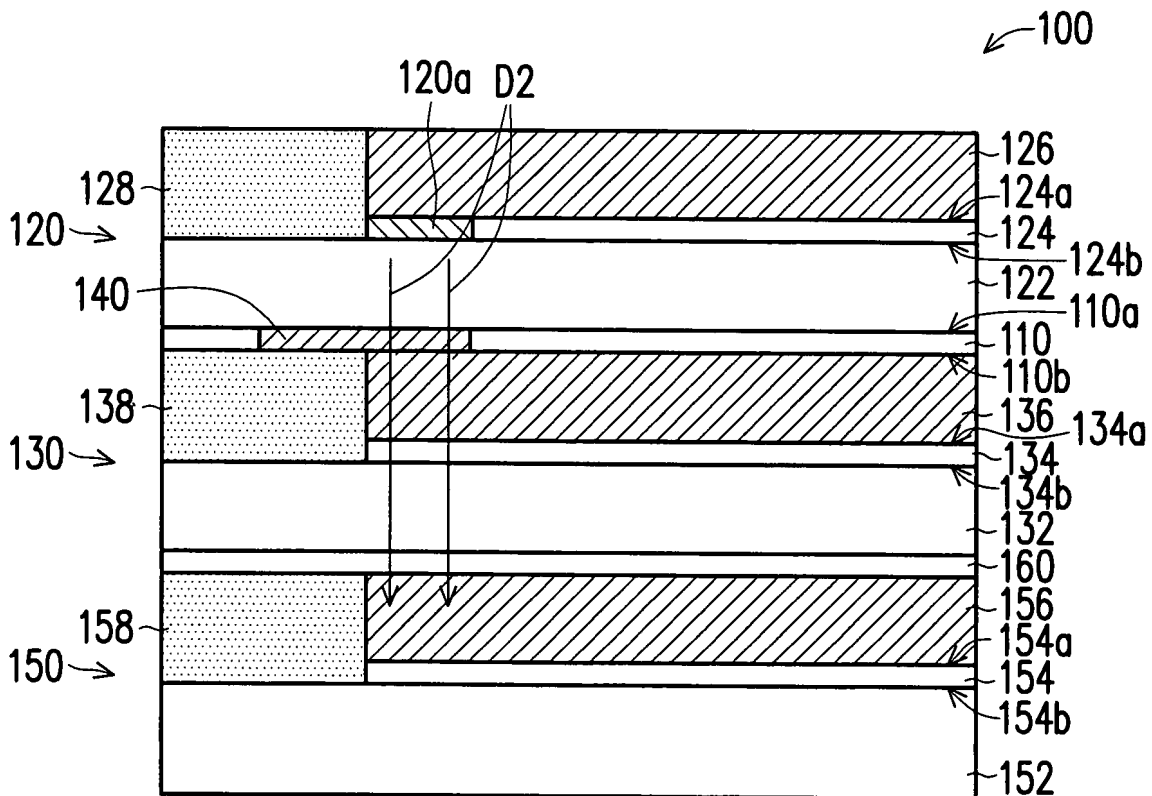


圖 2

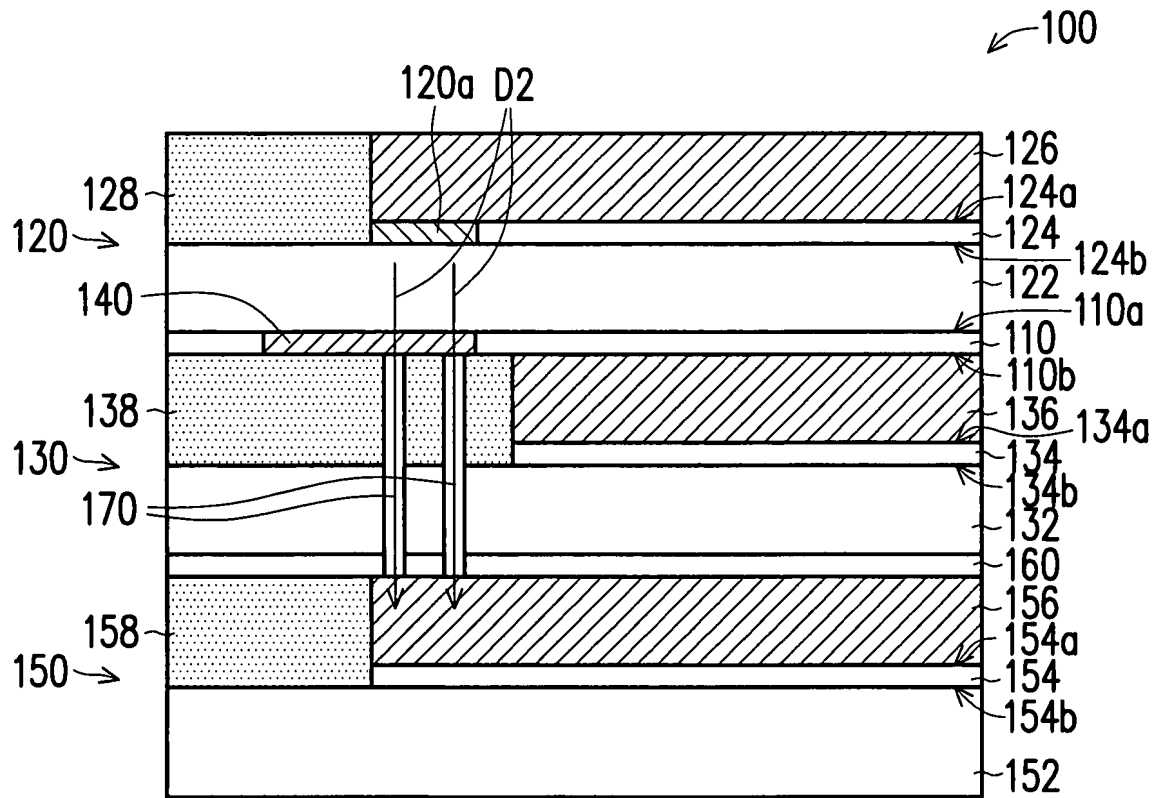


圖 3

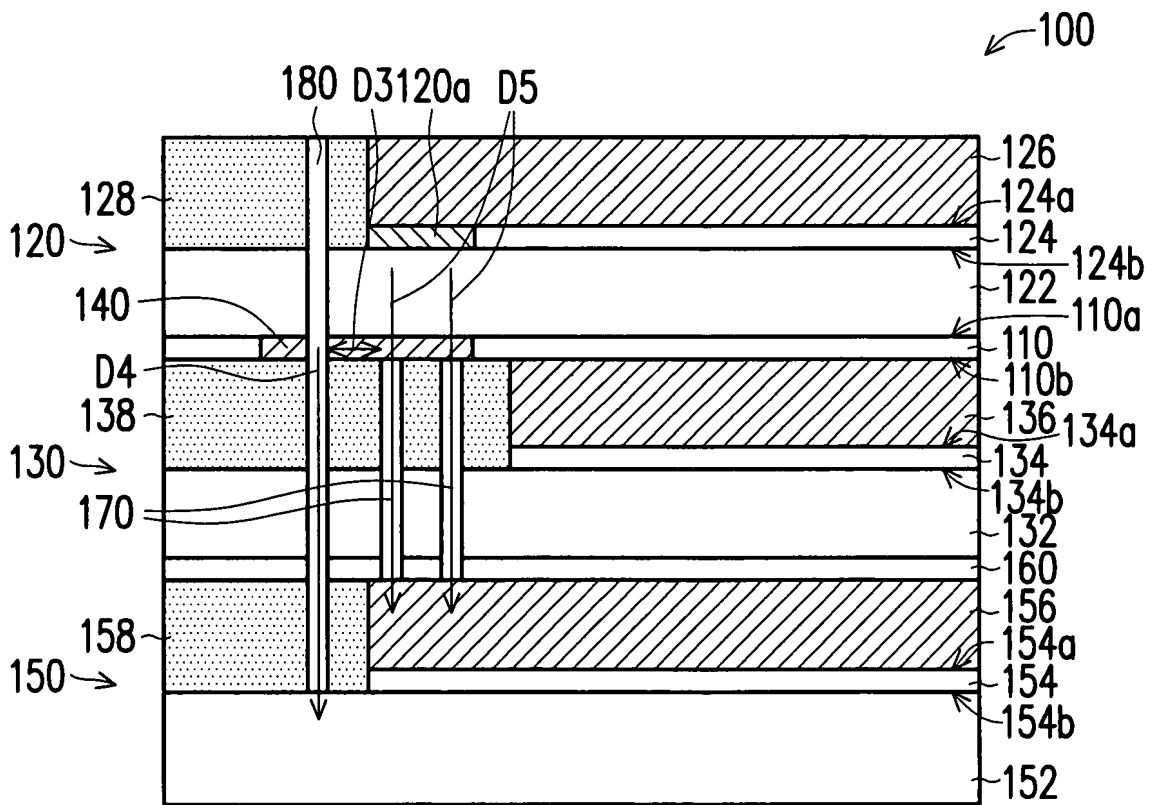


圖 4

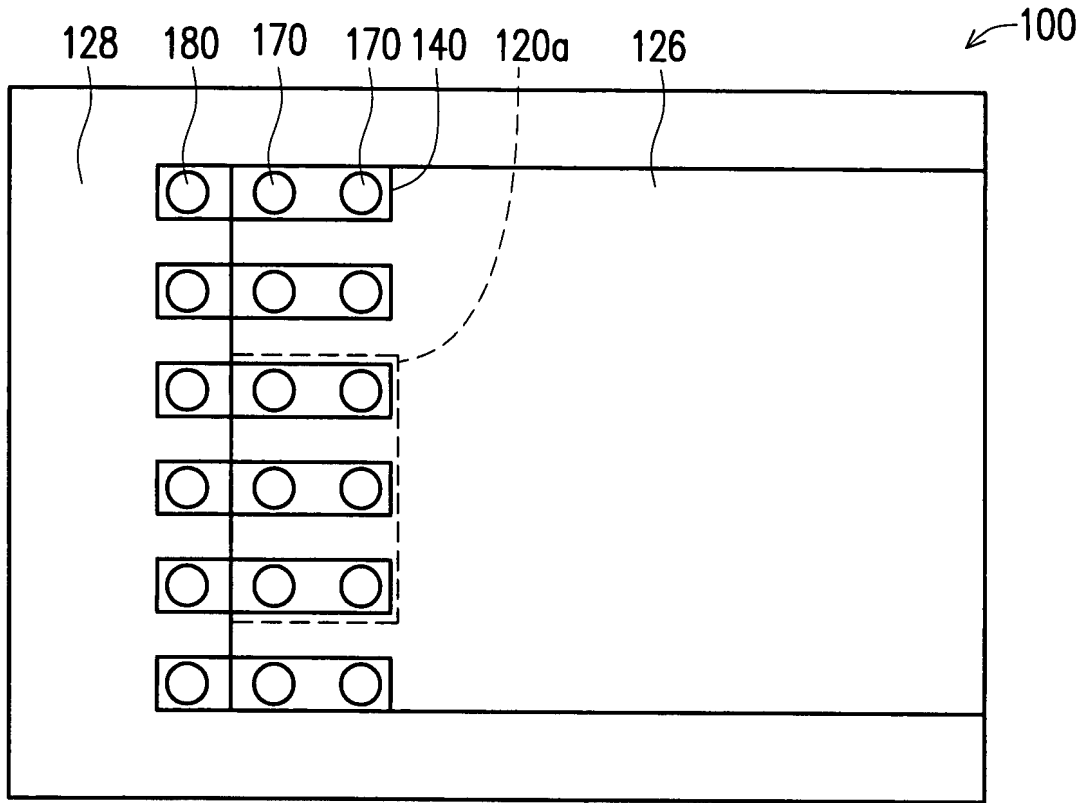


圖 5

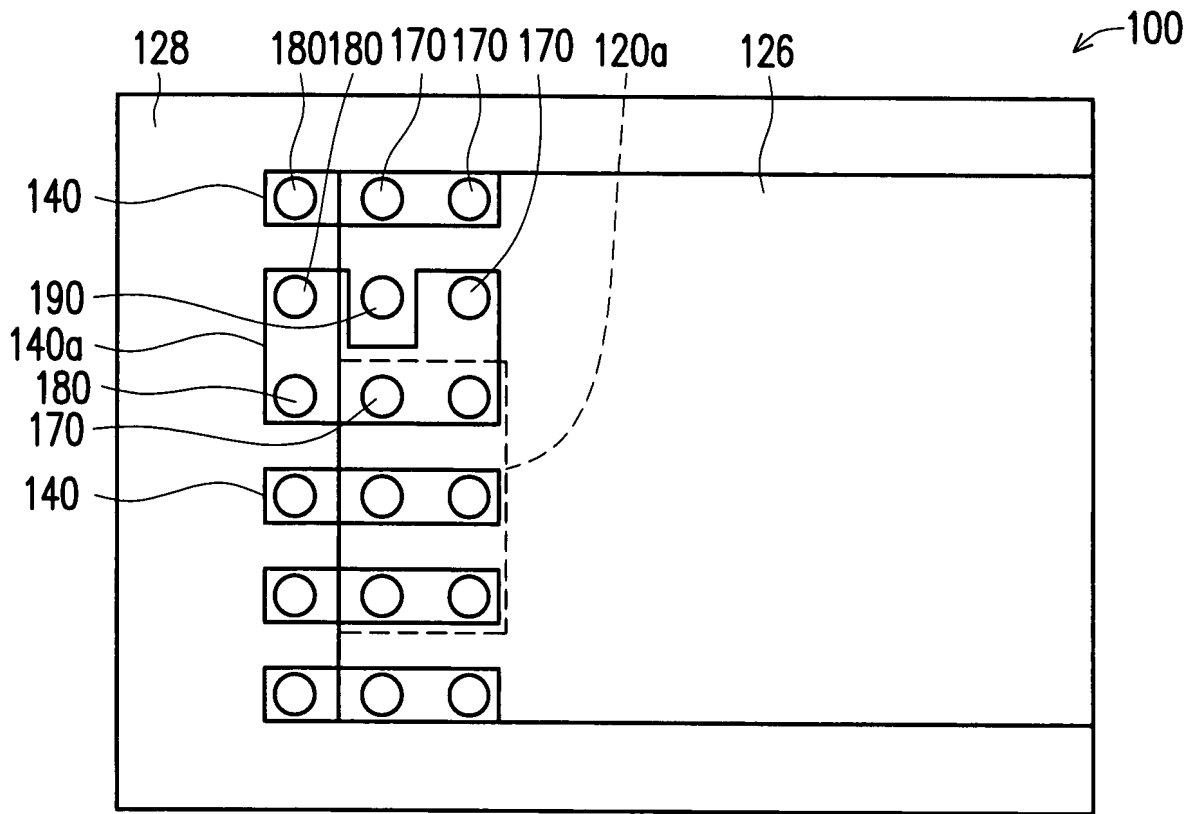


圖 6

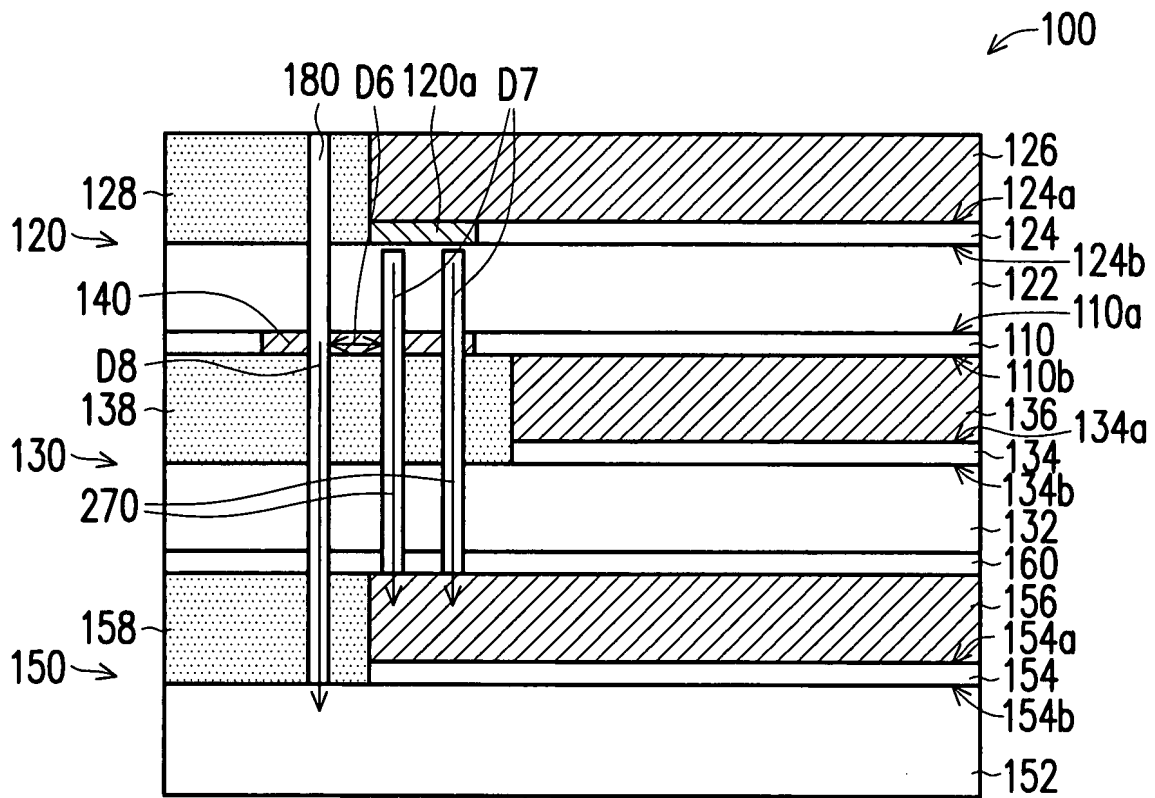


圖 7