



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I446728 B

(45) 公告日：中華民國 103 (2014) 年 07 月 21 日

(21) 申請案號：099135609

(22) 申請日：中華民國 99 (2010) 年 10 月 19 日

(51) Int. Cl. : **H03M13/15 (2006.01)**

(30) 優先權：2010/05/31 美國 12/790,875

(71) 申請人：國立交通大學 (中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)  
新竹市大學路 1001 號

(72) 發明人：林義閔 LIN, YIMIN (TW)；楊其衡 YANG, CHIHENG (TW)；張錫嘉 CHANG, HSIECHIA (TW)；李鎮宜 LEE, CHENYI (TW)

(74) 代理人：蔡坤財；李世章

(56) 參考文獻：

US 7701254B2

US 2010/0042907A1

審查人員：陳奕昌

申請專利範圍項數：14 項 圖式數：8 共 0 頁

(54) 名稱

一種用以處理循環碼之方法及裝置

APPARATUS AND METHOD OF PROCESSING CYCLIC CODES

(57) 摘要

一種用以處理循環碼之方法及裝置在此揭露，其中之裝置包括至少一可重組態模組與一編碼控制器，可重組態模組包括多個線性回饋移位暫存器。編碼控制器用以控制可重組態模組去將生成多項式轉換成因式分解多項式。於可重組態模組中，多個線性回饋移位暫存器分別暫存此因式分解多項式之多個因式。

An apparatus and a method of processing cyclic codes are disclosed herein, where the apparatus includes at least one reconfigurable module and an encoder controller. The reconfigurable module includes a plurality of linear feedback shift registers. The encoder controller can control the reconfigurable module to factor a generator polynomial into a factorial polynomial. In the reconfigurable module, the linear feedback shift registers can register a plurality of factors of the factorial polynomial respectively.



## 發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號： 99135609

※申請日： 99.10.19

※IPC 分類：

H03M 13/15

(2006.01)

一、發明名稱：(中文/英文)

一種用以處理循環碼之方法及裝置

APPARATUS AND METHOD OF PROCESSING  
CYCLIC CODES

二、中文發明摘要：

一種用以處理循環碼之方法及裝置在此揭露，其中之裝置包括至少一可重組態模組與一編碼控制器，可重組態模組包括多個線性回饋移位暫存器。編碼控制器用以控制可重組態模組去將生成多項式轉換成因式分解多項式。於可重組態模組中，多個線性回饋移位暫存器分別暫存此因式分解多項式之多個因式。

三、英文發明摘要：

An apparatus and a method of processing cyclic codes are disclosed herein, where the apparatus includes at least one reconfigurable module and an encoder controller. The reconfigurable module includes a plurality of linear feedback shift registers. The encoder controller can control the reconfigurable module to factor a generator polynomial into a factorial polynomial. In the reconfigurable module, the linear feedback shift registers can register a plurality of factors of the factorial polynomial respectively.

四、指定代表圖：

(一)本案指定代表圖為：第 ( 1 ) 圖。

(二)本代表圖之元件符號簡單說明：

10a、102b、10c...12m-1、14：加法器

12a、12b、12c...12m-2、12m-1：鎖存器

100：線性回饋移位暫存器

I1、I2、I3、I4、O1、O2：節點

$g_0^i$ 、 $g_1^i$ 、 $g_2^i$ ... $g_{m-1}^i$ ：橋接器

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

## 六、發明說明：

### 【發明所屬之技術領域】

本發明是有關於一種編解碼技術，且特別是有關於一種用以處理循環碼之方法及裝置。

### 【先前技術】

錯誤更正碼或向前錯誤更正碼係為在信息中加入冗餘數據或同位資料。如此，即使在傳輸或儲存過程中有錯誤發生，錯誤更正碼或向前錯誤更正碼仍可被接收器復位。由於接收器無須要求發送器重傳資料，於向前錯誤更正中亦無須所謂的背後通道，因此可適用於單工通訊，例如廣播。錯誤更正碼往往被運用在下層通訊以及可靠的儲存媒體，例如光碟、數位影音光碟及動態隨機存取記憶體。

一般而言，錯誤更正碼可被分類於迴旋碼與塊碼之間：

1. 迴旋碼建立在逐位處理之基礎上，特別適用於以硬體實現，其中以維特比解碼器提供理想的解碼。
2. 塊碼建立在逐塊處理之基礎上，例如早先的重複編碼、漢明碼、奇偶查核碼，以及其後的里德-所羅門碼、BCH 碼，至於渦輪碼與低密度奇偶查核碼(LDPC)相對上提供了較理想的效果。

總的說來，任一錯誤更正碼可被用來作錯誤偵測。一具有最小漢明距離  $d$  之編碼可於一碼字中偵測出  $d-1$  錯誤。在嚴格的品質保證下，使用錯誤更正碼作錯誤偵測是種適合的方式。

**【發明內容】**

因此，本發明之一態樣是在提供一種用以處理循環碼之方法及裝置。

依據本發明一實施例，一種用以處理循環碼之裝置，其中之循環碼可為里德 - 所羅門碼、BCH 碼或類似代碼。此裝置包括至少一可重組態模組與一編碼控制器，可重組態模組包括多個線性回饋移位暫存器。編碼控制器用以控制可重組態模組去將生成多項式轉換成因式分解多項式。於可重組態模組中，多個線性回饋移位暫存器分別暫存此因式分解多項式之多個因式，藉以實現編碼作業。

上述之編碼控制器基本上可由多個加法器組成，這些加法器連接可重組態模組，其中這些加法器與可重組態模組構成一單模編碼器。

或者，上述之編碼控制器基本上可由多個加法器與一多工器組成，這些加法器連接可重組態模組，多工器用以選擇任一線性回饋移位暫存器以控制各模態之編碼處理，其中這些加法器、多工器與可重組態模組構成一多模編碼器。

本裝置亦可包括多個基底轉換器 (basis transformers)，這些基底轉換器分別電性耦接多個線性回饋移位暫存器。於使用上，基底轉換器可輔助線性回饋移位暫存器去使用因式分解多項式之因式以計算徵兆值

本裝置亦可包括一鍵方程解算機 (key equation solver)。於使用上，鍵方程解算機可基於徵兆值以產生一

錯誤位置多項式。

本裝置亦可包括多個反向基底轉換器 (inverse basis transformers)，這些反向基底轉換器分別電性耦接多個線性回饋移位暫存器。於使用上，反向基底轉換器可輔助可重組態模組及基底轉換器去執行一陳氏尋根法以根據些因式搜尋錯誤位置多項式之所有根，進而找出一錯誤位置，藉以實現解碼作業。

另外，此裝置亦可包括多個平行處理之可重組態模組，以支援多種編解碼速率。

依據本發明另一實施例，一種用以處理循環碼之方法，適用於一電腦系統，例如可為儲存元件、通信系統或類似裝置，此方法包括下列步驟（應瞭解到，在本實施例中所提及的步驟，除特別敘明其順序者外，均可依實際需要調整其前後順序，甚至可同時或部分同時執行）：

(a) 提供至少一可重組態模組，其包含多個線性回饋移位暫存器；以及

(b) 控制可重組態模組去將一生成多項式轉換成一因式分解多項式，進而將因式分解多項式之多個因式分別暫存於這些線性回饋移位暫存器中，藉以實現編碼作業。

於步驟(a)中，可提供多個平行處理之可重組態模組，用以支援多種編解碼速率。

於步驟(b)中，可使用可重組態模組去執行一單模態之編碼處理，或是選擇任一線性回饋移位暫存器以控制各模態之編碼處理。

關於解碼作業，本方法可包括下列步驟：

- (c) 使用因式分解多項式之多個因式以計算徵兆值；
- (d) 基於徵兆值以產生一錯誤位置多項式；以及
- (e) 根據些因式搜尋錯誤位置多項式之所有根，進而找出一錯誤位置。

於步驟(c)中，可利用多個基底轉換器以輔助線性回饋移位暫存器去使用這些因式以計算徵兆值，其中這些基底轉換器分別電性耦接多個線性回饋移位暫存器。

於步驟(e)中，可利用多個反向基底轉換器以輔助可重組態模組及基底轉換器去執行一陳氏尋根法以根據因式搜尋錯誤位置多項式之所有根，進而找出一錯誤位置，其中這些反向基底轉換器分別電性耦接多個線性回饋移位暫存器。

以下將以實施方式對上述之發明內容作詳細的描述，並對本發明之技術方案提供更進一步的解釋。

### 【實施方式】

為了使本發明之敘述更加詳盡與完備，可參照所附之圖式及以下所述各種實施例，圖式中相同之號碼代表相同或相似之元件。另一方面，眾所週知的元件與步驟並未描述於實施例中，以避免對本發明造成不必要的限制。

於實施方式與申請專利範圍中，除非內文中對於冠詞有所特別限定，否則『一』與『該』可泛指單一個或複數個。

於實施方式與申請專利範圍中，涉及『耦接(coupled with)』之描述，其可泛指一元件透過其他元件而間接連接



至另一元件，或是一元件無須透過其他元件而直接連接至另一元件。

第 1 圖是依照本發明一實施例之一種線性回饋移位暫存器 100 的示意圖。如第 1 圖所示，線性回饋移位暫存器 100 包括多個橋接器（如  $g_0^i$ 、 $g_1^i$ 、 $g_2^i \dots g_{m-1}^i$ ）、多個鎖存器（如 12a、12b、12c...12m-2、12m-1）與多個加法器（如 10a、102b、10c...12m-1、14），其中  $g_j^i$  代表第  $i$  個最小多項式  $M_i(x)$  之第  $j$  個係數。在輸入方面，節點 I1、I2、I3 分別接收 1 位元之資料，而節點 I4 接收  $m$  位元之資料；在輸出方面，節點 O1 輸出 1 位元之資料，而節點 O2 輸出  $m$  位元之資料。

第 2 圖是依照本發明一實施例之一種單模編碼器 200a 的示意圖。如第 2 圖所示，單模編碼器 200a 包括至少一可重組態模組 210 與一編碼控制器 220a，可重組態模組 210 包括多個線性回饋移位暫存器 L1、L3...L2t-3、L2t-1，其中任一線性回饋移位暫存器在結構上如同第 1 圖所示之線性回饋移位暫存器 100。

於單模編碼器 200a 中，資料可經由多工器 212 輸入，編碼控制器 220a 可控制可重組態模組 210 去將生成多項式轉換成因式分解多項式  $M_i(x)$ 。於可重組態模組 210 中，多個線性回饋移位暫存器 L1、L3...L2t-3、L2t-1 分別暫存此因式分解多項式之多個因式  $\frac{1}{M_1(x)}$ ， $\frac{1}{M_3(x)}$ ... $\frac{1}{M_{2t-3}(x)}$ ， $\frac{1}{M_{st-1}(x)}$ 。

舉例來說，單模編碼器 200a 可執行 BCH 碼之編碼，並滿足下列關係式： $c(x) = x^{n-k} M(x) + r(x)$ ，其中  $c(x)$  代表碼字， $m(x)$  代表傳送資訊，且  $r(x) = x^{n-k} M(x) \bmod g(x)$ ，其中  $g(x)$  為一生成多項式，並滿足下列關係式： $g(x) = LCM \{ M_1(x), M_3(x), \dots,$

$M_{2t-3}(x), M_{2t-1}(x)\}$ ，其中  $M_i(x)$  為最小多項式，此最小多項式的根為  $\alpha^i$ 。

於第 2 圖中，單模編碼器 200a 包括多個加法器  $a_1 \dots a_{2t-3}, a_{2t-1}$ ，這些加法器連接線性回饋移位暫存器  $L1、L3 \dots L_{2t-3}、L_{2t-1}$ 。於使用上，這些加法器與可重組態模組 210 可執行一單模態之編碼處理。

第 3 圖是依照本發明一實施例之一種多模編碼器 200b 的示意圖。如第 3 圖所示，多模編碼器 200b 除了增加一多工器 222 連接線性回饋移位暫存器  $L1、L3 \dots L_{2t-3}、L_{2t-1}$  以外，其他部分基本上如同第 2 圖所示之單模編碼器 200a。多工器 222 可選擇可重組態模組 210 中之任一節點  $I3$  以作為回授信號，藉以控制各模態之編碼處理。

雖然第 2 - 3 圖僅繪示單一個可重組態模組 210，但此並不限制本發明，實務上，可採用多個平行處理之可重組態模組以支援多種編解碼速率，熟習此項技藝者應視當時需要彈性選擇之。

第 4 圖是依照本發明一實施例之一種基底轉換器 300a 的方塊圖。於使用上，基底轉換器 300a 可接收  $m$  位元資料  $R_i$ ，經轉換後輸出  $m$  位元資料  $S_i$ 。

為了對基底轉換器 300a 之架構作更具體的闡述，請參照第 5 圖。如第 5 圖所示，第  $i$  個基底轉換器用以產生資料  $S_i$ ，其中  $\alpha_j^i$  代表  $\alpha^i$  之第  $j$  個係數， $\alpha$  為  $2^m$  之基本元素。於基底轉換器中，橋接器  $\alpha_0^0、\alpha_0^1 \dots \alpha_0^{2i}、\alpha_0^{(m-1)i}$  連接加法器 301，橋接器  $\alpha_1^0、\alpha_1^1 \dots \alpha_1^{2i}、\alpha_1^{(m-1)i}$  連接加法器 302，橋接器  $\alpha_{m-1}^0、\alpha_{m-1}^1 \dots \alpha_{m-1}^{2i}、\alpha_{m-1}^{(m-1)i}$  連接加法器 30n。

第 6 圖是依照本發明一實施例之一種徵兆值計算器 (syndrome calculator) 400 的示意圖。如第 6 圖所示，徵兆值計算器 400 包括基底轉換器們 410 (如：第一反向基底轉換器  $B_1$ 、第三反向基底轉換器  $B_3$ ... 第  $2t-3$  反向基底轉換器  $B_{2t-3}$ 、第  $2t-1$  反向基底轉換器  $B_{2t-1}$ ) 與上述之可重組態模組 210，其中任一基底轉換器  $B_1$ 、 $B_3$ ... $B_{2t-3}$ 、 $B_{2t-1}$  如同第 5-6 圖所示之基底轉換器 300a。基底轉換器  $B_1$ 、 $B_3$ ... $B_{2t-3}$ 、 $B_{2t-1}$  分別電性耦接線性回饋移位暫存器  $L1$ 、 $L3$ ... $L_{2t-3}$ 、 $L_{2t-1}$ ，用以輔助這些線性回饋移位暫存器  $L1$ 、 $L3$ ... $L_{2t-3}$ 、 $L_{2t-1}$  去使用暫存之多個因式以計算徵兆值。另外，鍵方程解算機可基於徵兆值以產生一錯誤位置多項式。

第 7 圖是依照本發明一實施例之一種反向基底轉換器 300b 的方塊圖。反向基底轉換器 300b 可執行與基底轉換器 300a 反向之矩陣運算。於使用上，反向基底轉換器 300b 可接收  $m$  位元資料  $S_i$ ，經轉換後輸出  $m$  位元資料  $R_i$ 。

第 8 圖是依照本發明一實施例之一種陳氏尋根單元 (Chien search unit) 500 的示意圖。如第 8 圖所示，陳氏尋根單元 500 包括反向基底轉換器們 510 (如：第一反向基底轉換器、第三反向基底轉換器... 第  $2t-3$  反向基底轉換器、第  $2t-1$  反向基底轉換器)、基底轉換器們 410 與可重組態模組 210，其中任一反向基底轉換器如同第 7 圖所示之反向基底轉換器 300b，這些反向基底轉換器分別電性耦接線性回饋移位暫存器  $B_1$ 、 $B_3$ ... $B_{2t-3}$ 、 $B_{2t-1}$ 。於使用上，陳氏尋根單元 500 可執行一陳氏尋根法以根據因式搜尋錯誤位置多項式之所有根，進而找出一錯誤位置。

綜上所述，編碼器與徵兆值計算器 400 可共用同一可重組態模組 210。再者，徵兆值計算器 400 與陳氏尋根單元 500 可共用同一可重組態模組 210 及同一組基底轉換器們 410。因此，使用本發明之處理循環碼之裝置可大幅減少邏輯閘的數量，進而簡化編解碼作業之複雜度。實作上，若以 0.18 微米 CMOS 製程實現本裝置，相較於傳統的編解碼器，大約可省略 27.5% 之邏輯閘數量。

本發明之另一態樣是一種處理循環碼之方法，其可應用在電腦系統，或是廣泛地運用在相關之技術環節。有關此方法之具體執行方式予以上實施力已具體揭露，於此不再重複贅述之。

雖然本發明已以實施方式揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

### 【圖式簡單說明】

為讓本發明之上述和其他目的、特徵、優點與實施例能更明顯易懂，所附圖式之說明如下：

第 1 圖是依照本發明一實施例之一種線性回饋移位暫存器的示意圖；

第 2 圖是依照本發明一實施例之一種單模編碼器的示意圖；

第 3 圖是依照本發明一實施例之一種多模編碼器的示意圖；

第 4 圖是依照本發明一實施例之一種基底轉換器的方塊圖；

第 5 圖係繪示第 4 圖之基底轉換器之架構；

第 6 圖是依照本發明一實施例之一種徵兆值計算器的示意圖；

第 7 圖是依照本發明一實施例之一種反向基底轉換器的方塊圖；以及

第 8 圖是依照本發明一實施例之一種陳氏尋根單元的示意圖。

#### 【主要元件符號說明】

10a、102b、10c...12m-1、14：加法器

12a、12b、12c...12m-2、12m-1：鎖存器

100：線性回饋移位暫存器

200a：單模編碼器

200b：多模編碼器

210：可重組態模組

222：多工器

220a：編碼控制器

300a：基底轉換器

300b：反向基底轉換器

301、302、30n：加法器

400：徵兆值計算器

410：基底轉換器們

500：陳氏尋根單元

$B_1$ ：第一反向基底轉換器

$B_3$ ：第三反向基底轉換器

$B_{2t-3}$ ：第  $2t-3$  反向基底轉換器

$B_{2t-1}$ ：第  $2t-1$  反向基底轉換器

$a_1 \dots a_{2t-3}, a_{2t-1}$ ：加法器

$I1、I2、I3、I4、O1、O2$ ：節點

$L1、L3 \dots L_{2t-3}、L_{2t-1}$ ：線性回饋移位暫存器

$g_0^i、g_1^i、g_2^i \dots g_{m-1}^i$ ：橋接器

$\alpha_0^0、\alpha_0^1 \dots \alpha_0^{2i}、\alpha_0^{(m-1)i}$ ：橋接器

$\alpha_1^0、\alpha_1^1 \dots \alpha_1^{2i}、\alpha_1^{(m-1)i}$ ：橋接器

$\alpha_{m-1}^0、\alpha_{m-1}^1 \dots \alpha_{m-1}^{2i}、\alpha_{m-1}^{(m-1)i}$ ：橋接器

## 七、申請專利範圍：

1. 一種用以處理循環碼之裝置，該裝置包含：  
至少一可重組態模組，包括複數個線性回饋移位暫存器用以分別接收輸入的資料；以及  
一編碼控制器，用以基於該輸入的資料去控制該可重組態模組去將一生成多項式轉換成一因式分解多項式，其中該些線性回饋移位暫存器分別暫存該因式分解多項式之複數個因式，該編碼控制器之輸出回傳至該可重組態模組。
2. 如請求項 1 所述之裝置，其中該編碼控制器基本上由複數個加法器組成，該些加法器連接該可重組態模組，其中該些加法器與該可重組態模組構成一單模編碼器。
3. 如請求項 1 所述之裝置，其中該編碼控制器基本上由複數個加法器與一多工器組成，該些加法器連接該可重組態模組，該多工器用以選擇任一該線性回饋移位暫存器以控制各模態之編碼處理，其中該些加法器、該多工器與該可重組態模組構成一多模編碼器。
4. 如請求項 1 所述之裝置，更包含：  
複數個基底轉換器，用以輔助該些線性回饋移位暫存器去使用該些因式以計算徵兆值；  
一鍵方程解算機，用以基於該徵兆值以產生一錯誤位

置多項式；以及

複數個反向基底轉換器，用以輔助該可重組態模組及該些基底轉換器去執行一陳氏尋根法以根據些因式搜尋該錯誤位置多項式之所有根，進而找出一錯誤位置。

5. 如請求項 4 所述之裝置，包含複數個平行處理之該可重組態模組，用以支援多種編解碼速率。

6. 一種用以處理循環碼之方法，適用於一電腦系統，該方法包含：

(a) 提供至少一可重組態模組，其包含複數個線性回饋移位暫存器用以分別接收輸入的資料；以及

(b) 利用一編碼控制器基於該輸入的資料去控制該可重組態模組去將一生成多項式轉換成一因式分解多項式，進而將該因式分解多項式之複數個因式分別暫存於該些線性回饋移位暫存器中，該編碼控制器之輸出回傳至該可重組態模組。

7. 如請求項 6 所述之方法，其中步驟 (b) 包含：

使用該可重組態模組去執行一單模態之編碼處理。

8. 如請求項 6 所述之方法，其中步驟 (b) 包含：

選擇任一該線性回饋移位暫存器以控制各模態之編碼處理。



9. 如請求項 6 所述之方法，更包含：

(c) 使用該些因式以計算徵兆值；

(d) 基於該徵兆值以產生一錯誤位置多項式；以及

(e) 根據些因式搜尋該錯誤位置多項式之所有根，進而找出一錯誤位置。

10. 如請求項 9 所述之方法，其中步驟 (c) 包含：

利用複數個基底轉換器以輔助該些線性回饋移位暫存器去使用該些因式以計算徵兆值，其中該些基底轉換器分別電性耦接該些線性回饋移位暫存器。

11. 如請求項 10 所述之方法，其中步驟 (e) 包含：

利用複數個反向基底轉換器以輔助該可重組態模組及該些基底轉換器去執行一陳氏尋根法以根據些因式搜尋該錯誤位置多項式之所有根，進而找出一錯誤位置，其中該些反向基底轉換器分別電性耦接該些線性回饋移位暫存器。

12. 如請求項 9 所述之方法，其中步驟 (e) 包含：

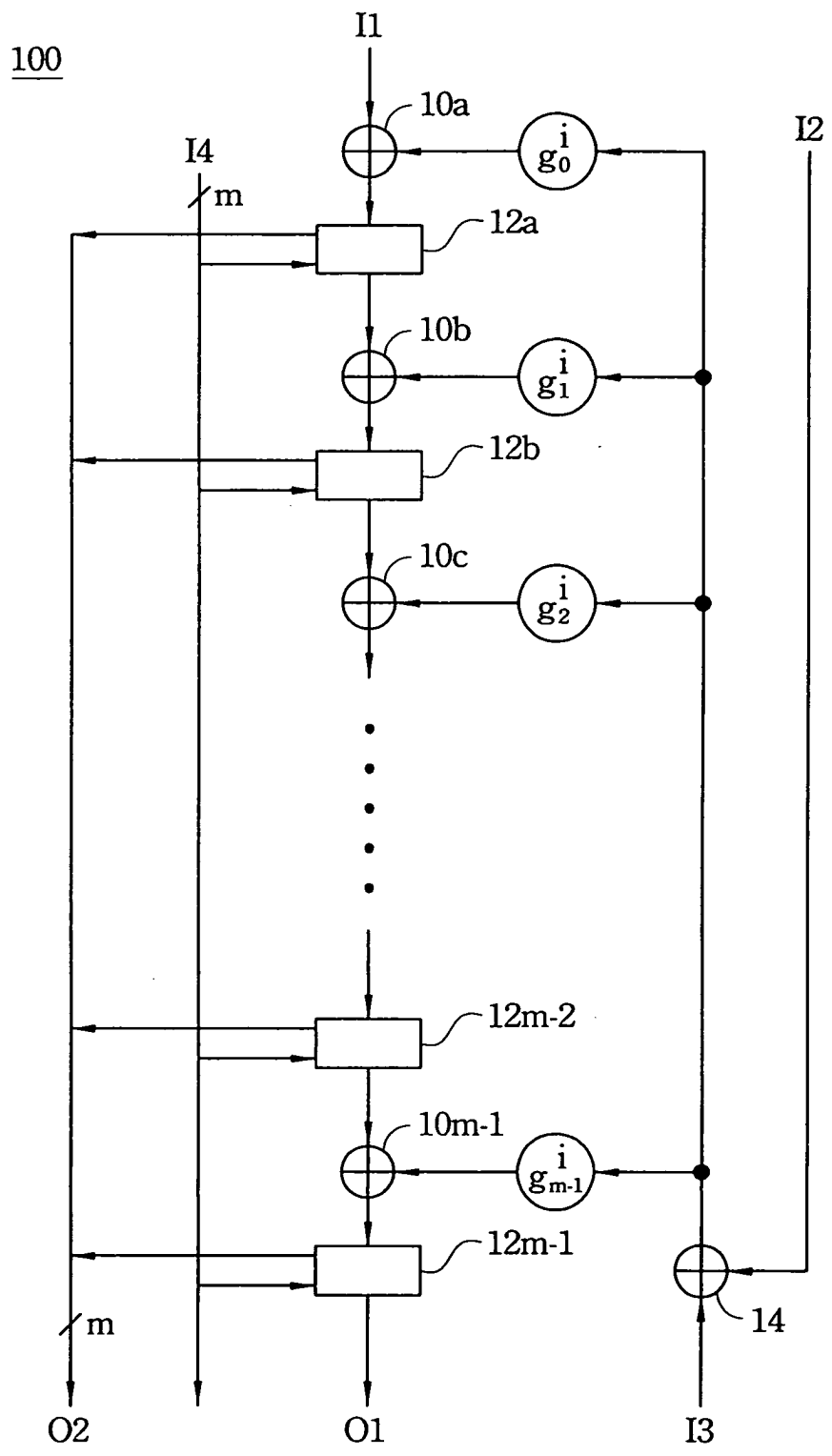
利用複數個反向基底轉換器以輔助該可重組態模組及複數個基底轉換器去執行一陳氏尋根法以根據些因式搜尋該錯誤位置多項式之所有根，進而找出一錯誤位置，其中該些基底轉換器分別電性耦接該些線性回饋移位暫存器，

該些反向基底轉換器分別電性耦接該些線性回饋移位暫存器。

13. 如請求項 6 至 12 中任一項所述之方法，其中步驟 (a) 包含：

提供複數個平行處理之該可重組態模組，用以支援多種編解碼速率。

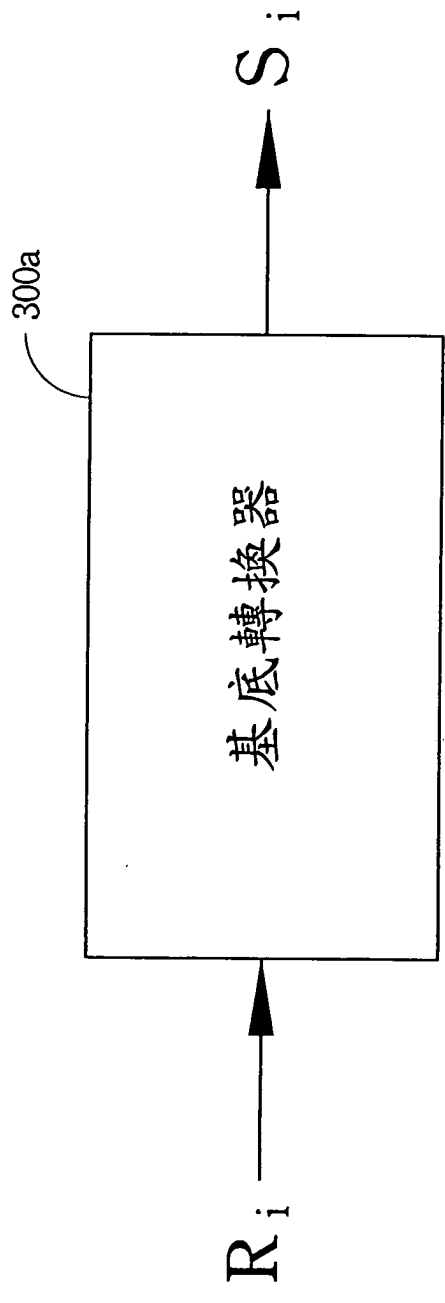
14. 如請求項 6 所述之方法，其中該電腦系統為一儲存元件或一通信系統。



第 1 圖

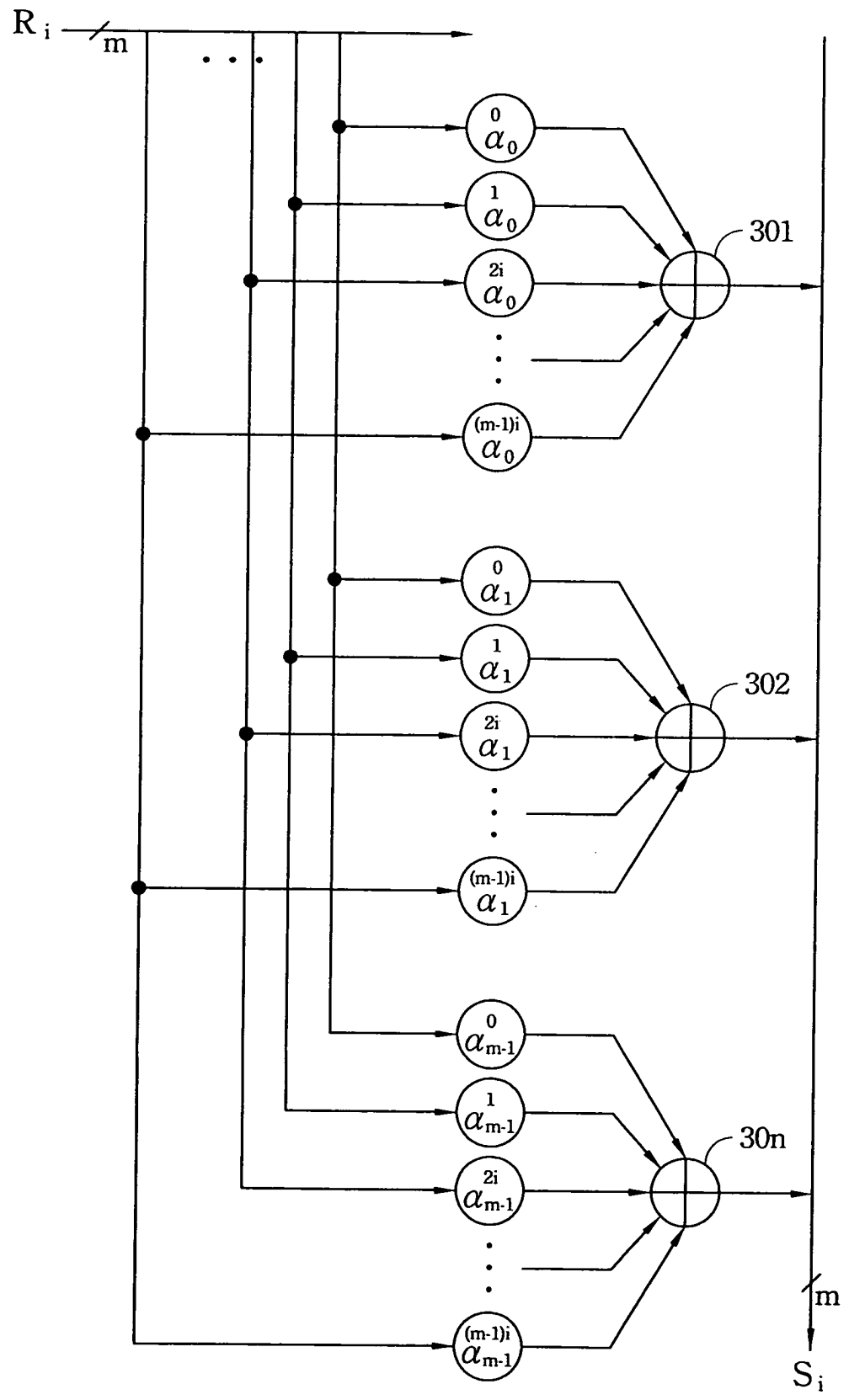




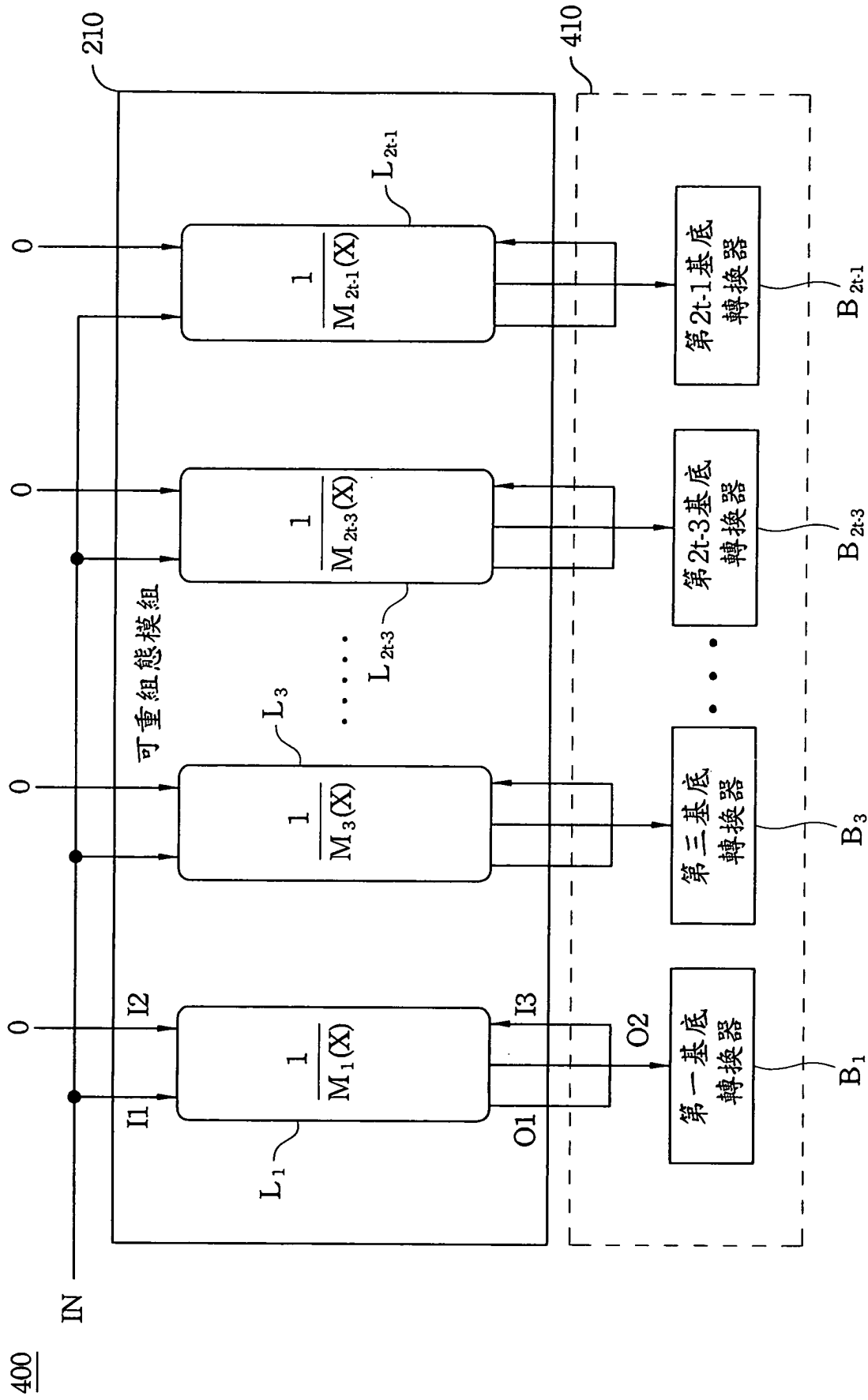


第 4 圖

300a

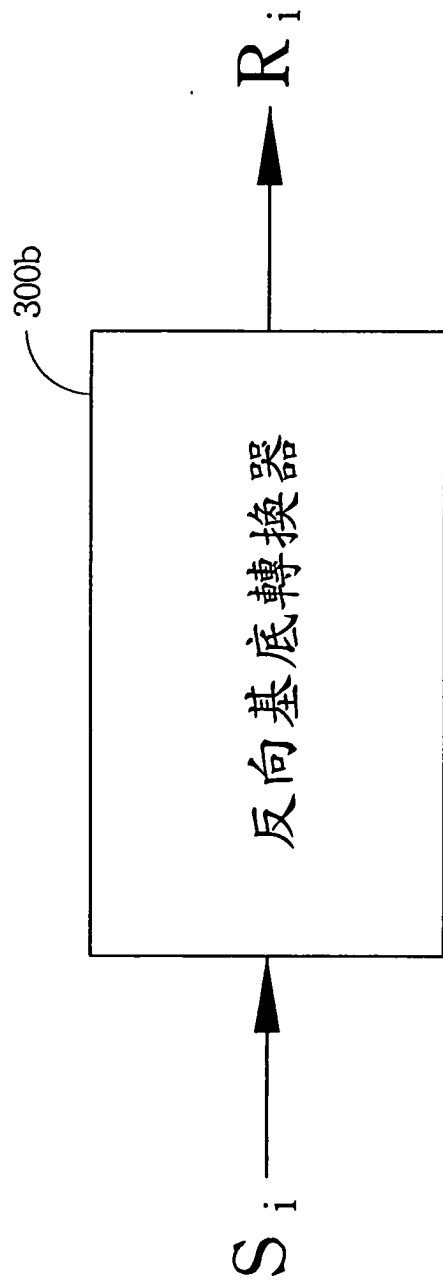


第 5 圖

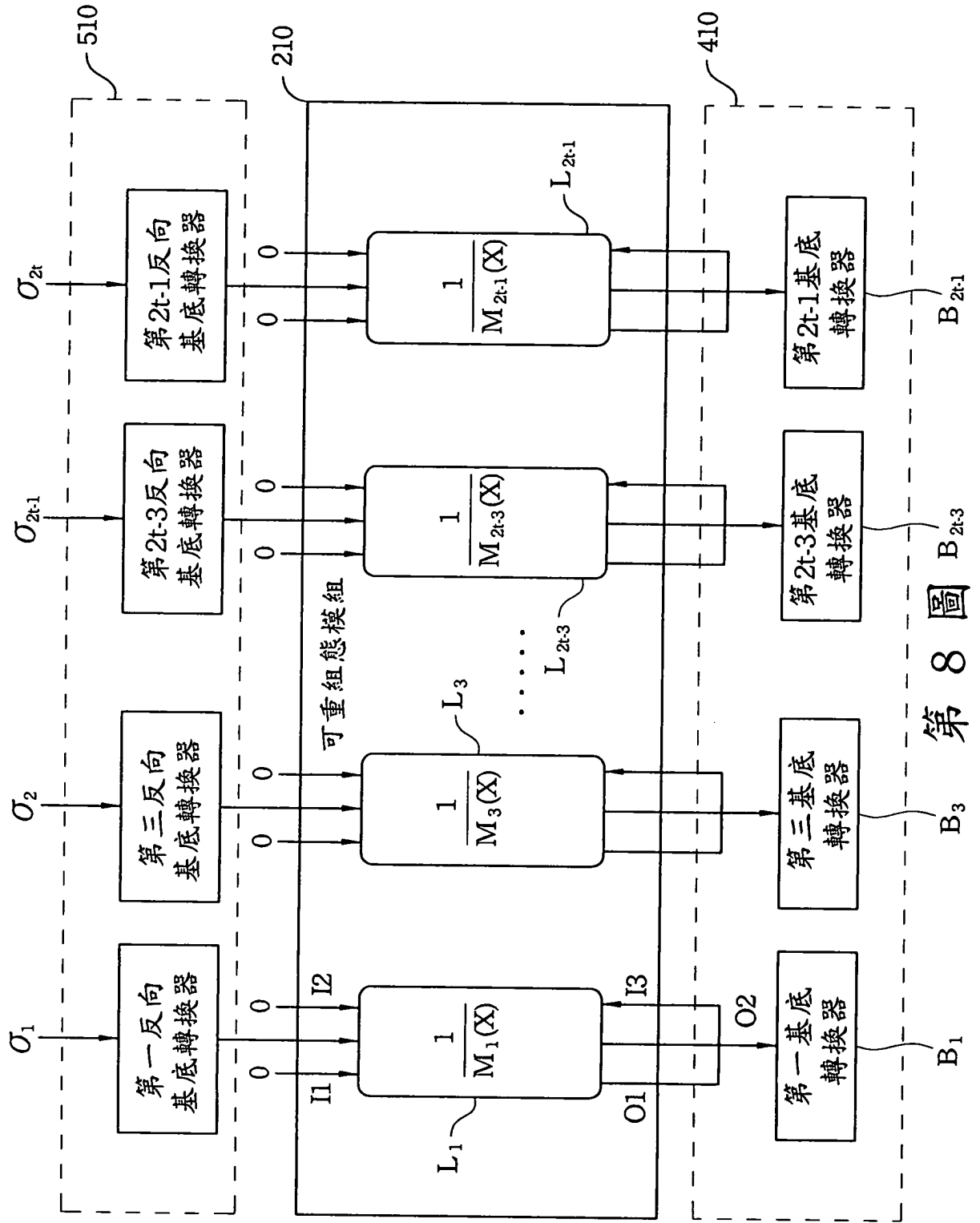


第 6 圖





第 7 圖



第 8 圖