



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201421907 A

(43)公開日：中華民國 103 (2014) 年 06 月 01 日

(21)申請案號：101145081

(22)申請日：中華民國 101 (2012) 年 11 月 30 日

(51)Int. Cl.：

*H03K3/012 (2006.01)*

*H03K3/356 (2006.01)*

(71)申請人：國立交通大學(中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)

新竹市大學路 1001 號

(72)發明人：李鎮宜 LEE, CHENYI (TW)；宋偉豪 SUNG, WEIHAO (TW)；李明哲 LEE, MINGCHE (TW)

(74)代理人：蔡坤財；李世章

申請實體審查：有 申請專利範圍項數：12 項 圖式數：5 共 26 頁

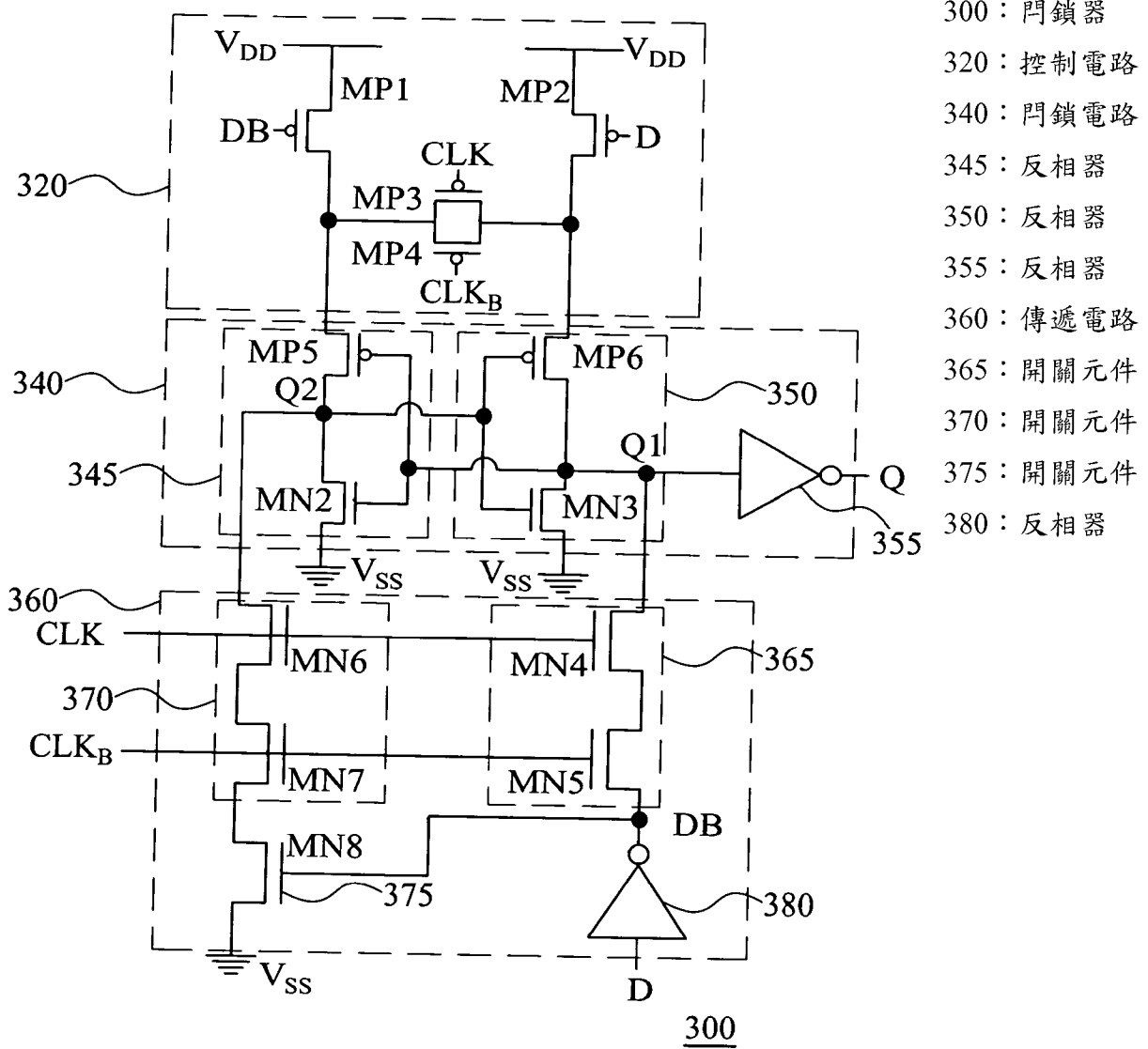
(54)名稱

脈衝式正反器

PULSE-BASED FLIP FLOP

(57)摘要

一種脈衝式正反器，係響應第一及第二時脈訊號，門鎖資料輸入訊號，以將其轉換為資料輸出訊號，脈衝式正反器包含脈衝產生器以及門鎖器，脈衝產生器包含第一反相器及訊號延遲電路，用以接收第一時脈訊號並產生第二時脈訊號；而門鎖器包含傳遞電路、門鎖電路以及控制電路。門鎖器響應第一及第二時脈訊號，用以門鎖資料輸入訊號並輸出資料輸出訊號，其中傳遞電路用以傳遞資料輸入訊號；門鎖電路電性連接於傳遞電路，用以接收和門鎖資料輸入訊號，並輸出資料輸出訊號；而控制電路電性連接於門鎖電路，用以提供電壓控制門鎖電路的開與關。



第 3 圖

# 發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號： 101145201

※申請日： 101.11.30

※IPC 分類： H03K 3/012 (2006.01)

H03K 3/356 (2006.01)

一、發明名稱：(中文/英文)

脈衝式正反器

PULSE-BASED FLIP FLOP

二、中文發明摘要：

一種脈衝式正反器，係響應第一及第二時脈訊號，門鎖資料輸入訊號，以將其轉換為資料輸出訊號，脈衝式正反器包含脈衝產生器以及門鎖器，脈衝產生器包含第一反相器及訊號延遲電路，用以接收第一時脈訊號並產生第二時脈訊號；而門鎖器包含傳遞電路、門鎖電路以及控制電路。門鎖器響應第一及第二時脈訊號，用以門鎖資料輸入訊號並輸出資料輸出訊號，其中傳遞電路用以傳遞資料輸入訊號；門鎖電路電性連接於傳遞電路，用以接收和門鎖資料輸入訊號，並輸出資料輸出訊號；而控制電路電性連接於門鎖電路，用以提供電壓控制門鎖電路的開與關。

三、英文發明摘要：

A pulse-based flip-flop that latches a data input signal to convert the data input signal into a data output signal in response to a first clock signal and a second clock signal. The pulse-based flip-flop includes a pulse generator and a

data latch. The pulse generator includes a first inverter and a signal delay circuit to receive the first clock signal and generate the second clock signal; the data latch includes a delivery circuit, a latch circuit and a control circuit. The data latch is used to latch the data input signal and output the data output signal in response to the first and the second clock signals, in which the delivery circuit is used to deliver the data input signal; the latch circuit which is electrically connected to the delivery circuit is used to receive and latch the data input signal, and output the data output signal; and the control circuit which is electrically connected to the latch circuit is used to provide a voltage to control the on-and-off of the latch circuit.

四、指定代表圖：

(一)本案指定代表圖為：第 ( 3 ) 圖。

(二)本代表圖之元件符號簡單說明：

300：門鎖器

320：控制電路

340：門鎖電路

345、350、355、380：反相器

360：傳遞電路

365、370、375：開關元件

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

## 六、發明說明：

### 【發明所屬之技術領域】

本發明是有關於一種正反器(flip-flop, FF)，且特別是有關於一種脈衝式正反器。

### 【先前技術】

近年來，由於各種可攜式和消費性電子產品(例如：智慧型手機、數位相機、筆記型電腦和醫療用途之感測系統等)的普及，電子產品的設計趨向低功率、低工作電壓和低漏電的設計。

正反器(flip-flop, FF)為一種根據時脈訊號之邊緣觸發而將資料進行儲存的電路元件，一般正反器所消耗的動態功率與漏電流約占整體系統之40~60%，為高耗能、高漏電的電路元件。

脈衝式正反器(pulse-based flip-flop)由一脈衝產生器(pulse generator)以及一門鎖器(data latch)所組成，一般在設計脈衝式正反器時，僅著重降低動態功率，而無法同時降低漏電流以及工作電壓。舉例而言，以動態電路(dynamic circuit)、骨牌電路(domino circuit)和預充電電路(pre-charged circuit)所設計的脈衝式正反器在低工作電壓下皆難以維持正確的邏輯運作。

此外，多數脈衝式正反器內之門鎖器常使用兩個反相器對接(亦即一反相器之輸出端相接於另一反相器之輸入端)，在寫入資料時易發生電流競爭的情況。

因此，設計低功率、低工作電壓和低漏電的脈衝式正

反器，並且避免發生電流競爭的情況，有其必要性。

### 【發明內容】

本發明之一態樣是在提供一種脈衝式正反器，利用其內門鎖器中控制電路的設計，阻斷門鎖器中的直流電流路徑，降低功耗與漏電流。

本發明一實施例係關於一種脈衝式正反器，脈衝式正反器係響應第一時脈訊號以及第二時脈訊號，門鎖資料輸入訊號，以將資料輸入訊號轉換為資料輸出訊號，脈衝式正反器包含脈衝產生器以及門鎖器。脈衝產生器用以接收第一時脈訊號並產生第二時脈訊號，其包含第一反相器以及訊號延遲電路，第一反相器用以接收第一時脈訊號並輸出第二時脈訊號；訊號延遲電路電性連接於第一反相器，用以接收第二時脈訊號並延遲第二時脈訊號。門鎖器響應第一時脈訊號以及第二時脈訊號，用以門鎖資料輸入訊號並輸出資料輸出訊號，其包含傳遞電路、門鎖電路以及控制電路，傳遞電路用以傳遞資料輸入訊號；門鎖電路電性連接於傳遞電路，用以接收和門鎖資料輸入訊號，並且輸出資料輸出訊號；控制電路電性連接於門鎖電路，用以提供電壓控制門鎖電路的開與關。

### 【實施方式】

下文係舉實施例配合所附圖式作詳細說明，但所提供之實施例並非用以限制本發明所涵蓋的範圍，而結構運作之描述非用以限制其執行之順序，任何由元件重新組合之

結構，所產生具有均等功效的裝置，皆為本發明所涵蓋的範圍。此外，圖式僅以說明為目的，並未依照原尺寸作圖。

關於本文中所使用之『約』、『大約』或『大致』一般通常係指數值之誤差或範圍於百分之二十以內，較好地是於百分之十以內，而更佳地則是於百分之五以內。文中若無明確說明，其所提及的數值皆視作為近似值，即如『約』、『大約』或『大致』所表示的誤差或範圍。

下述本發明實施例係揭示一種脈衝式正反器，其藉由電晶體堆疊的方式降低漏電流，因此具有極低的動態功率消耗，此脈衝式正反器並以靜態電路的方式設計以用於低電壓之工作環境。

脈衝式正反器包含一脈衝產生器(pulse generator)以及一資料閘鎖器(data latch)，係響應第一時脈訊號 CLK 以及第二時脈訊號 CLK<sub>B</sub>，閘鎖資料輸入訊號 D，並將資料輸入訊號 D 轉換為資料輸出訊號 Q。下述將分別針對脈衝產生器以及資料閘鎖器作詳細說明。

第 1 圖係依照本發明一實施例所繪示之一種脈衝產生器電路圖。脈衝產生器 100 包含第一反相器 120 以及訊號延遲電路 160，其用以接收第一時脈訊號 CLK 並產生第二時脈訊號 CLK<sub>B</sub>，其中第二時脈訊號 CLK<sub>B</sub> 的相位為第一時脈訊號 CLK 之相位的反相。第一反相器 120 更包含第九 NMOS 電晶體 MN9，且第一反相器 120 用以接收第一時脈訊號 CLK 並輸出第二時脈訊號 CLK<sub>B</sub>，訊號延遲電路 160 電性連接於第一反相器 120，用以接收第二時脈訊號 CLK<sub>B</sub> 並延遲第二時脈訊號 CLK<sub>B</sub>。



上述之訊號延遲電路 160 包含第二反相器 140 以及第一 NMOS 電晶體 MN1，其中第二反相器 140 包含第十 NMOS 電晶體 MN10 以及第七 PMOS 電晶體 MP7，且第二反相器 140 電性連接於第一反相器 120，用以接收第二時脈訊號  $CLK_B$ ，而第一 NMOS 電晶體 MN1 的閘極(gate)電性連接於第二反相器 140 之輸出端，用以與第二反相器 140 共同作用以延遲第二時脈訊號  $CLK_B$ 。

由上述可知，脈衝產生器可接收第一時脈訊號 CLK 並產生反相且延遲的第二時脈訊號  $CLK_B$ 。為方便說明起見，請同時參照第 1 圖以及第 2 圖，第 2 圖係依照本發明一實施例所繪示之時脈訊號波形示意圖。

由第 2 圖可知，第一時脈訊號 CLK 原為邏輯低位準，經第 1 圖所示之第一反相器 120 接收後產生邏輯高位準的第二時脈訊號  $CLK_B$ ，使第二反相器 140 內的電晶體 MN10 處於導通的狀態。由於電晶體 MN10 的汲極和電晶體 MN1 的閘極相接，此時電晶體 MN1 為關閉的狀態。當第一時脈訊號 CLK 正緣觸發而由邏輯低位準轉換至邏輯高位準時，第二時脈訊號  $CLK_B$  本應由邏輯高位準轉換至邏輯低位準，但因第二反相器 140 以及電晶體 MN1 之共同作用，而延遲第二時脈訊號  $CLK_B$  轉換至邏輯低位準的時間。

更詳細而言，當第一時脈訊號 CLK 正緣觸發而由邏輯低位準轉換至邏輯高位準時，第一反相器內的電晶體 MN9 由關閉狀態轉換為導通狀態，此時因電晶體 MN1 尚未導通，造成第二時脈訊號  $CLK_B$  在放電過程中對電晶體 MN1 的汲極充電，而使電晶體 MN1 的電位上升，進而導致流經

電晶體 MN9 的電流越來越小，故第二時脈訊號  $CLK_B$  緩慢轉換至邏輯低位準。由於第二時脈訊號  $CLK_B$  轉換至邏輯低位準的速度緩慢，電源供應電位  $V_{DD}$  對第二反相器 140 內的電晶體 MP7 充電緩慢，且電晶體 MP7 之汲極與電晶體 MN1 之閘極相接，延遲電晶體 MN1 導通的時間，便又延遲第二時脈訊號  $CLK_B$  轉換至邏輯低位準的時間。

如第 2 圖所示，當第一時脈訊號 CLK 以及第二時脈訊號  $CLK_B$  皆為邏輯高位準時，可將兩者視為一脈衝訊號，以控制位於其後的資料閘鎖器，對此，以下會有更詳細之說明。

第 3 圖係依照本發明一實施例所繪示之一種資料閘鎖器電路圖。閘鎖器 300 係響應第一時脈訊號 CLK 以及第二時脈訊號  $CLK_B$ ，用以閘鎖資料輸入訊號 D 並輸出資料輸出訊號 Q，其包含傳遞電路 360、閘鎖電路 340 以及控制電路 320。傳遞電路 360 用以傳遞資料輸入訊號 D，閘鎖電路 340 電性連接於傳遞電路 360，用以接收並閘鎖資料輸入訊號 D，並且輸出資料輸出訊號 Q。而控制電路 320 電性連接於閘鎖電路 340，用以提供電壓控制閘鎖電路 340 的開關。

當資料輸入訊號 D 輸入至閘鎖器 300 時，控制電路 320 控制閘鎖電路 340 使其無充電電流路徑，避免在資料輸入訊號 D 輸入至閘鎖器 300 時產生電流消耗的情形，以下將針對此作更詳細之說明。

如第 3 圖所示，控制電路 320 包含第一、第二、第三以及第四 PMOS 電晶體 MP1、MP2、MP3 以及 MP4。第一

PMOS 電晶體 MP1 之閘極用以接收反相於資料輸入訊號 D 之反相資料輸入訊號 DB，且其源極(source)電性連接於電源供應電位  $V_{DD}$ 。第二 PMOS 電晶體 MP2 之閘極用以接收資料輸入訊號 D，且其源極電性連接於電源供應電位  $V_{DD}$ 。

第三 PMOS 電晶體 MP3 之閘極用以接收第一時脈訊號 CLK，且其源極電性連接於電晶體 MP1 之汲極(drain)或電晶體 MP2 之汲極，其汲極電性連接於電晶體 MP2 之汲極或電晶體 MP1 之汲極。而第四 PMOS 電晶體 MP4 之閘極用以接收第二時脈訊號  $CLK_B$ ，且其源極電性連接於電晶體 MP3 之源極，其汲極電性連接於電晶體 MP3 之汲極。

接著，門鎖電路 340 包含第三反相器 345、第四反相器 350 以及第五反相器 355。第三反相器 345 的輸入端電性連接於第一節點 Q1，且其輸出端電性連接於第二節點 Q2，而第四反相器 350 與第三反相器 345 對接，亦即第四反相器 350 的輸入端電性連接於第二節點 Q2，且其輸出端電性連接於第一節點 Q1。第五反相器 355 的輸入端電性連接於第一節點 Q1，且其輸出端用以輸出資料輸出訊號 Q。

其中第三反相器 345 包含第五 PMOS 電晶體 MP5 以及第二 NMOS 電晶體 MN2，第五 PMOS 電晶體 MP5 串聯於控制電路 320 內之電晶體 MP1，而第二 NMOS 電晶體 MN2 串聯於電晶體 MP5，其閘極電性連接於電晶體 MP5 之閘極，其源極連接於接地電壓  $V_{SS}$ 。另外，第四反相器 350 包含第六 PMOS 電晶體 MP6 以及第三 NMOS 電晶體 MN3，第六 PMOS 電晶體 MP6 串聯於控制電路 320 內之電晶體 MP2，而第三 NMOS 電晶體 MN3 串聯於電晶體 MP6，

其閘極電性連接於電晶體 MP6 之閘極，其源極連接於接地電壓  $V_{SS}$ 。

至於傳遞電路 360 則包含第一開關元件 365、第二開關元件 370、第三開關元件 375 以及第六反相器 380，第一開關元件 365 電性連接於第一節點 Q1，係於第一時脈訊號 CLK 以及第二時脈訊號  $CLK_B$  皆為邏輯高位準時開啟；第二開關元件 370 電性連接於第二節點 Q2，亦於第一時脈訊號 CLK 以及第二時脈訊號  $CLK_B$  皆為邏輯高位準時開啟。第三開關元件 375 電性耦接於第二開關元件 370、第六反相器 380 的輸出端以及接地電壓  $V_{SS}$ ，係於資料輸入訊號 D 為邏輯低位準時開啟。而第六反相器 380 的輸入端用以接收資料輸入訊號 D，且其輸出端電性連接於第一開關元件 365。

更詳細而言，第一開關元件 365 可包含第四 NMOS 電晶體 MN4 以及第五 NMOS 電晶體 MN5，其中電晶體 MN4 之閘極用以接收第一時脈訊號 CLK，而電晶體 MN5 之閘極用以接收第二時脈訊號  $CLK_B$ 。第二開關元件 370 可包含第六 NMOS 電晶體 MN6 以及第七 NMOS 電晶體 MN7，其中電晶體 MN6 之閘極用以接收第一時脈訊號 CLK，而電晶體 MN7 之閘極用以接收第二時脈訊號  $CLK_B$ 。第三開關元件 375 可為第八 NMOS 電晶體 MN8，且其閘極用以接收第六反相器 380 輸出端所輸出之反相資料輸入訊號 DB。

當第一時脈訊號 CLK 以及第二時脈訊號  $CLK_B$  皆為邏輯高位準，且當資料輸入訊號 D 亦為邏輯高位準時，第一開關元件 365 以及第二開關元件 370 會導通，第三開關元

件 375 則受邏輯低位準的反相資料輸入訊號 DB 控制而關閉。由於第一開關元件 365 導通，第一節點 Q1 之電壓位準等同於第六反相器 380 輸出端之電壓位準，而此時資料輸入訊號 D 為邏輯高位準，故第六反相器 380 輸出端之電壓位準為邏輯低位準，第一節點 Q1 之電壓位準亦為邏輯低位準。

以控制電路 320 而言，電晶體 MP1、MP2、MP3 以及 MP4 分別受反相資料輸入訊號 DB、資料輸入訊號 D、第一時脈訊號 CLK 以及第二時脈訊號 CLK<sub>B</sub> 所控制，因此當第一時脈訊號 CLK 以及第二時脈訊號 CLK<sub>B</sub> 皆為邏輯高位準，且當資料輸入訊號 D 亦為邏輯高位準時，電晶體 MP1 導通，而電晶體 MP2、MP3 以及 MP4 皆為斷路。

請見第 3 圖，當電晶體 MP1 以及 MP5 分別受反相資料輸入訊號 DB 以及第一節點 Q1 控制所開啟時，第二節點 Q2 會因電源供應電位 V<sub>DD</sub> 至電晶體 MP1 以及 MP5 所形成的通路而轉換為邏輯高位準，再將電晶體 MN3 開啟。因此，電晶體 MP1、MP5 以及 MN3 為導通狀態，並無直流電流(direct current, DC)自電源供應電位 V<sub>DD</sub> 流至接地電位 V<sub>SS</sub>。而邏輯高位準的資料輸入訊號 D 經第六反相器 380、第一開關元件 365 以及第五反相器 355 後，自第五反相器 355 的輸出端輸出邏輯高位準的資料輸出訊號 Q。

由於控制電路 320 內的電晶體 MP2 為關閉狀態，且邏輯低位準的第一節點 Q1 控制電晶體 MN2 關閉，邏輯高位準的第二節點 Q2 控制電晶體 MP6 關閉，故門鎖電路 340 無直流電流路徑，不產生充電電流而造成電流衝突，可應

用於低工作電壓的系統。

第 4 圖係於資料輸入訊號為邏輯高位準時的資料輸出訊號波形示意圖。由第 4 圖可知，當第一時脈訊號 CLK 以及第二時脈訊號 CLK<sub>B</sub> 皆為邏輯高位準且資料輸入訊號 D 亦為邏輯高位準時，如上所解釋，資料輸出訊號 Q 自第 3 圖之第五反相器 355 的輸出端所輸出，自邏輯低位準轉換為邏輯高位準。

另一方面，為方便說明起見，請同時參照第 3 圖與第 5 圖。當第一時脈訊號 CLK 以及第二時脈訊號 CLK<sub>B</sub> 皆為邏輯高位準，而當資料輸入訊號 D 為邏輯低位準時，第 3 圖中之第二開關元件 370 會導通，第三開關元件 375 受邏輯高位準的反相資料輸入訊號 DB 控制也導通。由於第二開關元件 370 導通，第二節點 Q2 之電壓位準為邏輯低位準，電晶體 MP6 之閘極受其控制而導通。

以控制電路 320 而言，電晶體 MP1、MP2、MP3 以及 MP4 分別受反相資料輸入訊號 DB、資料輸入訊號 D、第一時脈訊號 CLK 以及第二時脈訊號 CLK<sub>B</sub> 所控制，因此當第一時脈訊號 CLK 以及第二時脈訊號 CLK<sub>B</sub> 皆為邏輯高位準，且當資料輸入訊號 D 為邏輯低位準時，電晶體 MP2 導通，而電晶體 MP1、MP3 以及 MP4 皆為斷路。

請見第 3 圖，當電晶體 MP2 以及 MP6 分別受資料輸入訊號 D 以及第二節點 Q2 控制所開啟時，第一節點 Q1 會因電源供應電位 V<sub>DD</sub> 至電晶體 MP2 以及 MP6 所形成的通路而轉換為邏輯高位準，將電晶體 MN2 開啟。因此，電晶體 MP2、MP6 以及 MN2 為導通狀態，並無直流電流自

電源供應電位  $V_{DD}$  流至接地電位  $V_{SS}$ 。而此時第一節點 Q1 的電壓位準為邏輯高位準，故經第五反相器 355 反相後即產生邏輯低位準的資料輸出訊號 Q。

由於控制電路 320 內的電晶體 MP1 為關閉狀態，且邏輯低位準的第二節點 Q2 控制電晶體 MN3 關閉，邏輯高位準的第一節點 Q1 控制電晶體 MP5 關閉，故門鎖器 340 無直流電流路徑，不產生充電電流而造成電流衝突，可應用於低工作電壓的系統。

第 5 圖係於資料輸入訊號為邏輯低位準時的資料輸出訊號波形示意圖。由第 5 圖可知，當第一時脈訊號 CLK 以及第二時脈訊號  $CLK_B$  皆為邏輯高位準且資料輸入訊號 D 為邏輯低位準時，如上所解釋，資料輸出訊號 Q 自第 3 圖之第五反相器 355 的輸出端所輸出，自邏輯高位準轉換為邏輯低位準。

綜上所述，本發明係揭示一種脈衝式正反器，其包含脈衝產生器以及門鎖器。脈衝產生器使用五個電晶體即能實現，有效降低電子電路佈局面積以及成本，而門鎖器內之控制電路配合傳遞電路的設計亦阻斷直流電流路徑，有效降低操作功率以及漏電流，並可應用於低工作電壓的系統。

雖然本發明已以實施方式揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

**【圖式簡單說明】**

第 1 圖係依照本發明一實施例所繪示之一種脈衝產生器電路圖。

第 2 圖係依照本發明一實施例所繪示之時脈訊號波形示意圖。

第 3 圖係依照本發明一實施例所繪示之一種資料閃鎖器電路圖。

第 4 圖係依照本發明一實施例所繪示之一種資料輸出訊號波形示意圖。

第 5 圖係依照本發明另一實施例所繪示之一種資料輸出訊號波形示意圖。

**【主要元件符號說明】**

100：脈衝產生器

120、140、345、350、355、380：反相器

160：訊號延遲電路

300：閃鎖器

320：控制電路

340：閃鎖電路

360：傳遞電路

365、370、375：開關元件



七、申請專利範圍：

1. 一種脈衝式正反器，係響應一第一時脈訊號以及一第二時脈訊號，門鎖一資料輸入訊號，以將該資料輸入訊號轉換為一資料輸出訊號，該脈衝式正反器包含：

一脈衝產生器，用以接收該第一時脈訊號並產生該第二時脈訊號，該脈衝產生器包含：

一第一反相器，用以接收該第一時脈訊號並輸出該第二時脈訊號；

一訊號延遲電路，電性連接於該第一反相器，用以接收該第二時脈訊號並延遲該第二時脈訊號；以及

一門鎖器，響應該第一時脈訊號以及該第二時脈訊號，用以門鎖該資料輸入訊號並輸出該資料輸出訊號，該門鎖器包含：

一傳遞電路，用以傳遞該資料輸入訊號；

一門鎖電路，電性連接於該傳遞電路，用以接收和門鎖該資料輸入訊號，並且輸出該資料輸出訊號；以及

一控制電路，電性連接於該門鎖電路，用以提供電壓控制該門鎖電路的開與關。

2. 如請求項 1 所述之脈衝式正反器，其中該訊號延遲電路包含：

一第二反相器，電性連接於該第一反相器，用以接收該第二時脈訊號；以及

一第一 NMOS 電晶體，該第一 NMOS 電晶體之閘極電性連接於該第二反相器之輸出端，用以與該第二反相器共同作用延遲該第二時脈訊號。

3. 如請求項 2 所述之脈衝式正反器，其中該第二時脈訊號之相位為該第一時脈訊號之相位的反相。

4. 如請求項 1 所述之脈衝式正反器，其中該控制電路包含：

一第一 PMOS 電晶體，該第一 PMOS 電晶體之閘極用以接收反相於該資料輸入訊號之一反相資料輸入訊號，且該第一 PMOS 電晶體之源極電性連接於一電源供應電位；

一第二 PMOS 電晶體，該第二 PMOS 電晶體之閘極用以接收該資料輸入訊號，且該第二 PMOS 電晶體之源極電性連接於該電源供應電位；

一第三 PMOS 電晶體，該第三 PMOS 電晶體之閘極用以接收該第一時脈訊號，且該第三 PMOS 電晶體之源極電性連接於該第一 PMOS 電晶體之汲極或該第二 PMOS 電晶體之汲極，該第三 PMOS 電晶體之汲極電性連接於該第二 PMOS 電晶體之汲極或該第一 PMOS 電晶體之汲極；以及

一第四 PMOS 電晶體，該第四 PMOS 電晶體之閘極用以接收該第二時脈訊號，且該第四 PMOS 電晶體之源極電性連接於該第三 PMOS 電晶體之源極，該第四 PMOS 電晶體之汲極電性連接於該第三 PMOS 電晶體之汲極。

5. 如請求項 4 所述之脈衝式正反器，其中該門鎖電路包含：

一第三反相器，該第三反相器之輸入端電性連接於一第一節點，且該第三反相器之輸出端電性連接於一第二節點；以及

一第四反相器，該第四反相器之輸入端電性連接於該第二節點，且該第四反相器之輸出端電性連接於該第一節點。

6. 如請求項 5 所述之脈衝式正反器，其中該第三反相器包含：

一第五 PMOS 電晶體，串聯於該第一 PMOS 電晶體；以及

一第二 NMOS 電晶體，串聯於該第五 PMOS 電晶體，且該第二 NMOS 電晶體之閘極電性連接於該第五 PMOS 電晶體之閘極，該第二 NMOS 電晶體之源極連接於一接地電壓。

7. 如請求項 6 所述之脈衝式正反器，其中該第四反相器包含：

一第六 PMOS 電晶體，串聯於該第二 PMOS 電晶體；以及

一第三 NMOS 電晶體，串聯於該第六 PMOS 電晶體，且該第三 NMOS 電晶體之閘極電性連接於該第六 PMOS 電晶體之閘極，該第三 NMOS 電晶體之源極連接於該接地電

壓。

8. 如請求項 7 所述之脈衝式正反器，其中該閃鎖電路更包含：

一第五反相器，該第五反相器之輸入端電性連接於該第一節點，且該第五反相器之輸出端用以輸出該資料輸出訊號。

9. 如請求項 8 所述之脈衝式正反器，其中該傳遞電路包含：

一第一開關元件，電性連接於該第一節點，該第一開關元件係於該第一以及該第二時脈訊號皆為邏輯高位準時開啟；以及

一第六反相器，該第六反相器之輸入端用以接收該資料輸入訊號，且該第六反相器之輸出端電性連接於該第一開關元件。

10. 如請求項 9 所述之脈衝式正反器，其中當該第一以及該第二時脈訊號皆為邏輯高位準，且當該資料輸入訊號亦為邏輯高位準時，該第一開關元件導通，該第一 PMOS 電晶體、該第五 PMOS 電晶體以及該第三 NMOS 電晶體亦為導通狀態。

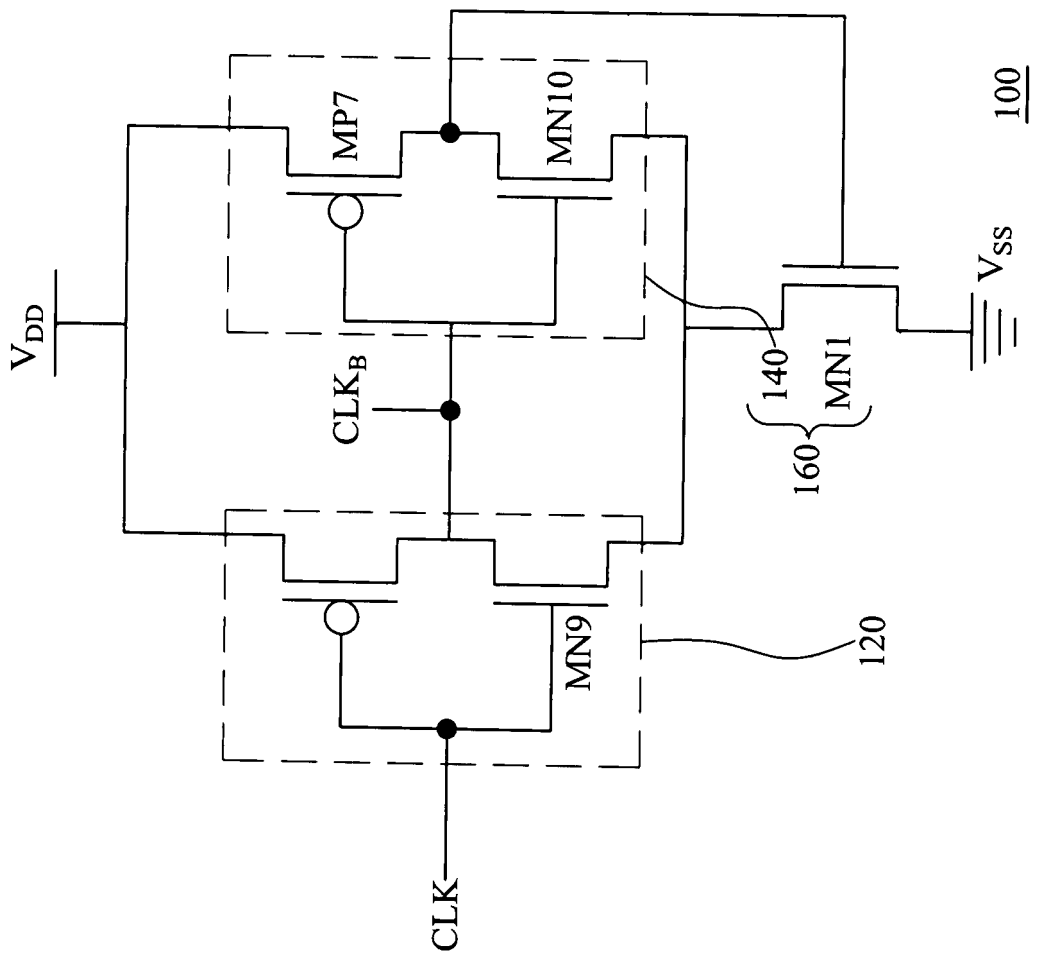
11. 如請求項 8 所述之脈衝式正反器，其中該傳遞電路更包含：

一 第二開關元件，電性連接於該第二節點，該第二開關元件係於該第一以及該第二時脈訊號皆為邏輯高位準時開啟；以及

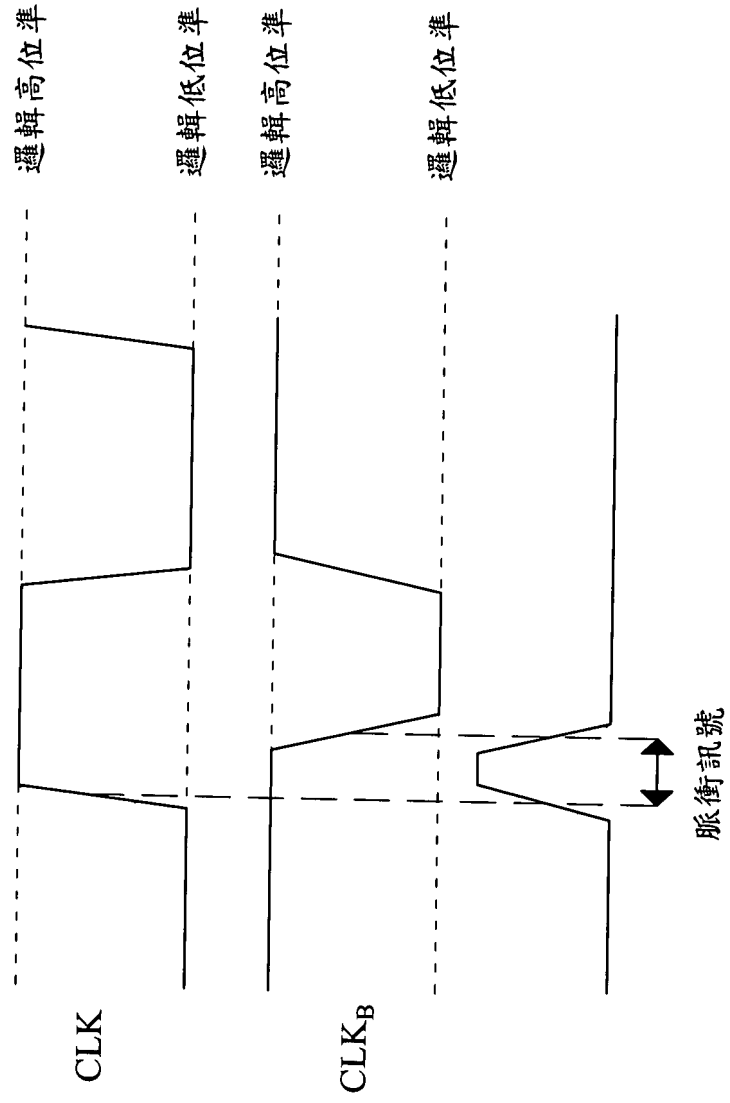
一 第三開關元件，電性耦接於該第二開關元件、該第六反相器之該輸出端以及該接地電壓，該第三開關元件係於該資料輸入訊號為邏輯低位準時開啟。

12. 如請求項 11 所述之脈衝式正反器，其中當該第一以及該第二時脈訊號皆為邏輯高位準，且當該資料輸入訊號為邏輯低位準時，該第二開關元件以及該第三開關元件導通，該第二 PMOS 電晶體、該第六 PMOS 電晶體以及該第二 NMOS 電晶體亦為導通狀態。

八、圖式：



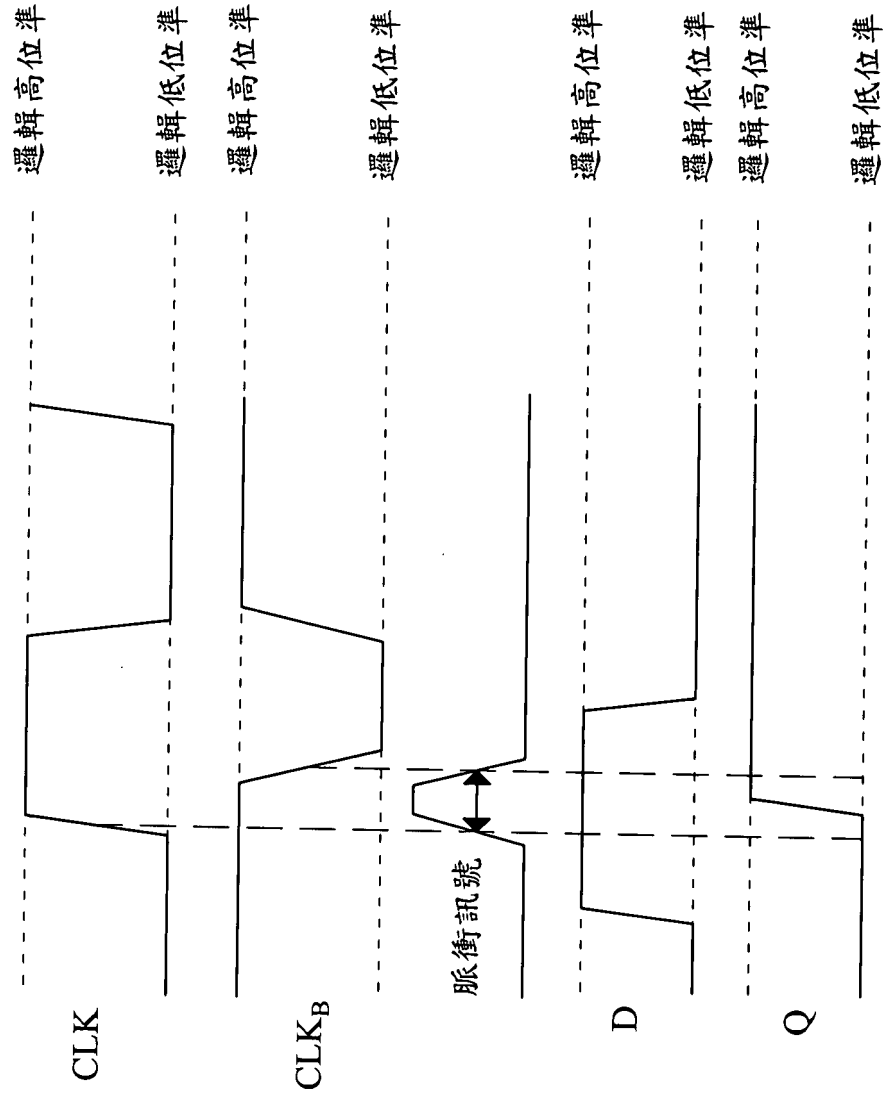
第 1 圖



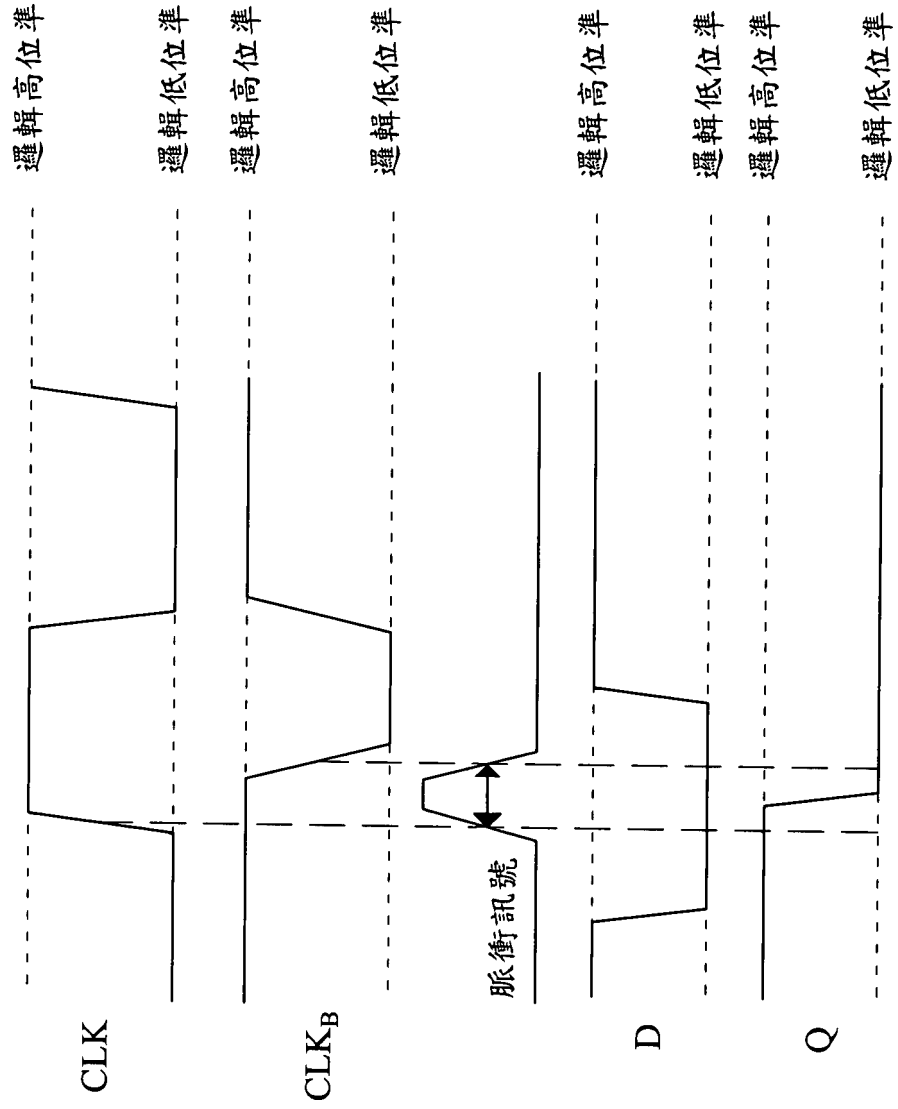
第 2 圖







第 4 圖



第 5 圖